

RICARDO BORTOLETTO GRIZANTE

INTERRUPTOR DE POTÊNCIA TOLERANTE A FALHAS

Monografia de Projeto de Conclusão de Curso
apresentada à Escola Politécnica da USP.
Disciplina: Projeto de Formatura II – PSI-2594

SÃO PAULO
2010

RICARDO BORTOLETTO GRIZANTE

INTERRUPTOR DE POTÊNCIA TOLERANTE A FALHAS

Monografia de Projeto de Conclusão de Curso
apresentada à Escola Politécnica da USP.
Disciplina: Projeto de Formatura II – PSI-2594

Área de Concentração: Sistemas Eletrônicos

Orientador: Prof. Titular Antônio Carlos Seabra

SÃO PAULO
2010

Resumo

O projeto AraMiS (*Architettura Modulare per Satelliti*) teve início no segundo semestre de 2006 com base na experiência adquirida com o projeto PiCPoT (*Piccolo Cubo del Politecnico di Torino*), o primeiro nanossatélite criado pelo *Politecnico di Torino*, que aderiu então a uma iniciativa internacional, de elevada validade didática, que concerne o projeto de um satélite em âmbito universitário.

Este trabalho de conclusão de curso se dedica ao desenvolvimento de um sistema formado por um interruptor de potência tolerante a falhas, que posteriormente fará parte do bloco Power Management constituinte do nanossatélite AraMiS.

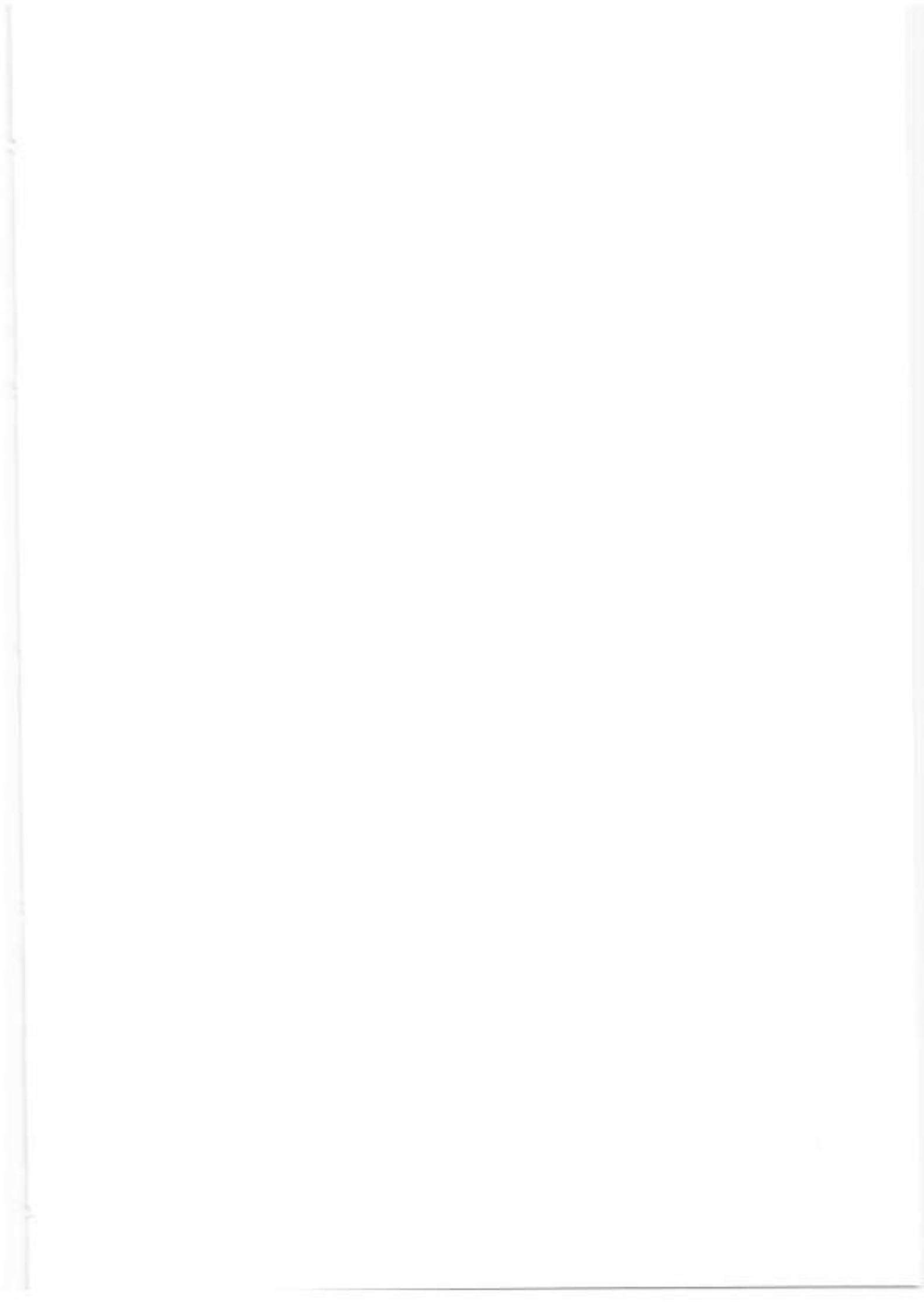
Para esta finalidade realizou-se um estudo do parâmetro Integral de Joule relacionado com as características térmicas dos transistores de potência, conferindo um estudo mais acurado sobre os limites de operação do dispositivo de potência.

Foi desenvolvido inicialmente o projeto de um interruptor simples capaz de operar com corrente de até 5A e tensão de 28V. Em seguida, foi estudada uma topologia adequada que conferisse tolerância a uma falha simples ao circuito completo. A topologia escolhida foi a de "voto de maioria", que essencialmente realiza a abertura ou o fechamento do dispositivo interruptor de acordo com a coerência entre ao menos dos sinais de entrada.

Em uma etapa posterior, desejou-se aprimorar o projeto do interruptor aplicando o circuito em substrato cerâmico. Graças às características deste material, pode-se dizer que houve uma melhora na confiabilidade do circuito completo. O substrato escolhido foi a cerâmica com baixa temperatura de sinterização (LTCC), um material que vem sendo utilizado cada vez mais para aplicações militares e de cunho aeroespacial.

Finalmente, desejou-se avaliar de forma objetiva os níveis de confiabilidade do circuito através de normas militares americanas. Trata-se de um método simples de avaliação, envolvendo as características de fabricação e de operação de cada um dos componentes constituintes do circuito completo. Tal método fornece uma estimativa do tempo médio entre duas falhas sucessivas. A avaliação apresentou resultados bastante satisfatórios quando comparado com o tempo médio de vida útil de um nanossatélite.

Palavras-chave: Nanossatélite, Tolerância a falhas, Redundância, Confiabilidade, Interruptor de potência, LTCC



Abstract

The AraMiS project (*Architettura Modulare per Satelliti*) began at the second semester of 2006 based on the experience acquired with the PiCPoT project (*Piccolo Cubo del Politecnico di Torino*), the first nanosatellite created by *Politecnico di Torino*, which then has joined an international initiative, with high didactic validity, that concerns the implementation of a satellite in universities.

The goal of this work is to develop a system formed by a fault tolerant power switch, that later will be part of the Power Management block of the nanosatellite AraMiS.

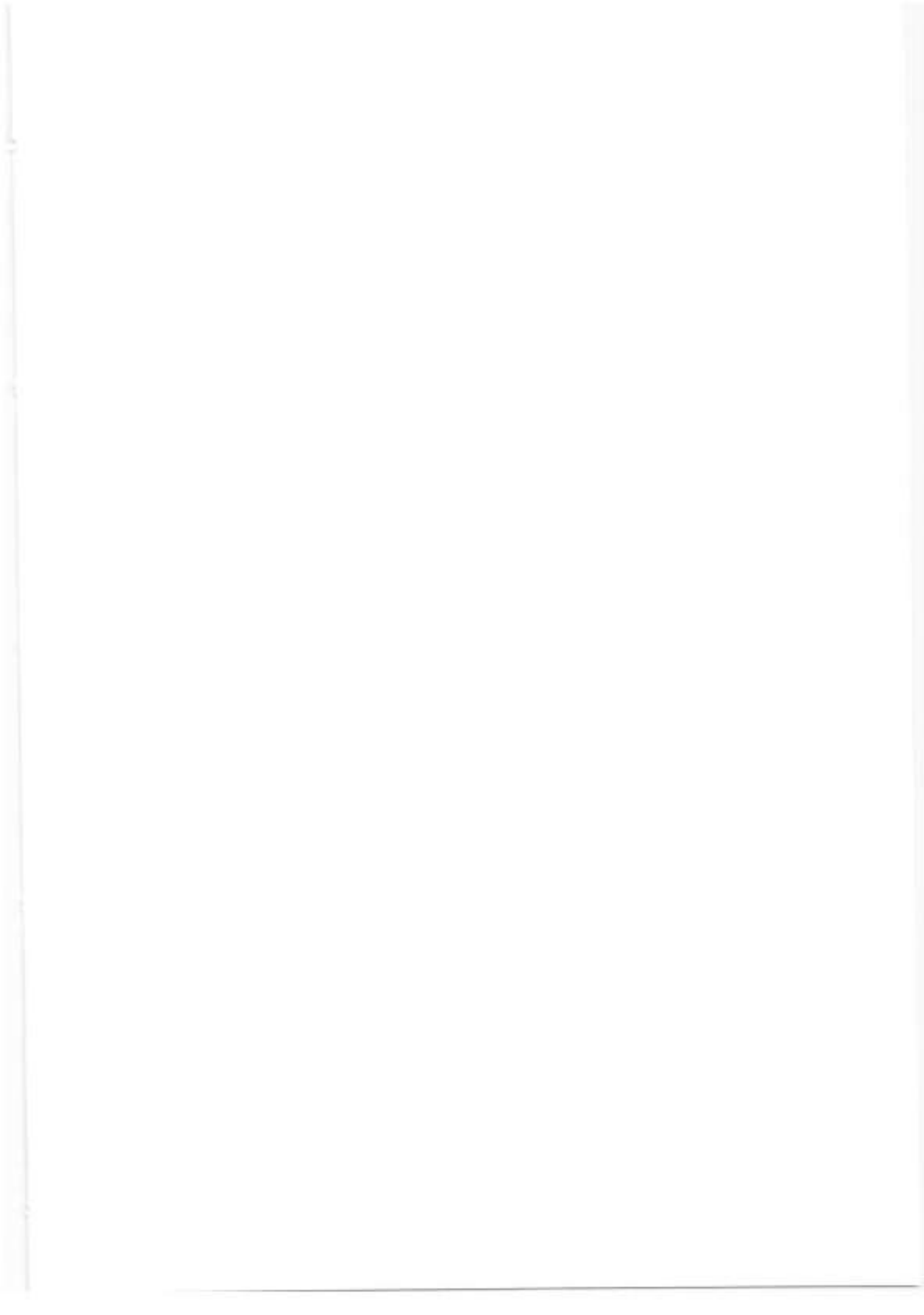
A study has been made regarding the Joule Integral, a parameter related to the thermal characteristics of the power transistor, rendering a more accurate study about the operation limits of such power device.

Initially a project of a single switch was developed and later, a study was made regarding the topology that would render fault tolerance of the major circuit. The chosen topology was the "vote of majority" that essentially opens or closes the switch according to the coherency of at least two input signals.

A further enhance of the project of the switch was then made applying it to a ceramic substrate. Due to the characteristics of this material it can be said that there was an improvement of the reliability of the complete design. The chosen substrate was Low Temperature Corified Ceramic (LTCC), which usage in military devices and aerospace environment is becoming more frequent.

Finally, an evaluation of the reliability levels was conducted following american Military standards. Such simple method of evaluation involves the characteristics of fabrication as well as the operation of each one of the devices in the whole circuit.

Keywords: Nanosatellite, Fault Tolerance, Redundant, Reliability, Load Switch, LTCC



Sumário

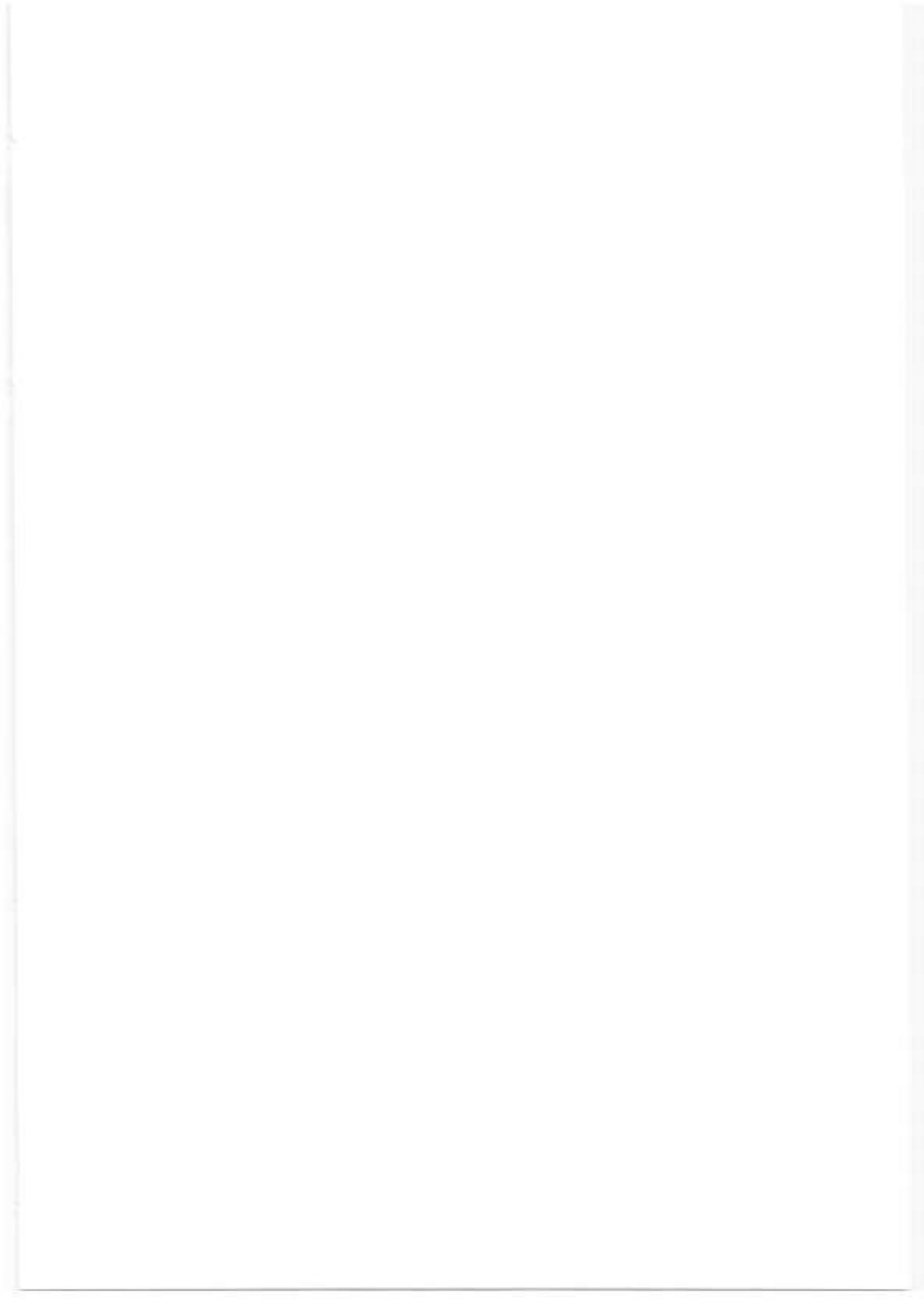
Lista de Figuras

Lista de Tabelas

1	Introdução	p. 17
1.1	O projeto PicPoT	p. 17
1.2	O projeto Aramis	p. 19
1.3	Objetivos	p. 21
2	Avaliação da integral de Joule para um transistor MOS de potência	p. 23
2.1	Comportamento térmico do dispositivo interruptor	p. 23
2.1.1	Comportamento estático	p. 23
2.1.2	Comportamento dinâmico	p. 24
3	Problemáticas do ambiente aeroespacial	p. 27
3.1	Vibração no lançamento	p. 27
3.2	Latch-up	p. 27
3.3	Condições Extremas	p. 28
3.4	Adequação do projeto às problemáticas	p. 28
4	Projeto de um interruptor simples	p. 29
4.1	Escolha dos componentes	p. 31
4.1.1	Escolha do transistor Pmos de potência	p. 32
4.1.2	Escolha dos transistores Nmos	p. 33
5	Simulação com LTSpice	p. 35

6 Montagem e primeiros testes	p. 39
6.1 Adaptação aos componentes disponíveis	p. 39
6.2 Montagem do circuito	p. 39
6.3 Testes do interruptor simples e evolução do circuito	p. 40
6.4 Circuito Final	p. 42
6.5 Teste de pico de corrente	p. 43
6.6 Interruptor Bidirecional	p. 47
6.7 Redundância	p. 49
7 Montagem e Teste do Circuito Final	p. 51
7.1 Simulação do circuito Final	p. 51
7.2 Montagem do circuito final	p. 51
7.3 Teste do circuito final	p. 51
8 Continuação no Brasil	p. 59
9 Aplicação do circuito em substrato cerâmico	p. 61
9.1 Processo de fabricação	p. 61
10 Avaliação dos níveis de confiabilidade	p. 67
Referências	p. 71
Anexo	p. 73
Anexo A - Datasheets	p. 73
Transistor Pmos de potência	p. 73
Transistor Nmos	p. 84
Anexo B - Esquemáticos finais Mentor Graphics	p. 94
Driver Bidirecional	p. 94
Interruptor bidirecional de potência tolerante a falhas	p. 96
Anexo C - Códigos Matlab	p. 98

Cálculo da potência dissipada e energia empregada no fechamento do transistor	
Pmos	p. 98
Cálculo da potência dissipada e energia empregada na abertura do transistor	
Pmos	p. 99
Anexo D - Arquivos Eagle	p. 100
Esquemático do circuito aplicado à cerâmica	p. 100
Leiaute Eagle gerado por programa CutePdfWriter para a impressão em fotolito	p. 102



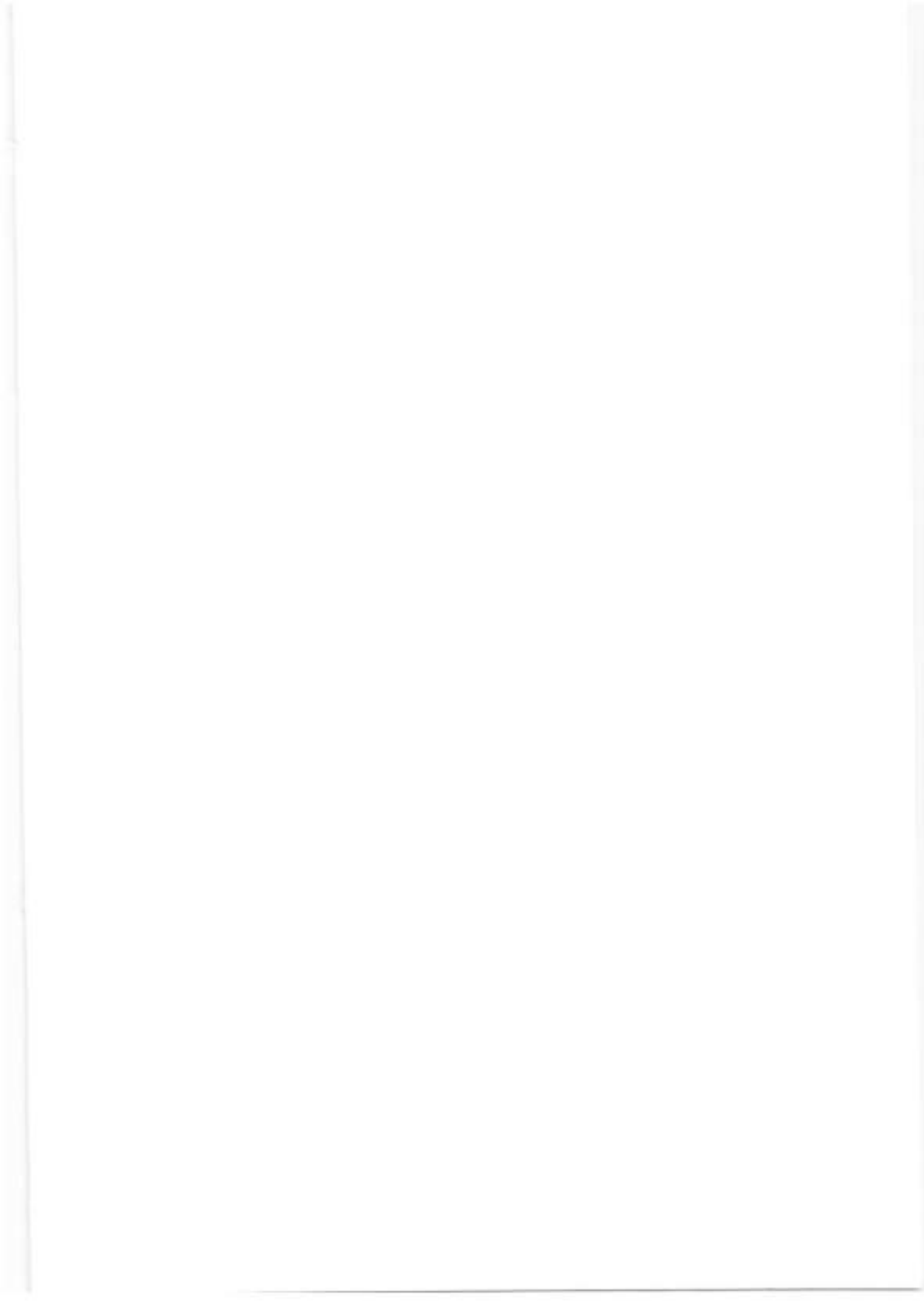
Lista de Figuras

1	Protótipo de Cubesat, idealizado pela CalPoly e pela Stanford University. . . .	p. 18
2	Vista externa do satélite PICPOT.	p. 19
3	Eletrônica de bordo do PICPOT	p. 20
4	Vista externa do satélite ARAMIS	p. 21
5	Vista interna ARAMIS	p. 22
6	Circuito análogo elétrico-térmico caso estático.	p. 24
7	Circuito análogo elétrico-térmico caso dinâmico	p. 25
8	Exemplo de gráfico "Transient Thermal Response Curve"	p. 25
9	Interruptor elementar.	p. 30
10	Primeira ideia para o interruptor elementar de potência	p. 30
11	Segunda ideia para o interruptor elementar de potência	p. 31
12	Exemplo de gráfico de Safe Operation Area	p. 32
13	Screenshot LTSPice	p. 36
14	Curva tensão de entrada (preto); tensão de saída(azul); tensão de gate(vermelho) .	p. 37
15	Dissipação de potência no transistor em comutação	p. 38
16	Circuito adaptado aos componentes disponíveis	p. 41
17	Circuito sem a resistência de 10k Ω	p. 41
18	Circuito com capacitor	p. 42
19	Formas de onda do osciloscópio A - Alimentação; B - Saída; C - Gate; D - Entrada	p. 43
20	Gráficos da potência dissipada no Pmos	p. 44
21	Foto infravermelho do circuito em funcionamento	p. 45
22	Circuito de teste para pico de corrente	p. 45
23	Forma de onda da queda de tensão no conjunto de capacitores	p. 46

24	Descarga do conjunto de capacitores	p. 47
25	Esquemático do circuito bidirecional	p. 48
26	Primeiro nível de redundância	p. 49
27	Redundância utilizada para conferir tolerância a falhas ao interruptor	p. 50
28	Circuito de pilotagem de dois Pmos de potência	p. 50
29	Resultados obtidos pela simulação para os sinais de entrada a 1 1 0	p. 52
30	Resultados obtidos pela simulação para os sinais de entrada a 1 0 0	p. 53
31	Layout do circuito impresso	p. 54
32	Foto do circuito final	p. 55
33	Formas de onda do osciloscópio para os sinais de entrada a 1 1 0	p. 56
34	Formas de onda do osciloscópio para os sinais de entrada a 1 0 0	p. 57
35	Leiaute feito no software EAGLE.	p. 62
36	Fotolito e tela utilizados no processo de serigrafia.	p. 63
37	Processo de serigrafia em material LTCC	p. 64
38	Circuito final aplicado em cerâmica.	p. 65

Lista de Tabelas

1	Resultados obtidos nos primeiros testes	p. 40
2	Resultados obtidos para o circuito da figura 18	p. 42
3	Propriedades típicas do material LTCC usado (DuPont DP 951)	p. 62
4	Estimativa de confiabilidade de cada dispositivo	p. 69



1 Introdução

Nos últimos anos, em universidades do mundo todo, houve um grande aumento na realização de satélites de pequenas dimensões, chamados picosatélites ou nanosatélites, devido a custos e tempos de desenvolvimento significativamente reduzidos. Os picosatélites tem uma massa inferior a 1 kg, enquanto os nanosatélites variam de 1 kg a 10 kg.

A filosofia projetual padrão se baseia no conceito de Cubesat (1), um satélite de forma cúbica de aproximadamente 10 cm de lado e de no máximo 1 kg de massa.

Tal projeto foi desenvolvido em 2001 pelo prof. Robert Twiggs, docente da Stanford University, em colaboração com a California Polytechnic State University, objetivando justamente a realização de um modelo que facilitasse o desenvolvimento de tal projeto.

A ideia de projetar um satélite foi adotada por muitas universidades italianas e estrangeiras, dentre as quais podemos citar a Universidade de Trieste (Itália) - com o Atmocube; a Università della Sapienza (Itália) - com o Unisat; a Universidade Wurzburg (Dinamarca) - com o AAU-Cubesat; a Norwegian University of Science and Technology (Noruega) - com o NCube.

O Politecnico di Torino (Itália) também aderiu à iniciativa internacional projetando um satélite universitário, inicialmente com o projeto PicPoT (2) e atualmente com o projeto Aramis (3).

1.1 O projeto PicPoT

O projeto PicPoT nasceu em janeiro de 2004 a partir de um trabalho conjunto entre alguns departamentos da universidade - em especial o Departamento de Engenharia Eletrônica e o Departamento de Engenharia Aeroespacial.

PicPot, acrônimo de *PICcolo satellite del POLitecnico di Torino* (em português: pequeno satélite do Politécnico de Turim), é um satélite de forma cúbica de 13 cm de lado, massa de cerca de 2,5 kg e previsão de tempo de vida de 90 dias.

Os objetivos principais do projeto foram:

- Verificar o funcionamento dos componentes COTS (Components Off The Shelf) no espaço;

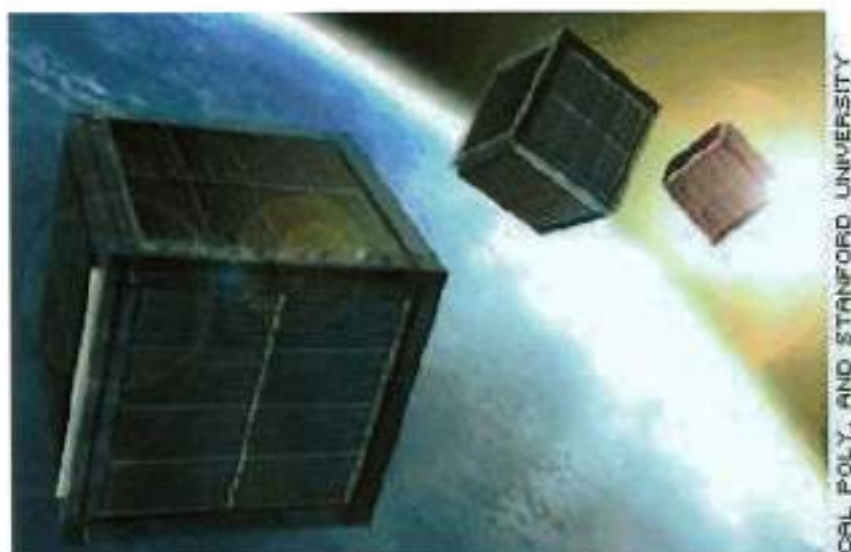


Figura 1: Protótipo de Cubesat, idealizado pela CalPoly e pela Stanford University.

- Transmitir dados, como por exemplo as leituras dos sensores de bordo para a estação terrestre;
- Tirar fotos de baixa resolução da superfície terrestre através de três câmeras fotográficas.

A estrutura externa do satélite é um cubo composto de seis faces quadradas e ortogonais entre si feito em liga de alumínio tipo 5000 AlMn (Fig. 2).

O satélite é composto por cinco painéis solares (P1, P2, P3, P4 e P5), duas antenas (nas frequências de 437 MHz e 2.4 GHz), três câmeras fotográficas (T1, T2 e T3), dois Kill-switch (K1 e K2) e um conector de teste para verificar a parte eletrônica do satélite depois de ter sido montado.

A estrutura interna do satélite é composta por seis placas eletrônicas (Fig. 3):

- Power Supply, que mantém alimentadas as baterias recarregáveis do satélite e controla o estado elétrico e térmico dos painéis solares, dos carregadores das baterias e das próprias baterias;
- Power Switch, que gera, a partir das tensões das baterias, as tensões para as outras placas do satélite;
- TxRx, que estabelece a transmissão de dados entre o satélite e a estação terrestre, utilizando dois canais de comunicação para esta finalidade, sendo um à frequência de 437 MHz e o outro à 2.4 GHz;
- ProcA e ProcB, os processadores de bordo que registram os dados recebidos da estação terrestre e transmitem as fotografias e a telemetria do satélite nas diferentes frequências;

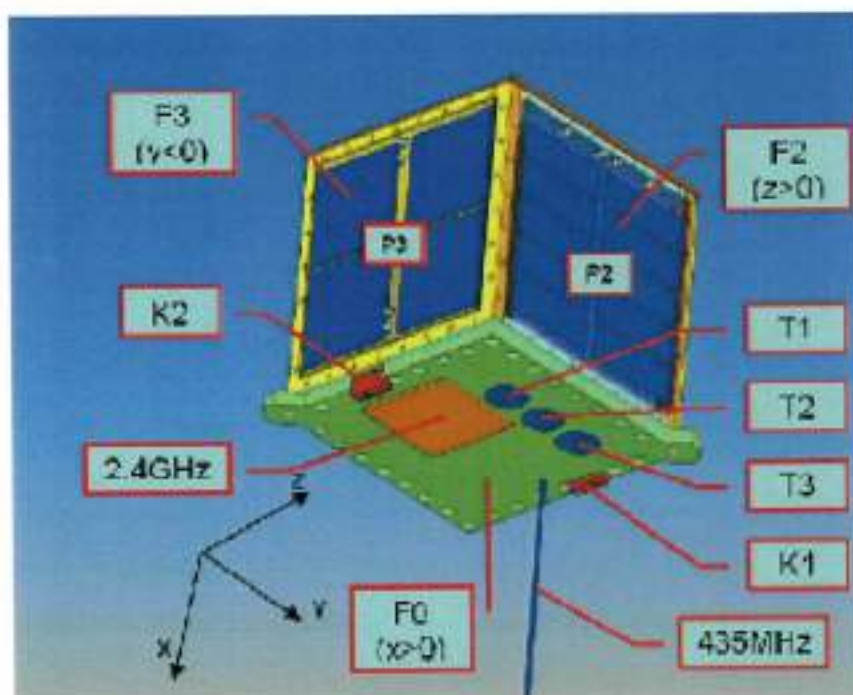


Figura 2: Vista externa do satélite PICPOT.

- Payload, que importa as imagens das três câmeras fotográficas, comprimindo-as em formato JPEG e transmitindo-as, por meio de uma solicitação, a um dos dois processadores.

Como se pode notar, pela utilização de dois canais de comunicação, o sistema eletrônico de bordo foi desenvolvido de acordo com o critério de redundância, a fim de garantir o funcionamento também em caso de um defeito.

O projeto PicPoT foi concluído em 26 de julho de 2006 com o lançamento na base russa de Baikonur (KAZ) em uma propulsão vetora Dnepr-LV, de derivação militar. Infelizmente, devido a um problema hidráulico da propulsão vetora, o lançamento fracassou.

1.2 O projeto Aramis

Depois da experiência do PicPoT, no segundo semestre de 2006, iniciou-se um novo projeto: o projeto Aramis, acrônimo de *Architettura Modulare per Satelliti*. O projeto baseia-se na utilização de uma arquitetura modular, que leva em conta um discreto número de módulos que podem ser reutilizados de acordo com as exigências das diversas missões.

A reutilização dos mesmos módulos permite uma maior redução dos custos de realização e, da mesma forma, uma redução do tempo de desenvolvimento, que são os principais objetivos do projeto.

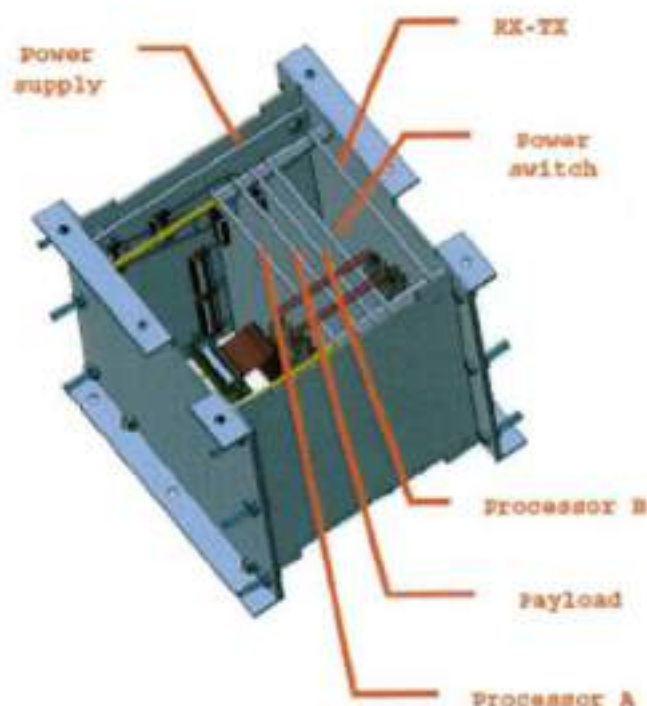


Figura 3: Eletrônica de bordo do PICPOT

Seguindo esta arquitetura, a superfície externa do satélite AraMIS é constituída de blocos padrões de dois tipos (Fig. 4):

- Power Management, que se encarrega da gestão da potência e do controle do pequeno eixo ativo. É constituído por um painel solar externo que gera a energia a ser transferida para a bateria, que é armazenada na parte interna do bloco para ser carregada. Para realizar o controle do eixo existe um solenoide e uma roda de inércia que permitem orientar o satélite em volta dos três eixos x, y, z. Todos os processos são administrados por um microcontrolador.
- Telecommunication, que se encarrega de transmitir e receber dados e comandos da estação terrestre, realizada para tanto às frequências de 437 MHz e 2.4 GHz que se encontram na faixa dedicada às comunicações através de satélites amadores. É constituído essencialmente por um microcontrolador localizado no transceiver programável, um amplificador de potência para a transmissão, um LNA para a recepção e um sistema de antena.

Na parte interna do satélite (Fig. 5), os blocos podem ser de vários tipos e, no momento, o que está em fase de desenvolvimento é o On-Board Processor e o Payload Support.

A On-Board Processor administra o controle do funcionamento do sistema inteiro, como a comunicação e os comandos relativos ao pequeno eixo do satélite, enquanto a função do Payload poderá variar de acordo com as diversas missões.

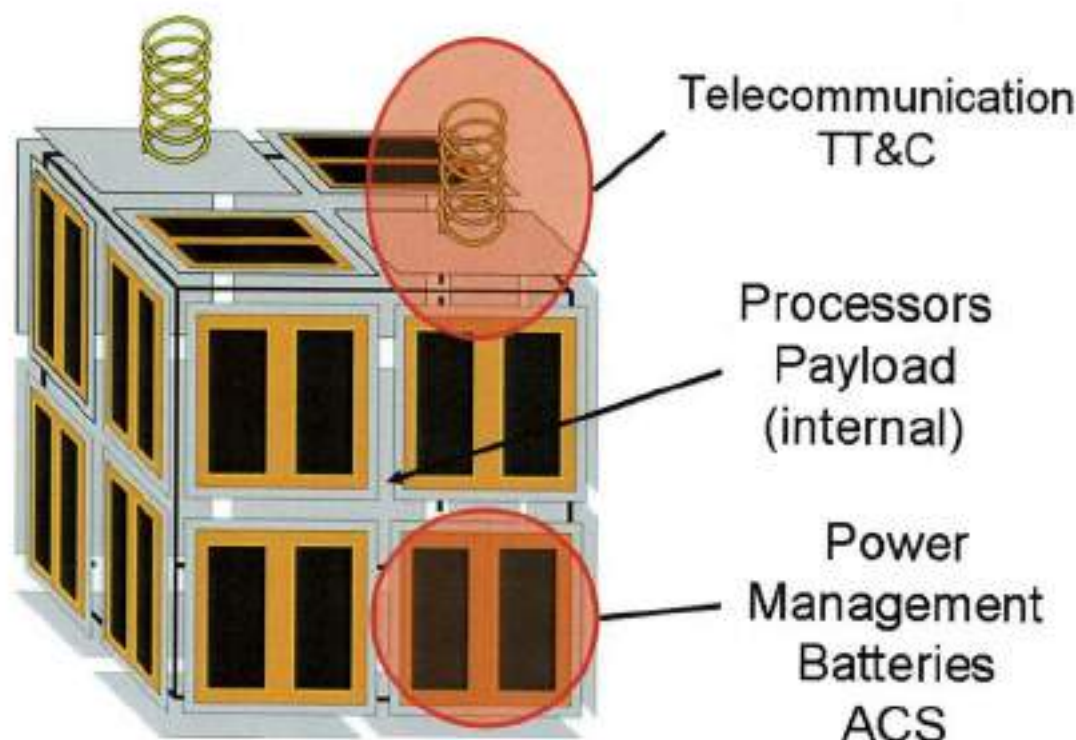


Figura 4: Vista externa do satélite ARAMIS

1.3 Objetivos

Este trabalho de conclusão de curso se dedica ao desenvolvimento de um sistema formado por um interruptor de potência tolerante a falhas, que sucessivamente fará parte do bloco Power Management constituinte do nanossatélite AraMiS.

Para esta finalidade realizou-se um estudo do parâmetro Integral de Joule relacionado com as características térmicas dos transistores de potência. Conferindo um estudo mais acurado sobre os limites de operação do dispositivo de potência.

Além disso, foi desenvolvido inicialmente o projeto de um interruptor simples e, em seguida, foi estudada uma topologia adequada que conferisse tolerância a uma falha simples ao circuito completo.

Em uma etapa posterior, desejou-se aprimorar o projeto do interruptor aplicando o circuito em substrato cerâmico. Graças às características deste material pode-se dizer que houve uma melhora na confiabilidade do circuito completo.

Finalmente, desejou-se avaliar de forma objetiva os níveis de confiabilidade do circuito através de normas militares americanas. Trata-se de um método simples de avaliação, envolvendo as características de fabricação e de operação de cada um dos componentes constituintes do circuito completo.



Figura 5: Vista interna ARAMIS

2 *Avaliação da integral de Joule para um transistor MOS de potência*

Um parâmetro interessante para medir a potencialidade de um componente interruptor é a Integral de Joule. Teoricamente (4) a Integral de Joule é dada da seguinte equação:

$$E = \int_0^t Ri^2(t) dt = R \int_0^t i^2(t) dt$$

Nota-se que I^2t não é nada mais do que uma medida de energia normalizada pela resistência do dispositivo¹. Esta medição descreve o estresse máximo aplicado sobre o dispositivo em curto circuito e, portanto, constitui um parâmetro ao qual a potencialidade de curto circuito deve ser comparada. No caso de um dispositivo em estado sólido, uma medida eficaz do máximo pico de corrente é dada pelo transistor logo antes da temperatura de junção atingir o seu valor limite máximo.

2.1 Comportamento térmico do dispositivo interruptor

O cálculo da análise térmica na junção de um dispositivo em estado sólido às vezes pode ser muito dificultoso e não trivial. No entanto, um método de simplificação muito eficaz pode ser considerado quando se pretende avaliar o comportamento térmico dos dispositivos eletrônicos, basicamente transforma-se a análise térmica em uma análise de circuito elétrico (5).

2.1.1 Comportamento estático

Em primeiro lugar, devemos considerar o comportamento estático do dispositivo, ou seja, quando o dispositivo não está comutando. Podemos dizer que quando ele está aberto, a sua temperatura de junção é igual à temperatura ambiente (supondo um tempo suficientemente longo). Quando está conduzindo por um período suficientemente longo sua temperatura de junção (T_{JL}) pode ser avaliada segundo o seguinte circuito equivalente apresentado na Figura 6. Neste caso podemos aplicar os mesmos princípios e teoria estudados como se fosse um circuito

¹ $Energia = Potencia * tempo = RI^2 * t \rightarrow I^2t = Energia/R$

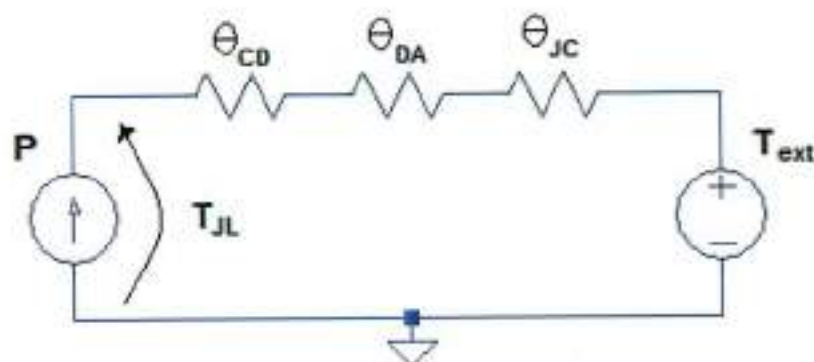


Figura 6: Circuito análogo elétrico-térmico caso estático.

elétrico normal. Portanto, resolvendo para T_{JL} , temos:

$$P = I^2 R_{DS}$$

$$T_{JL} = T_{ext} + \theta_{JA} P$$

$$T_{JL} = T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA}) I^2 R_{DS}$$

onde

- T_{JL} é a temperatura de junção do transistor;
- T_{ext} é a temperatura do ambiente no qual o transistor está inserido;
- P é a potência dissipada pelo transistor;
- I é a corrente estática nominal do circuito;
- R_{DS} é a resistência quando o transistor está conduzindo;
- θ_{JC} , θ_{CD} , θ_{DA} são as resistências térmicas, respectivamente: junção-encapsulamento, encapsulamento-dissipador e dissipador-ambiente;

Todos esses parâmetros podem ser extraídos facilmente do *datasheet* do componente, uma vez conhecida a condição de operação.

2.1.2 Comportamento dinâmico

Agora, o mesmo tipo de análise é feita para o comportamento transitório, isto é, quando o transistor está fechando ou abrindo. Dada a velocidade alta do evento, o dispositivo não tem tempo para dissipar apropriadamente o calor. Então, neste caso, o modelo apresenta uma

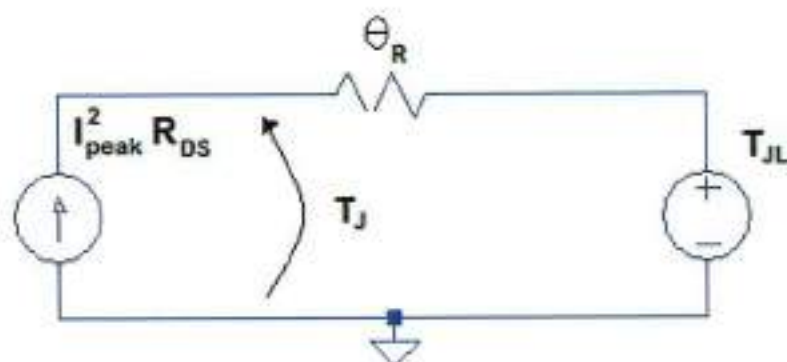
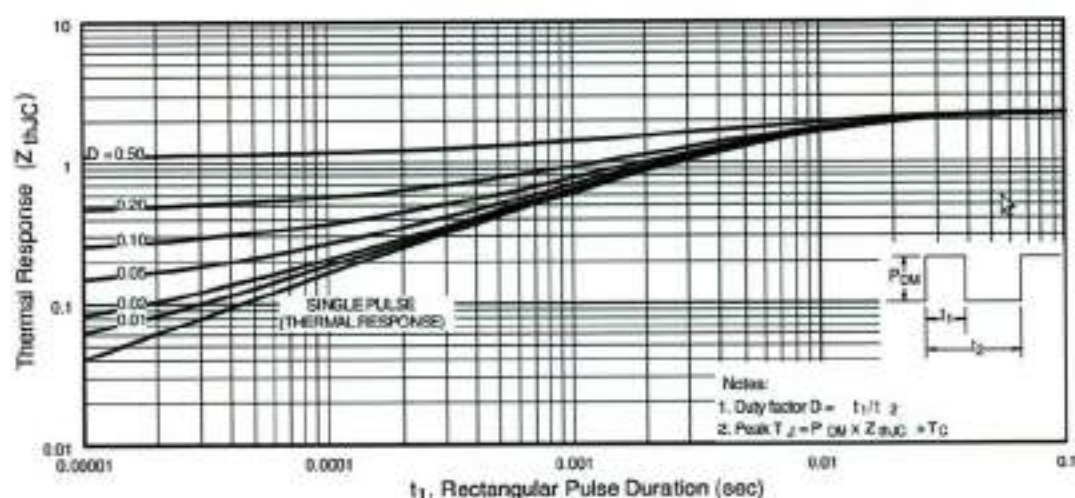


Figura 7: Circuito análogo elétrico-térmico caso dinâmico



Maximum Effective Transient Thermal Impedance, Junction-to-Case

Figura 8: Exemplo de gráfico "Transient Thermal Response Curve"

resistência térmica dinâmica θ_R entre a temperatura instantânea na junção T_J e a temperatura estática de junção T_{JL} .

A proporção entre a resistência térmica de junção (θ_R) com o tempo pode ser extraída do gráfico "Transient Thermal Response Curve" (Fig. 8) presente no *datasheet* do dispositivo. Portanto, resolvendo para T_J , temos:

$$P = I_{peak}^2 R_{DS}$$

$$T_J = T_{JL} + \theta_R P$$

$$T_J = T_{JL} + \theta_R I_{peak}^2 R_{DS}$$

mas,

$$T_{JL} = T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA})I^2 R_{DS}$$

Podemos dizer que a temperatura instantânea de junção não deve ser maior que T_{max} dada pelo fabricante do transistor. Dessa maneira, é possível encontrar o caso limite:

$$T_J = T_{max}$$

$$T_J = T_{ext} + \theta_{JA}P_{stat} + \frac{R}{K}I^2\sqrt{t}$$

$$K = \frac{\sqrt{t}}{\theta_R}$$

Enfim, podemos resolver estas equações de maneira a encontrar $I_{peak}^2\sqrt{t}$:

$$I_{peak}^2\sqrt{t} = \frac{T_{max} - T_{JL}}{R_{DS}\frac{\theta_R}{\sqrt{t}}}$$

$$I_{peak}^2\sqrt{t} = \frac{T_{max} - T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA})I^2 R_{DS}}{R_{DS}\frac{\theta_R}{\sqrt{t}}}$$

Finalmente, notamos que o transistor não segue exatamente a relação de I^2t constante, mas sim $I^2\sqrt{t}$ constante.

3 *Problemáticas do ambiente aeroespacial*

Um projeto para um sistema aeroespacial requer um estudo das condições anormais de tal meio além do estudo de uma configuração do próprio projeto. Neste capítulo são mencionadas as condições que mais atrapalham o desenvolvimento deste projeto, deve-se levar em conta que os problemas do ambiente aeroespacial não são limitados àqueles citados neste estudo (6).

3.1 Vibração no lançamento

Uma das principais preocupações da confiabilidade em termos de resistência do sistema é a condição do lançamento do satélite. Isto porque o lançamento envolve uma grande quantidade de energia que frequentemente se transforma em vibração mecânica do dispositivo lançado. Por esta razão, é desaconselhada a utilização de componentes que utilizam sistema de disparo eletromecânico na montagem do satélite.

3.2 Latch-up

O problema de latch-up (7) se deve às altas condições de radiação do ambiente aeroespacial que podem acionar involuntariamente um componente MOSFET. Este problema é muito grave, em particular no caso da tecnologia CMOS (8), que pode resultar na condução de duas redes de transistores (amos e pmos), produzindo uma baixa resistência entre alimentação e terra. Isso tudo resulta numa grande corrente que pode danificar o componente. Levando em conta que este problema é bastante comum nos projetos aeroespaciais, existem algumas técnicas que permitem a utilização de uma tecnologia para sanar este efeito sempre que for acionado através do controle da corrente utilizada e uma eventual interrupção na alimentação no dispositivo que sofre o efeito. De qualquer forma, a utilização de componentes de tecnologia CMOS é desaconselhada neste projeto.

3.3 Condições Extremas

Um projeto aeroespacial trabalha em condições extremas (9) e, portanto, requer um alto nível de confiabilidade. Portanto, uma boa maneira de aumentar o grau de confiabilidade de um sistema é assumir que ele apresenta uma falha em um único componente. Se um sistema admite uma falha em qualquer simples fio ou componente, então podemos dizer que o sistema é tolerante a falhas.

Para fazer com que um sistema normal se transforme em um outro tolerante a falhas, deve-se então fazer uso da redundância.

Para uma discussão aprofundada nas técnicas usadas nos sistemas elétricos tolerantes a falhas ver (10). Portanto, por conta da redundância, é fortemente aconselhado que o sistema apresente poucos componentes. Além disso, seria muito dificultoso e caro replicar um subcircuito composto por inúmeros componentes. Um estudo mais detalhado sobre a redundância aplicada ao sistema em questão está presente no item 6.7.

3.4 Adequação do projeto às problemáticas

Desta forma, das condições que conferem maiores problemas ao caso estudado, resulta que as premissas particulares deste projeto são:

- não deve conter componentes eletromecânicos;
- não deve utilizar-se de componentes da tecnologia CMOS;
- é aconselhável um projeto constituído de poucos componentes;
- deve ser capaz de suportar falha em um componente único qualquer.

4 *Projeto de um interruptor simples*

Antes de fazer o projeto e os testes do circuito redundante tolerante a falhas, é conveniente partir de um interruptor simples elementar que depois será utilizado diversas vezes de maneira a gerar o circuito completo. Este elemento simples, no caso do interruptor de potência, é o circuito que representa o bloco de um só interruptor da Figura 9.

O circuito elementar deverá portanto verificar um sinal TTL (Control) e fechar ou abrir o circuito de acordo com o valor que assume o sinal lógico. Se o sinal TTL apresenta um valor igual a 0 lógico, o interruptor deve estar aberto, isto é, deve bloquear a passagem de potência. Se o sinal TTL apresentar um valor igual a 1 lógico, o interruptor deve estar fechado, isto é, deve permitir a passagem da máxima potência possível.

Como vimos nas conclusões das problemáticas do ambiente aeroespacial, o circuito deve ser bastante simples, ou seja, conter poucos componentes. Além disso, não podemos contar com a utilização de componentes CMOS pelo problema de Latch up.

Uma primeira maneira de pensar o circuito interruptor simples seria, portanto, como indicado na Figura 10. Porém, este circuito apresenta alguns problemas. Em primeiro lugar, o transistor Nmos deve ser capaz de suportar uma grande faixa de tensão entre Dreno e Fonte (V_{DS}), fazendo-se necessário um componente mais caro. Além disso, o Pmos poderia se danificar por causa da grande excursão de V_{GS} . Finalmente, o carregamento e descarregamento do Pmos (11) em termos de corrente seria muito fraco, fazendo com que os tempos de fechamento e abertura tornem-se razoavelmente grandes, causando então um problema de dissipação indesejada de potência.

Portanto, devemos dividir o circuito de excitação do transistor Pmos de potência em dois subcircuitos: Um se ocupa em carregar a capacitância parasita de gate do pmos e o outro se ocupa em descarregar a mesma. Existem diversos componentes que fazem este trabalho, porém se utilizam da tecnologia CMOS, que é desaconselhada nesse caso como visto no item 3.2. Além de dividir o circuito de pilotagem do transistor Pmos, temos também que garantir que a sua tensão V_{GS} não seja sobrecarregada. Então, uma segunda tentativa pode ser pensada como ilustra o circuito da Figura 11.

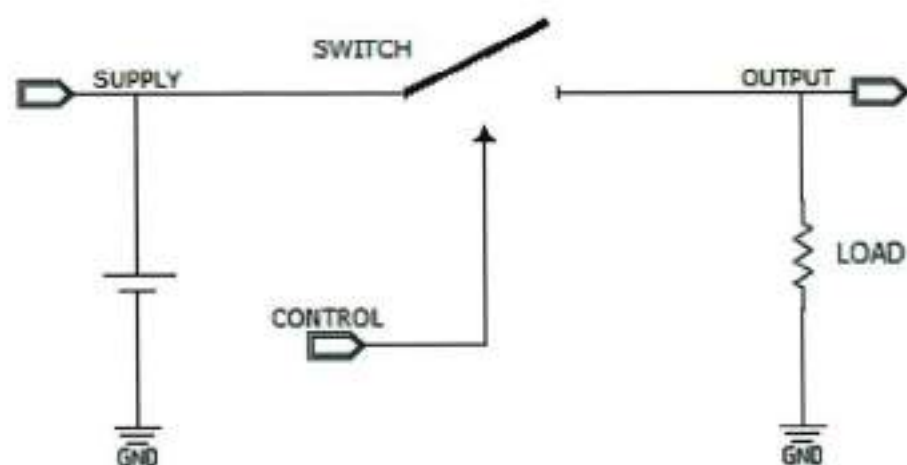


Figura 9: Interruptor elementar.

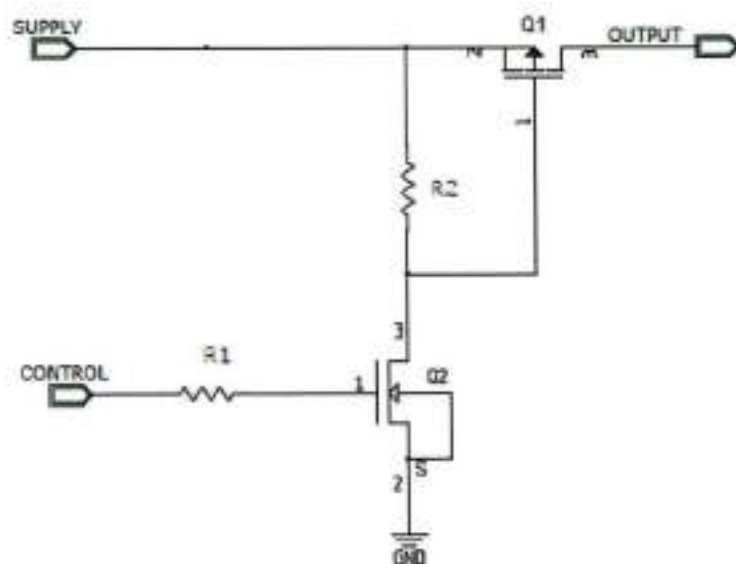


Figura 10: Primeira ideia para o interruptor elementar de potência

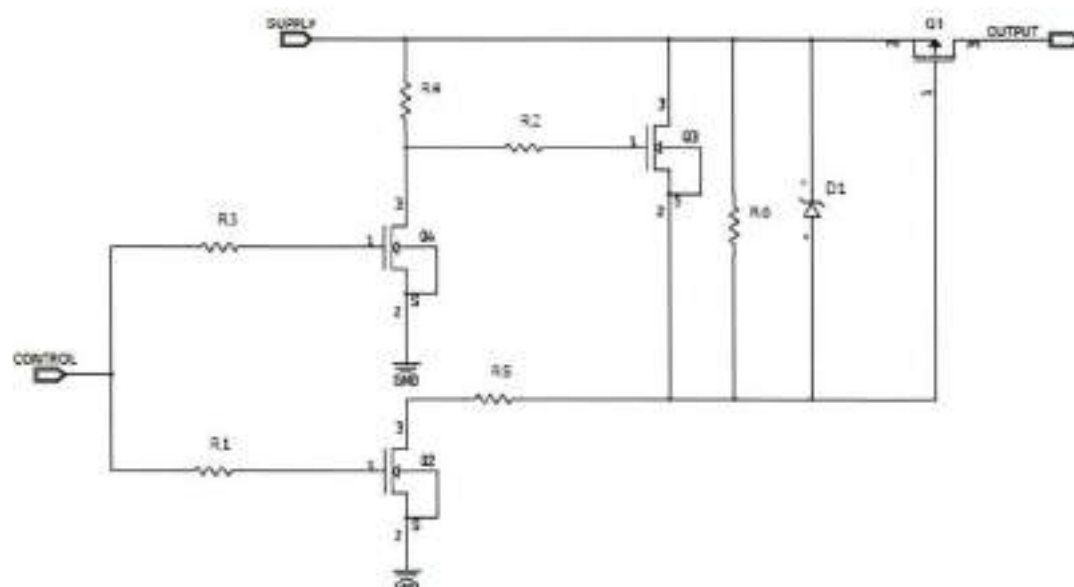


Figura 11: Segunda ideia para o interruptor elementar de potência

Quando o sinal de comando é alto, Q2 e Q4 estão ambos conduzindo e Q3 está aberto. Portanto, o valor de tensão no gate do Pmos é baixo e então ele conduz, permitindo a passagem de potência.

Quando o sinal de comando é baixo, Q2 e Q4 estão ambos abertos e Q3 está conduzindo. Portanto, o valor de tensão no gate do Pmos é alto e então, ele encontra-se aberto, bloqueando a passagem de corrente.

O circuito funciona bem sempre que a tensão de limiar V_T de Q3 apresenta um valor absoluto menor do que a tensão de limiar do Pmos.

As resistências R5 e R6 configuram um divisor de tensão para proteger o Pmos de sobrecargas de tensão V_{GS} , assim como o diodo, que também faz este trabalho.

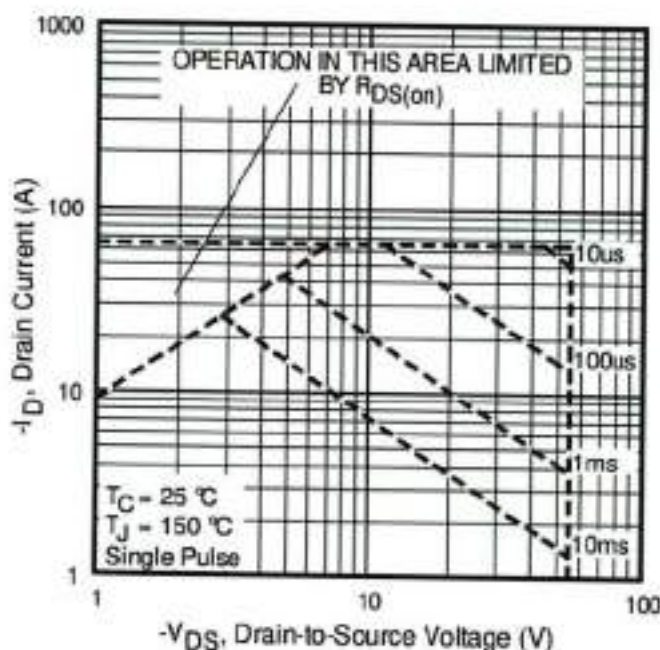
4.1 Escolha dos componentes

Diante das considerações feitas no item anterior, pode-se proceder com a escolha dos componentes de maneira bastante intuitiva.

As resistências R1 e R3 conectadas às portas dos transistores nmos apresentam um valor baixo, pois sua função é somente evitar oscilações no gate.

As resistências R4 (10k) e R2 (20k) servem de divisor de tensão e o diodo zener deve ser de 10V para proteger contra sobrecarga de V_{GS} do transistor de potência.

A resistência R6 (22k) serve para limitar a corrente que flui no transistor Q4 e, assim,



Maximum Safe Operating Area

Figura 12: Exemplo de gráfico de Safe Operation Area

diminuir a potência dissipada inutilmente neste dispositivo.

4.1.1 Escolha do transistor Pmos de potência

O componente que necessita uma avaliação mais detalhada de suas características é o transistor Pmos de potência.

Os parâmetros mais importantes neste caso são a elevada corrente máxima, a baixa resistência $R_{DS(on)}$, baixa resistência térmica e V_{DSBR} maior que a máxima tensão de alimentação ($25V + 3V_{ripple}$).

Uma outra característica importante para a escolha de tal componente é o gráfico de "Safe Operation Area" da Figura 12 que fornece uma orientação muito boa para o comportamento do componente em condições extremas.

Comparando-se os modelos disponíveis em estoque de acordo com os diversos parâmetros apenas citados, decidiu-se utilizar o modelo IRFR5505 (datasheet no apêndice 10) por ser aquele que apresentava valores que melhor adequavam-se ao projeto. Contudo, deve-se mencionar o fato de que não é um modelo ideal, dado que apresenta uma resistência razoavelmente alta, que resulta em uma maior dissipação de potência. No entanto, este componente apresenta valores particularmente cômodos para as condições de operação extremas de corrente, o que obviamente

resulta em uma maior confiabilidade para o circuito.

4.1.2 Escolha dos transistores Nmos

Estes componentes devem ser capazes de comutar com uma faixa de valores razoavelmente baixa de tensão de entrada (da 0V até a 5V) e devem ser capazes também de fornecer uma corrente bastante alta (da ordem de um par de ampères) de maneira a carregar e descarregar rapidamente as capacitâncias de gate do transistor de potência.

Uma outra característica importante a se notar é que V_T deve ser menor, em valor absoluto, que o V_T do transistor de potência, caso contrário o pmos nunca conduziria e o circuito não funcionaria. Também neste caso fez-se uma pequena avaliação entre os vários modelos disponíveis no estoque e optou-se pelo modelo IRLML2830 (datasheet em apêndice 10).

5 *Simulação com LTSpice*

A simulação é um bom instrumento para verificar o oportuno funcionamento de um circuito e avaliar se as considerações feitas no projeto estão sendo respeitadas. Por isso, antes da montagem do circuito e os sucessivos testes, fez-se uma etapa de simulação.

O programa escolhido foi o LTSpice. Este programa é gratuito e apresenta instrumentos simples mas bastante úteis para fazer simulações de circuitos não muito complexos. Para fazer a simulação do circuito em questão deveu-se, no entanto, realizar a criação dos modelos para os componentes mais importantes, ou seja, os transistores.

Mais uma vez, o programa se apresentou muito simples e eficaz com uma boa facilidade ao criar um componente bastando fazer a associação do oportuno símbolo para esquemático ao seu respectivo arquivo de descrição do componente em formato SPICE frequentemente fornecido pelo fabricante (12).

Finalmente criou-se e simulou-se o circuito (Fig. 13).

Nota-se que um gerador de onda quadrada de 0.8V a 3.5V foi colocado como sinal de comando de período 30ms e 10ms de duração de pulso. Foi feita a análise a transitório para 50ms, resultando nas seguintes curvas vistas nas Figuras 14 e 15.

Destas curvas, é possível notar o comportamento do transistor PMOS de potência em comutação. Quando ele está em fechamento (Fig. 14a) a corrente de gate descarrega suas capacitâncias parasitas de gate: primeiro C_{GS} e sucessivamente C_{DG} (a chamada capacitância Miller) (11). Portanto, o tempo de atraso deve-se à descarga de Q_{GS} e Q_{DG} . De forma análoga, quando o transistor está em abertura (Fig. 14b) a corrente de gate carrega as capacitâncias de gate: primeiro C_{GS} e sucessivamente C_{DG} . Do mesmo modo, o tempo de atraso deve-se à carga de Q_{GS} e Q_{DG} . Seja em fechamento ou em abertura, o transistor atinge o maior valor de dissipação de potência quando acaba de descarregar ou carregar, respectivamente, a capacitância C_{GS} . Pode-se notar este fenômeno na Figura 15. Finalmente, foi feita a verificação dos valores aceitáveis de funcionamento em termos de tensão, corrente, tempos e potência dissipada.

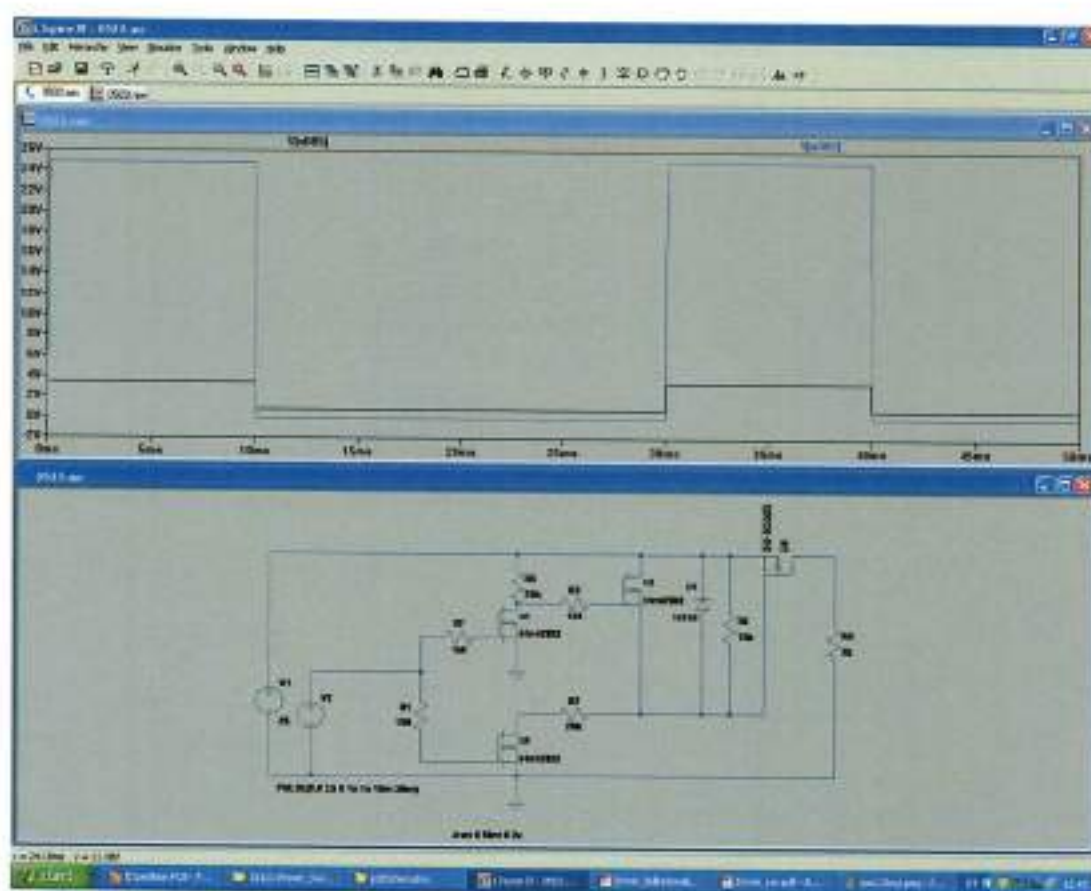
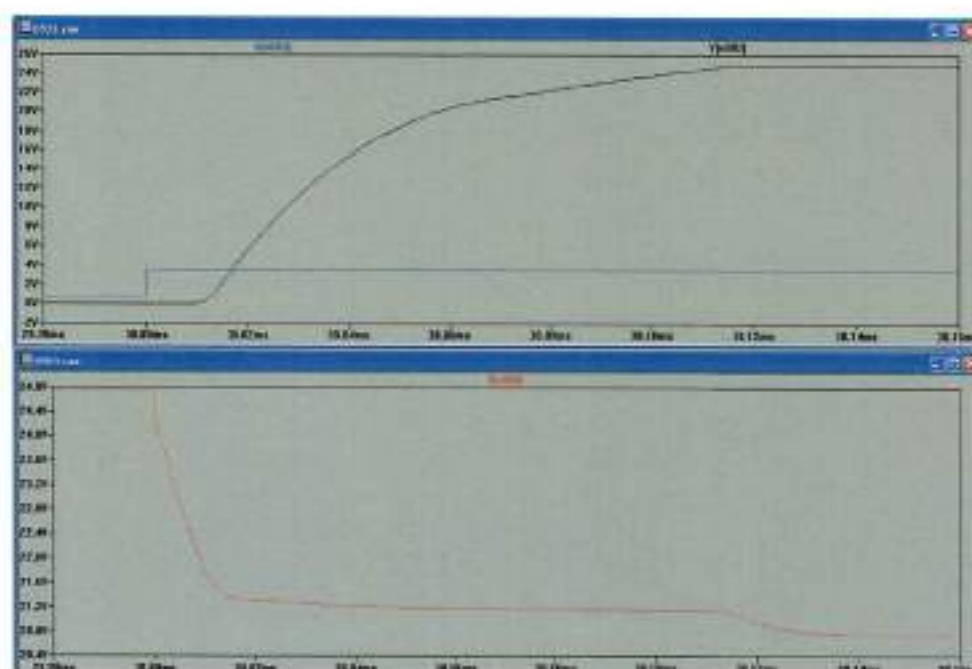
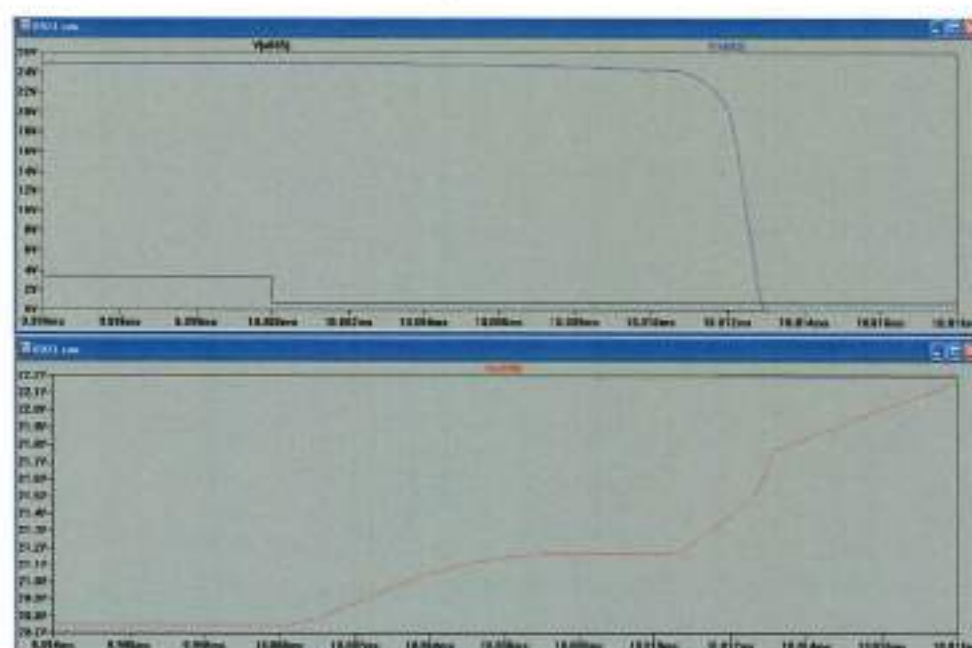


Figura 13: Screenshot LTSpice

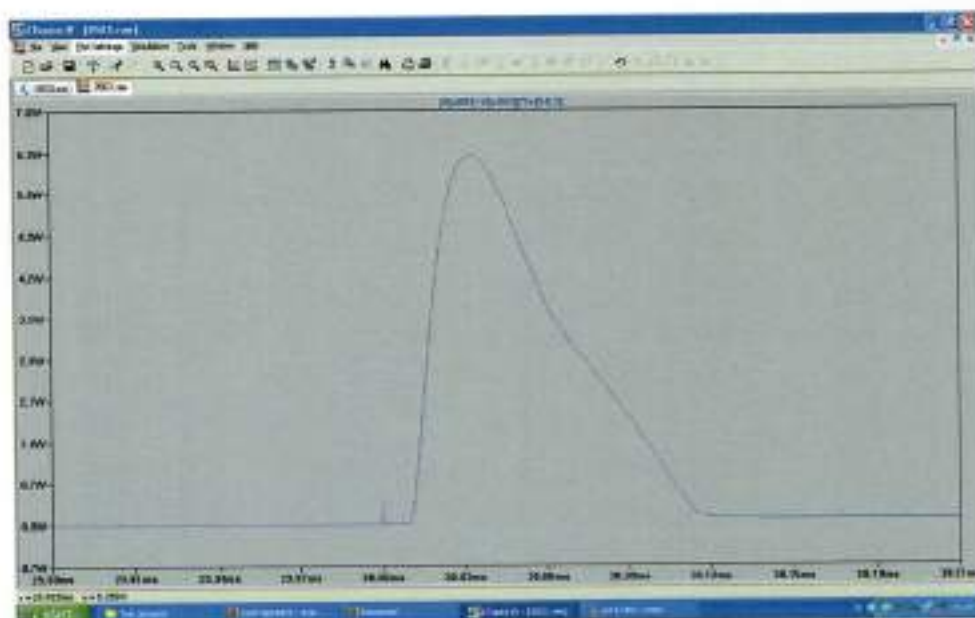


(a) fechamento

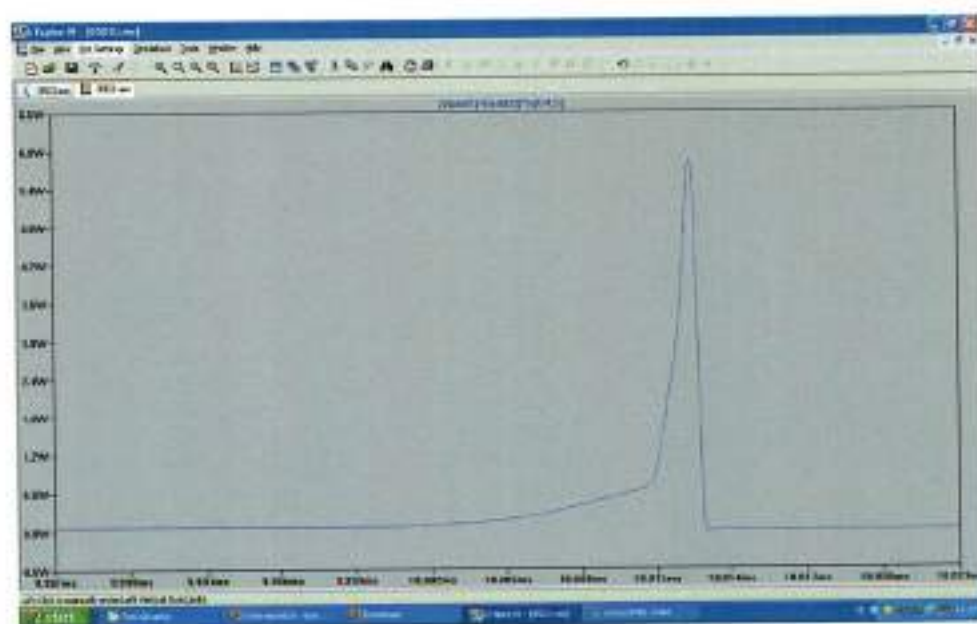


(b) abertura

Figura 14: Curva tensão de entrada (preto); tensão de saída(azul); tensão de gate(vermelho)



(a) fechamento



(b) abertura

Figura 15: Dissipação de potência no transistor em comutação

6 *Montagem e primeiros testes*

6.1 Adaptação aos componentes disponíveis

A partir dos resultados obtidos na simulação, verificou-se que o circuito funcionava suficientemente bem e portanto, pode-se passar ao passo sucessivo.

Como o tempo disponível para o desenvolvimento deste trabalho era muito pouco, decidiu-se adaptar o circuito a componentes já disponíveis no estoque, evitando-se assim perdas de tempo em espera de encomenda, mesmo se teoricamente estes não fossem os componentes ideais. O circuito com os componentes ideais seria implementado posteriormente à etapa de primeiros testes.

Por isso, ao invés de um diodo Zener de 10V foram inseridos dois de 4.7V.

Para os nmos, decidiu-se utilizar os IRLML2803 e para o pmos, foi escolhido o modelo IRFR5505, como discutido anteriormente.

Estas condições resultaram na adaptação do circuito, como é apresentado pela Figura 16.

6.2 Montagem do circuito

Depois de ter decidido os componentes a serem utilizados, passou-se à etapa de projeto no pacote de programas da Mentor Graphics. Para o desenvolvimento deste projeto neste ambiente de trabalho, foi necessária a criação de modelos de diversos componentes que faltavam na biblioteca geral do projeto AraMiS. Nesta etapa, foi necessária a realização de um procedimento análogo àquele da simulação em programa LTSPICE. Desta vez, no entanto, realizou-se o vínculo do símbolo do componente ao seu relativo pad para solda.

Utilizou-se o programa ExpeditionPCB para criar o circuito impresso que depois seria utilizado para criar a placa de testes. Alguns pad para verificação do sinal foram criados.

Posteriormente, os componentes foram soldados e então passou-se aos testes.

Tabela 1: Resultados obtidos nos primeiros testes

Esquemático	Tensão de Alimentação	Resistência de carga	Corrente	Tempo de Fechamento	Tempo de Abertura
Figura 16	14V	100 Ω	0.14A	44 μ s	9 μ s
Figura 17	14V	100 Ω	0.14A	12 μ s	6.4 μ s
Figura 18	14V	100 Ω	0.14A	125 ns	6.3 μ s
Figura 18	14V	39 Ω	0.35A	115 ns	6.6 μ s
Figura 18	28V	39 Ω	0.7A	130 ns	9.82 μ s
Figura 18	18V	18 Ω	1A	410 ns	7.37 μ s
Figura 18	28V	18 Ω	1.56A	600 ns	9.27 μ s
Figura 18	10V	2.91 Ω	3.33A	400 ns	6.0 μ s

6.3 Testes do interruptor simples e evolução do circuito

Nesta etapa foram realizados diversos testes de modo a avaliar o bom funcionamento do circuito. Tomou-se em consideração os tempos empregados em fechamento do transistor pmos, o tempo de abertura do mesmo, a temperatura do componente. Nos últimos testes, foram avaliados também os valores de energia empregada no fechamento e abertura do pmos e sua potência dissipada na comutação através de procedimento no Matlab a partir de dados fornecidos pelo osciloscópio.

Para a realização dos testes, uma onda quadrada foi inserida como entrada do sinal de comando de maneira a simular um sinal TTL em condições adversas. Para tanto, utilizou-se valores relativamente altos (0.8V) para o nível lógico 0 e valores relativamente baixos (3.5V) para o nível lógico 1. Isto ajuda a imitar o efeito de ruído que agiria sobre o sinal de entrada em condições adversas.

Em seguida, variou-se a tensão de alimentação e os valores de resistência de carga com a finalidade de provocar a passagem de diversos valores de corrente.

Depois de alguns testes, decidiu-se tirar a resistência de 10k (R6) para não limitar o valor da corrente que carrega a capacitância parasita de gate do transistor Pmos, resultando no circuito da Figura 17, que apresenta melhores tempos de abertura. De maneira análoga, decidiu-se adicionar um capacitor para reduzir o tempo de transitório de descarga da capacitância parasita do gate, já que o capacitor representa uma impedância baixa para os transientes. O resultado é o circuito que se mostra na figura 18.

A Tabela 1 faz um resumo dos tempos relacionados para cada circuito e condições de teste.

Pode-se observar que os tempos aumentam à medida em que aumenta a tensão de alimentação e que, de fato, as mudanças feitas aprimoraram os valores de tempo de comutação do circuito.

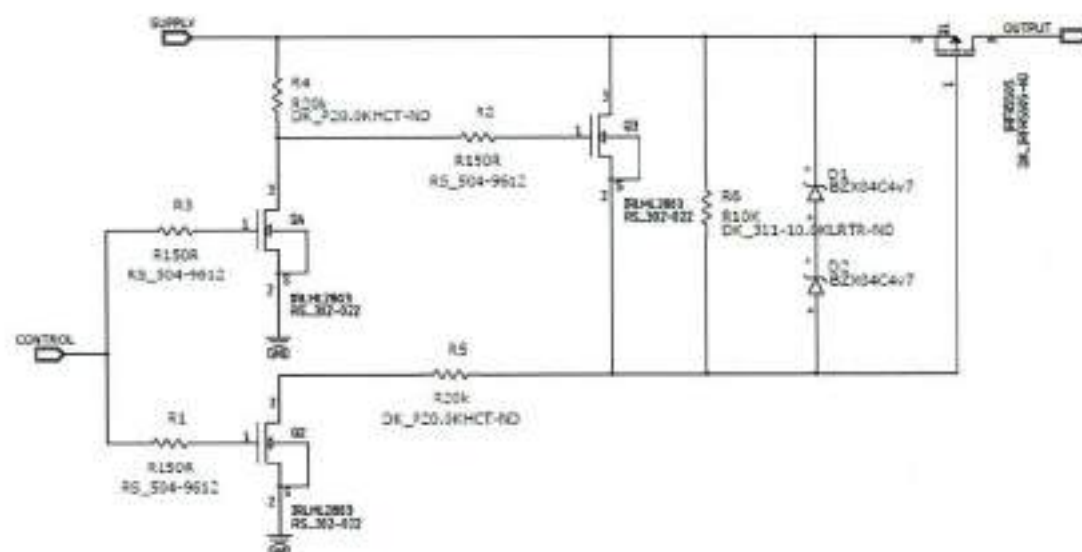


Figura 16: Circuito adaptado aos componentes disponíveis

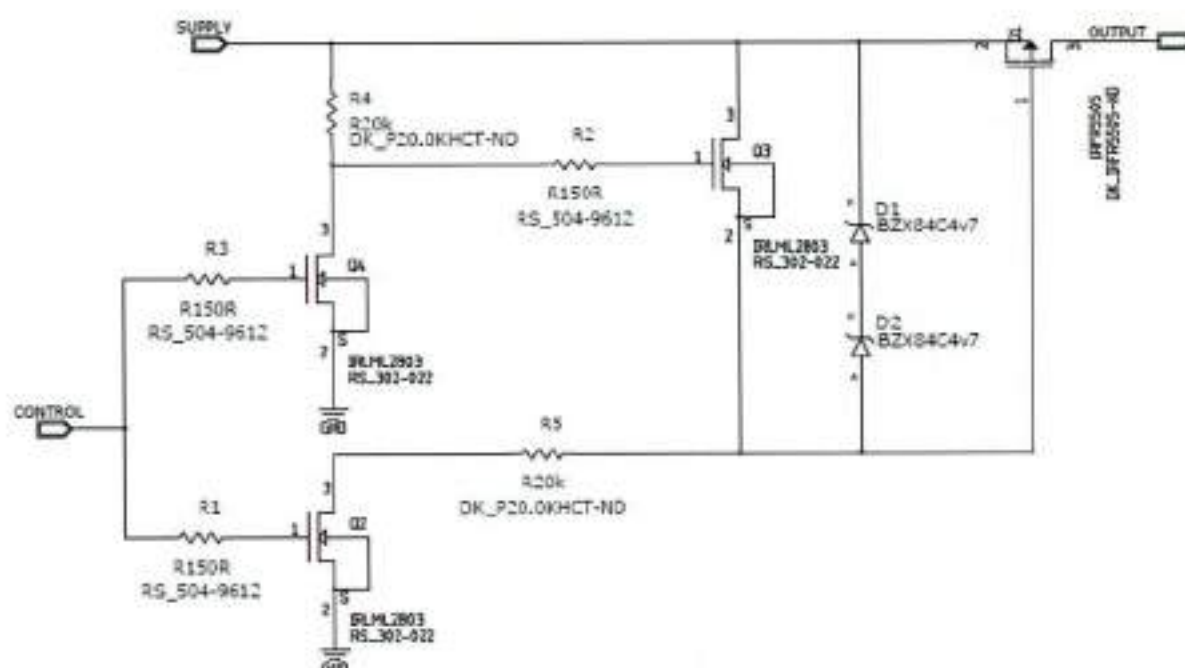


Figura 17: Circuito sem a resistência de 10k Ω

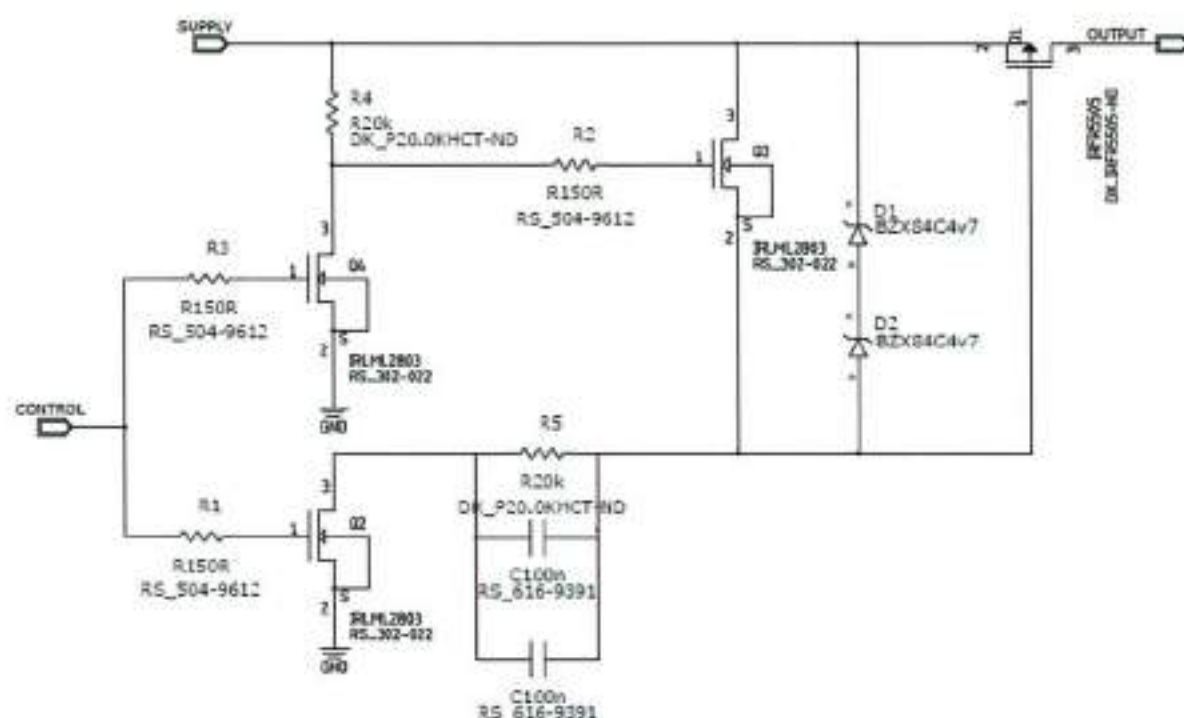


Figura 18: Circuito com capacitor

Tabela 2: Resultados obtidos para o circuito da figura 18

Esquemático	Tensão de Alimentação	Resistência de carga	Corrente	Tempo de Fechamento	Tempo de Abertura
Figura 18	16V	4.7Ω	3.33A	600 ns	7.36 μs
Figura 18	25V	4.7Ω	5A	680 ns	9.0 μs

6.4 Circuito Final

Para o circuito final (Fig. 18), fez-se um teste com a maior corrente que a aparelhagem disponível no laboratório era capaz de oferecer, resultando nos seguintes valores vistos na Tabela 2.

As figuras 19a e 19b mostram curvas fornecidas pela tela do osciloscópio *LeCroy Wavesurfer* para as condições deste teste.

Posteriormente, tomou-se os dados do osciloscópio e fez-se um gráfico da potência empregada no fechamento e na abertura do transistor Pmos. Em seguida, calculou-se a energia empregada na comutação através da rotina Matlab detalhada no apêndice 10.

Ao final, uma foto foi tirada com uma camera térmica disponível no laboratório (Fig. 21). Como se pode notar, o componente transistor atingiu uma temperatura de 114°C, um resultado bastante apreciável dado que não haviam meios oportunos de dissipação de calor no transistor.

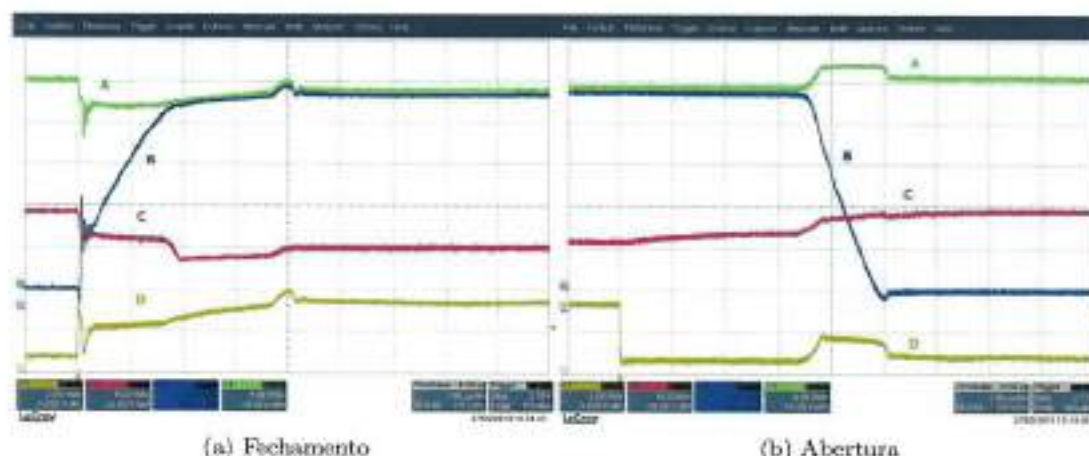


Figura 19: Formas de onda do osciloscópio
A - Alimentação; B - Saída; C - Gate; D - Entrada

6.5 Teste de pico de corrente

Um teste adicional foi feito com o escopo de submeter o transistor de potência a condições ainda mais exigentes e também visando obter mais informações a respeito do parâmetro integral de Joule. Este teste consiste em gerar um pico de corrente e fazê-lo passar através do transistor de potência. Para tal finalidade, projetou-se um simples circuito RC como se pode observar na figura 22. Notar que o transistor em condução pode ter seu modelo aproximado para uma resistência.

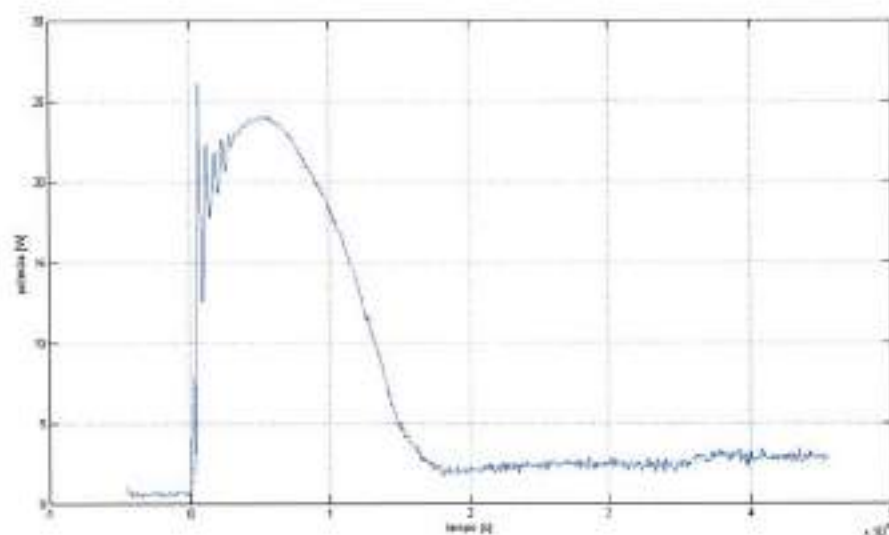
Quando o transistor se abre, o capacitor se carrega com a tensão de alimentação. Em seguida, quando o transistor se fecha, o capacitor se descarrega rapidamente através da baixa resistência $R_{DS(on)}$ do transistor. Isto gera uma corrente alta, o que acarreta no aumento da temperatura do transistor por um curto período de tempo.

Pensou-se em utilizar um valor de capacitância igual a 100 μF para obter um valor altíssimo de pico de corrente de cerca de 100A.

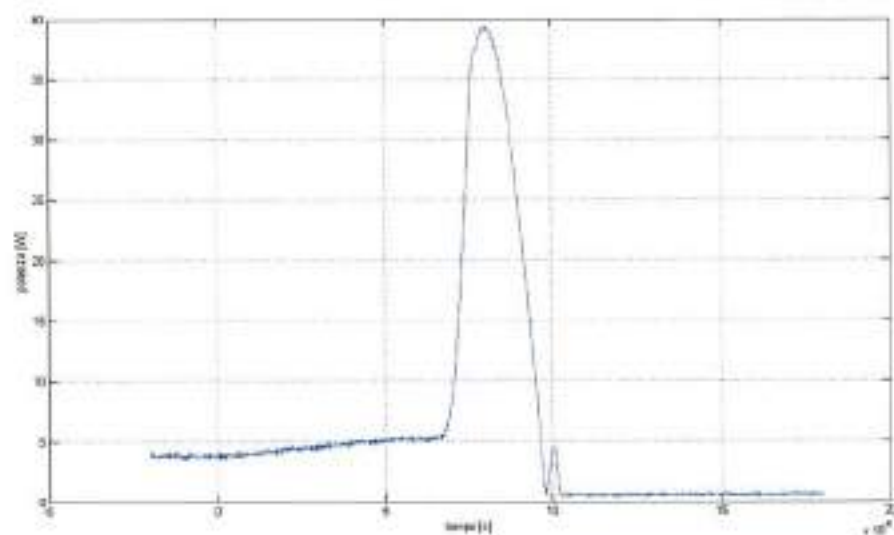
Um capacitor comum de 100 μF não é capaz de fornecer uma corrente tão grande. Portanto, decidiu-se realizar uma ligação de 20 capacitores de 4.7 μF em paralelo de modo a obter um valor de capacitância considerável. Além disso, esta ligação ajuda também a amortizar o efeito da resistência parasita (ESR) do capacitor que anteriormente não seria desprezível (dado que seria comparável à baixa resistência de condução do dispositivo pMOS).

O conjunto de capacitores foi montado em duas peças de cobre, de modo a configurar uma menor resistência de contato.

Posteriormente, o conjunto foi soldado em paralelo ao Dreno e Fonte do transistor de



(a) Potência de fechamento



(b) Potência de abertura

Figura 20: Gráficos da potência dissipada no Pmos

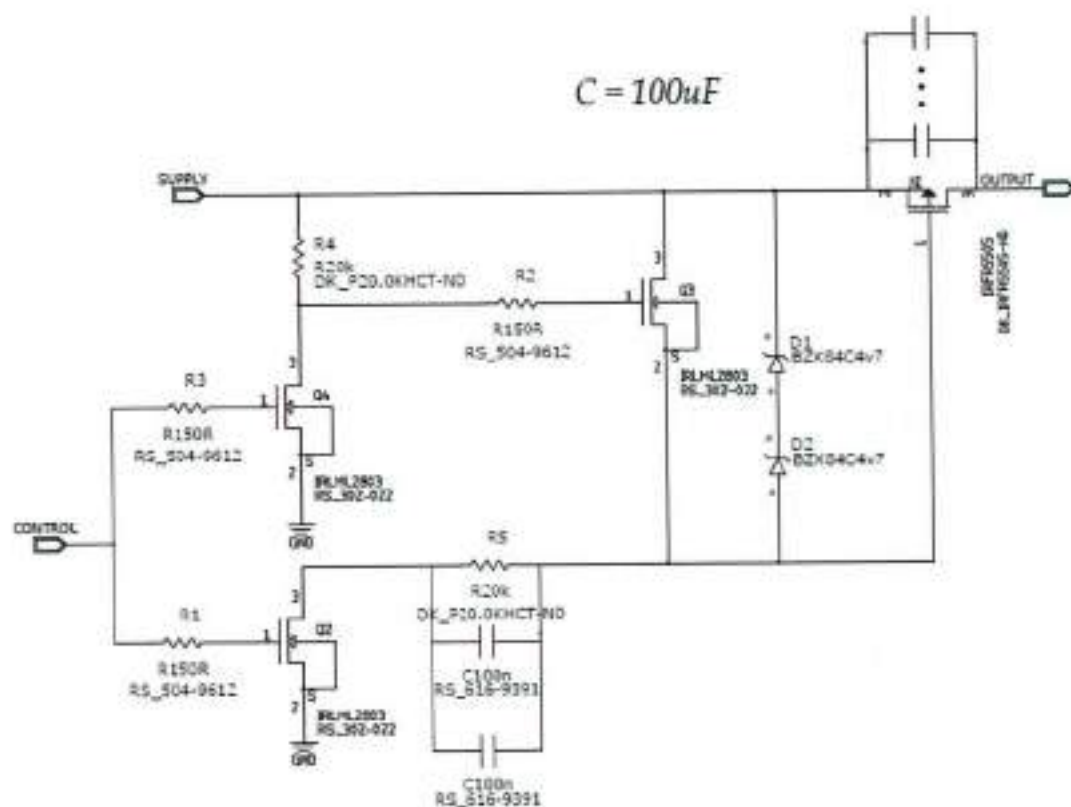
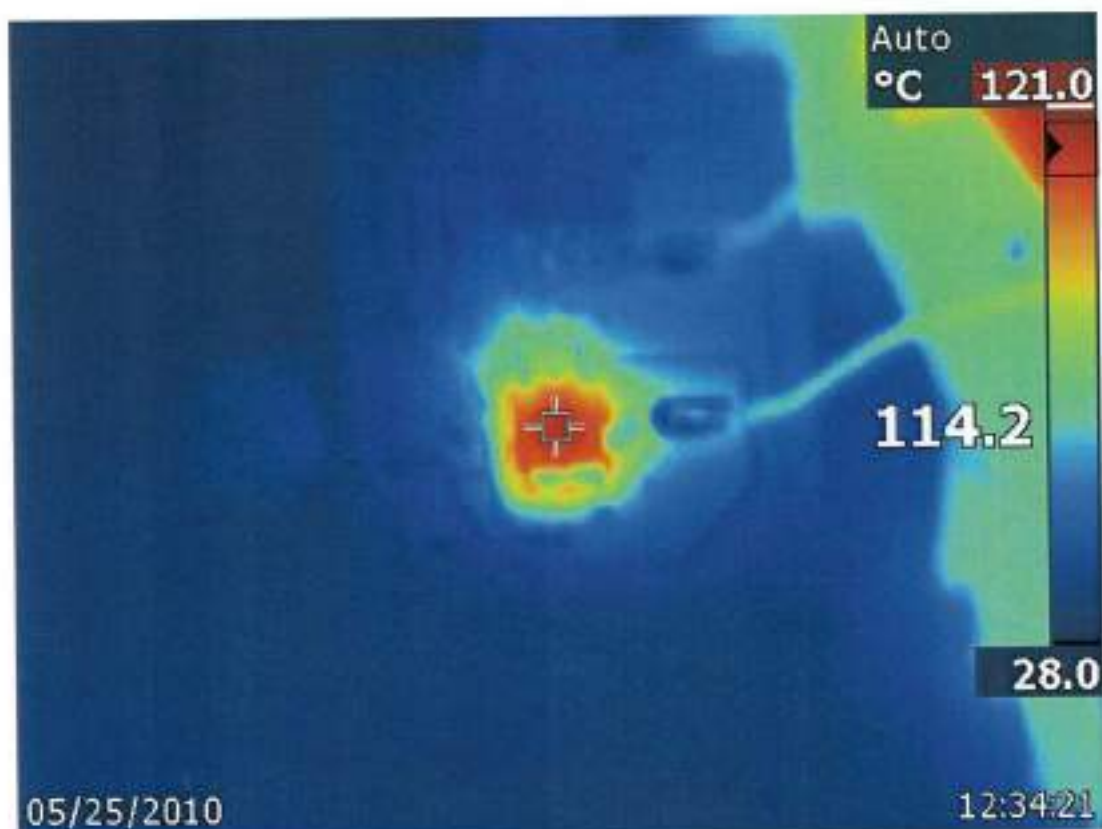




Figura 23: Forma de onda da queda de tensão no conjunto de capacitores

potência.

O mesmo procedimento de teste utilizado foi repetido nesta etapa.

Com base na relação entre corrente e tensão característica do capacitor¹ podemos afirmar que o valor de pico de corrente é portanto comandado da tensão de alimentação carregada no capacitor.

Foi utilizado um osciloscópio para medir a queda de tensão no capacitor e o seu tempo de queda (fall time de 90% a 10%) para ter um valor aproximado da corrente que que passava no capacitor (a diferença de um fator multiplicativo dado pelo valor efetivo de capacitância).

O teste foi feito variando a tensão de alimentação de 6V até 28V fazendo a aquisição das curvas geradas e também dos dados. Ao contrário das expectativas, o máximo valor de corrente não atingiu a cifra esperada. As resistências parasitárias da montagem do conjunto de capacitores ao componente Pmos introduziram uma resistência maior do que foi imaginado, configurando um aumento no tempo de descarga do capacitor e portanto, uma redução no valor de pico de corrente. O máximo valor atingido para este teste foi cerca de 20A e foi considerado suficientemente alto para o escopo do projeto.

¹

$$i = C * \frac{dv}{dt}$$

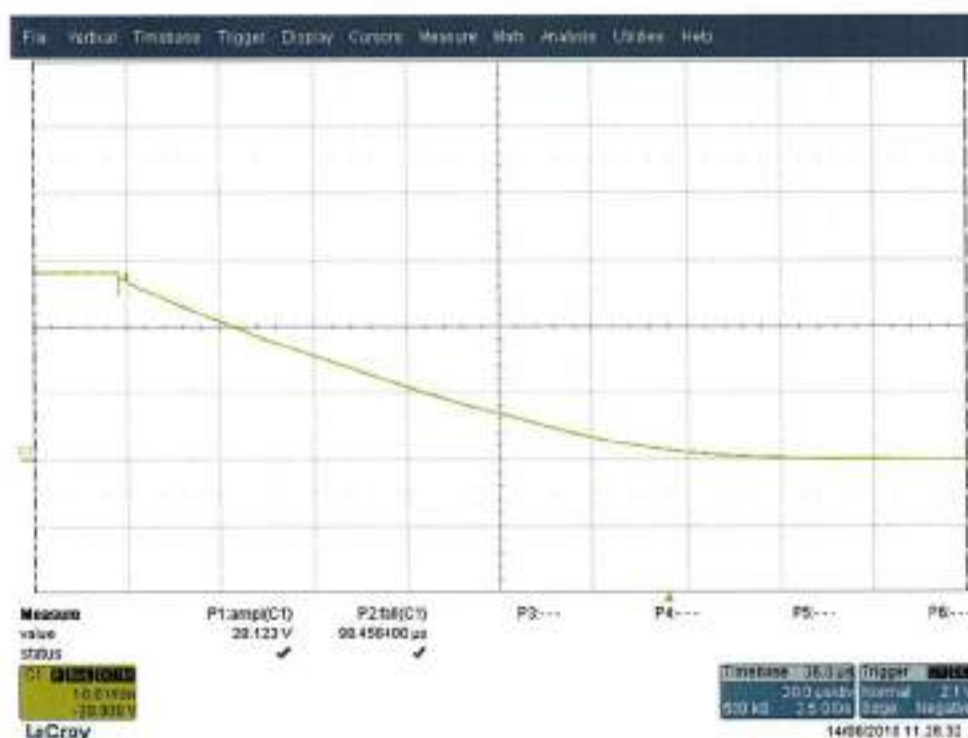


Figura 24: Descarga do conjunto de capacitores

6.6 Interruptor Bidirecional

As condições de operação para a utilização do interruptor dentro do bloco de gestão de potência do projeto AraMiS preveem que a corrente pode escorrer em ambos os sentidos no interruptor.

Portanto, desejou-se realizar um aprimoramento adicional no circuito de modo a transformá-lo em um interruptor bidirecional. A primeira coisa a ser modificada é o componente transistor de potência, pois o modelo utilizado até então apresenta um diodo intrínseco que bloqueia a passagem de corrente, que escorreria no sentido inverso àquele previsto (11). Dadas às condições de prazo, o modelo ideal seria empregado posteriormente à entrega deste trabalho de conclusão de curso.

Além da mudança do transistor de potência, foi necessário realizar uma adaptação no circuito de pilotagem do transistor de potência, dado que o nó que até então seria a alimentação agora poderia assumir a condição de carga. Portanto, se fez necessária a adição de dois diodos tem seus cátodos ligados ao mesmo nó, que será o nó de alimentação do circuito de pilotagem, e seus respectivos anodos ligados a cada um dos lados do interruptor como se pode notar na figura 25 do circuito bidirecional elementar.

Então pode-se dizer que esta configuração a dois diodos é capaz de identificar o lado de maior valor de tensão e transformá-lo em alimentação do circuito de pilotagem.

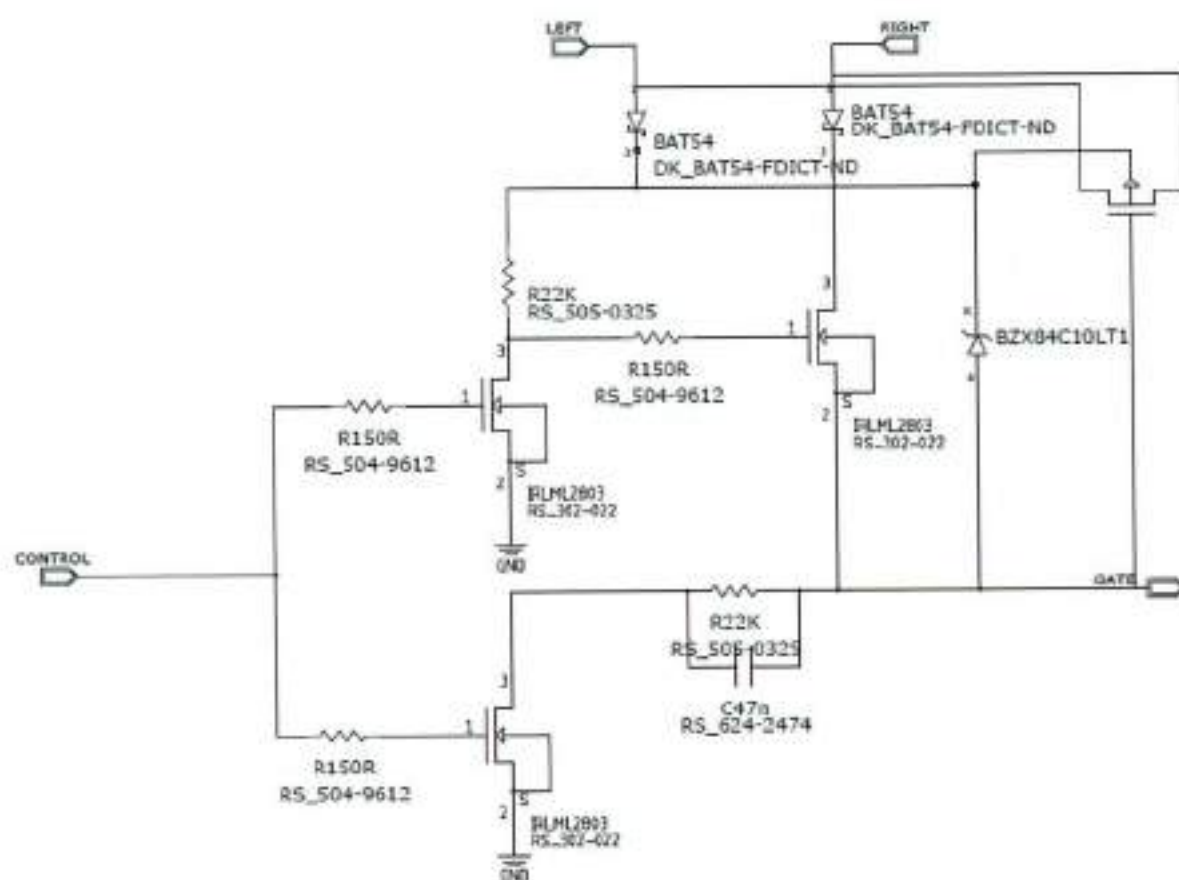


Figura 25: Esquemático do circuito bidirecional

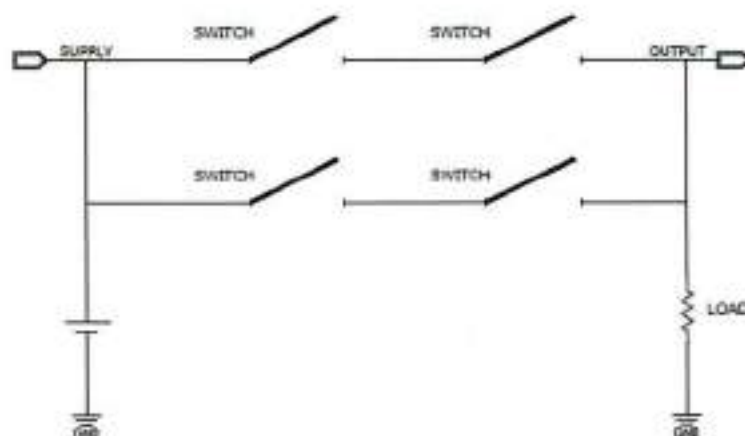


Figura 26: Primeiro nível de redundância

6.7 Redundância

Após a etapa de projeto do circuito interruptor elementar se faz necessário replicá-lo diversas vezes de modo a gerar um circuito redundante tolerante a falhas.

A primeira idéia que vem em mente consiste em colocar dois interruptores em série e replicar esta associação em paralelo, como se pode ver na figura 26.

Esta configuração permite a presença de uma falha única a curto (interruptor erroneamente fechado) e uma falha única em aberto (interruptor erroneamente aberto).

Porém, o problema com esta topologia é que o circuito depende somente de um sinal de entrada para o correto funcionamento. Isto é, se por qualquer razão este sinal sofre alguma alteração, então o circuito final vai apresentar um comportamento indesejado. Além disso se, por hipótese, existissem agora dois sinais de entrada e houvesse uma discrepância entre eles, então não saberíamos afirmar qual deles é correto e o circuito final continuaria a apresentar mau funcionamento.

Portanto, se parte em busca de uma outra topologia que leve em conta essa problemática dos sinais de entrada. Na configuração mostrada pela figura 27, o circuito terá 3 sinais de entrada separados. Chamemo-los de A, B e C. Cada ramo do circuito depende de somente dois sinais. Assim, se apenas um sinal apresenta uma falha (ou seja, um valor lógico errado), os outros continuam ainda válidos e ao menos um ramo do circuito apresentará bom funcionamento.

Para fazê-lo funcionar dessa tal maneira, se fez uso de um subcircuito de pilotagem (Driver) mostrado na figura 28, que responde ao sinal lógico de entrada e comanda o fechamento ou abertura de dois transistores pmos.

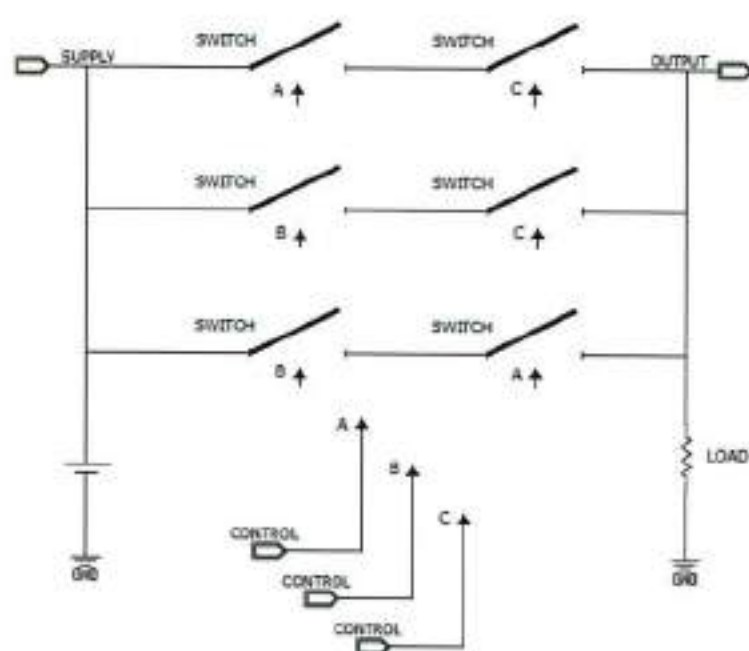


Figura 27: Redundância utilizada para conferir tolerância a falhas ao interruptor

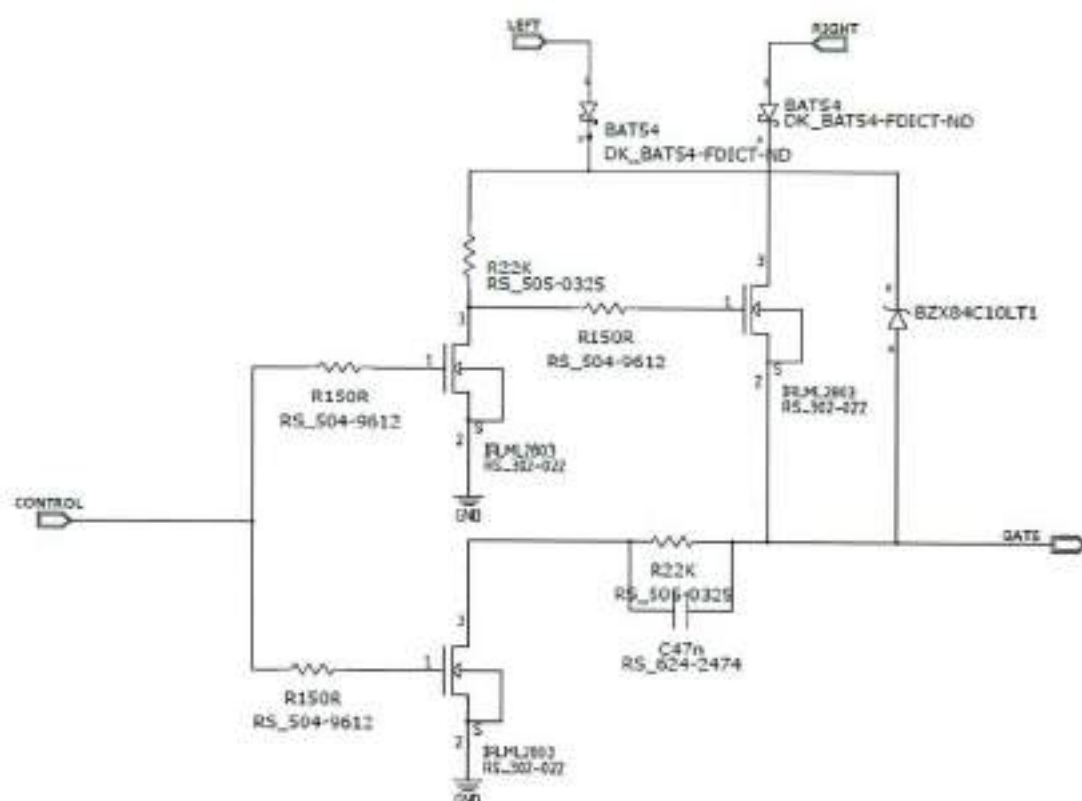


Figura 28: Circuito de pilotagem de dois Pmos de potência

7 *Montagem e Teste do Circuito Final*

7.1 Simulação do circuito Final

De maneira análoga ao interruptor simples, foi feita uma simulação com o escopo de verificar o bom funcionamento do circuito completo.

As três entradas foram variadas com a finalidade de verificar se o circuito funcionava bem também na presença de diversas configurações de falhas, como se pode observar nas figuras 29 e 30.

Como se pode ver, o circuito apresentou coerência no funcionamento também na presença de inconsistências no sinal de entrada, atingindo os objetivos esperados.

7.2 Montagem do circuito final

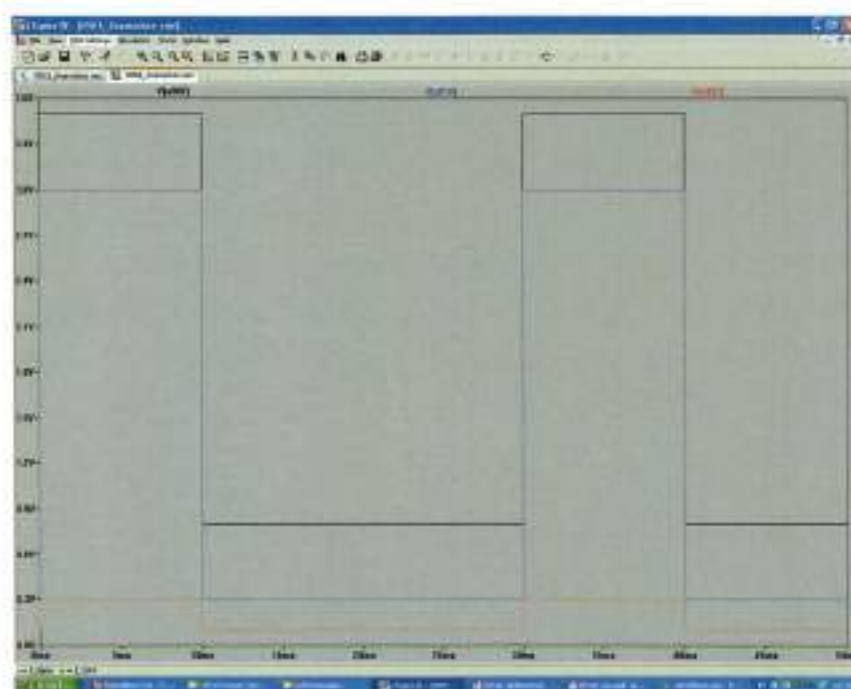
Da mesma forma que o circuito elementar, a placa de circuito impresso foi realizada com o auxílio do software Express PCB da Mentor Graphics, resultando no seguinte layout mostrado na figura 31.

Depois de ter soldado os componentes, o circuito finalmente tomou a forma que se pode observar na figura 32.

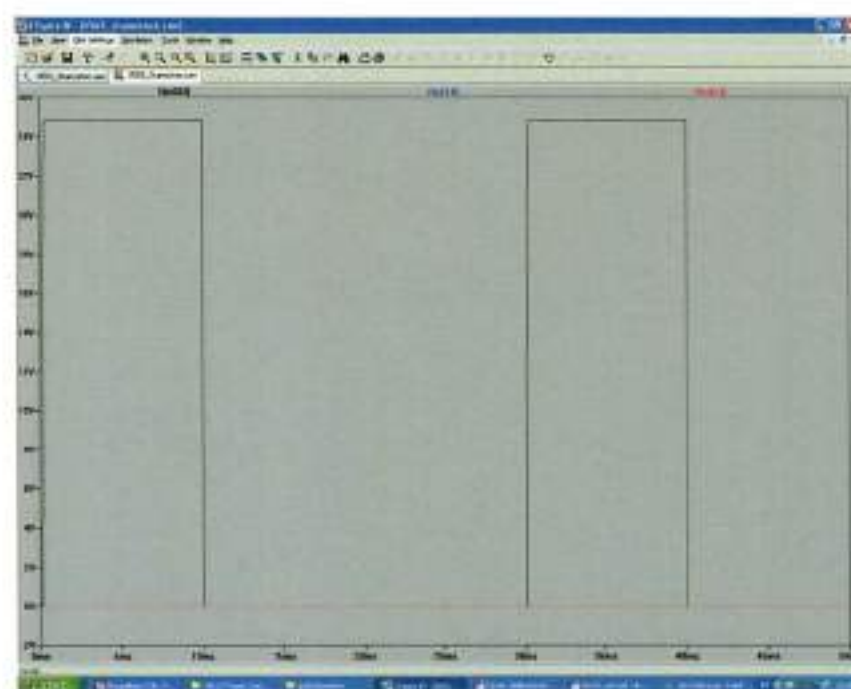
7.3 Teste do circuito final

Em seguida, os mesmos testes de simulação foram repetidos, resultando nas seguintes formas de onda dos sinais de entrada e os correspondentes estados dos sinais de saída dados da tela do osciloscópio como se vê nas figuras 33 e 34.

As condições de teste deste circuito foram: tensão de alimentação a 25V e 100 ohms de valor de resistência de carga. De maneira análoga à simulação, o circuito apresentou coerência no funcionamento também na presença de inconsistências no sinal de entrada.

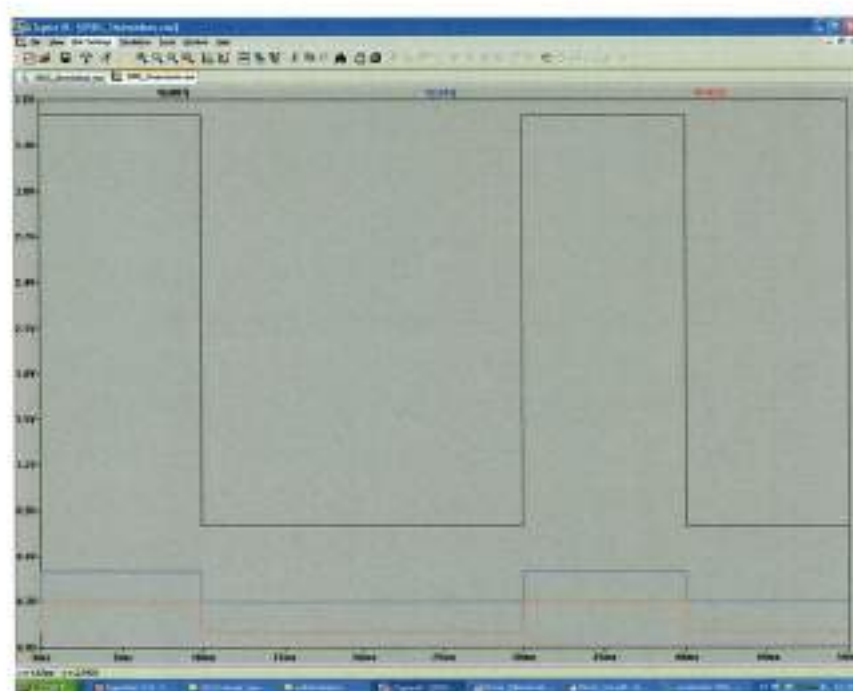


(a) Entradas (A;B;C)

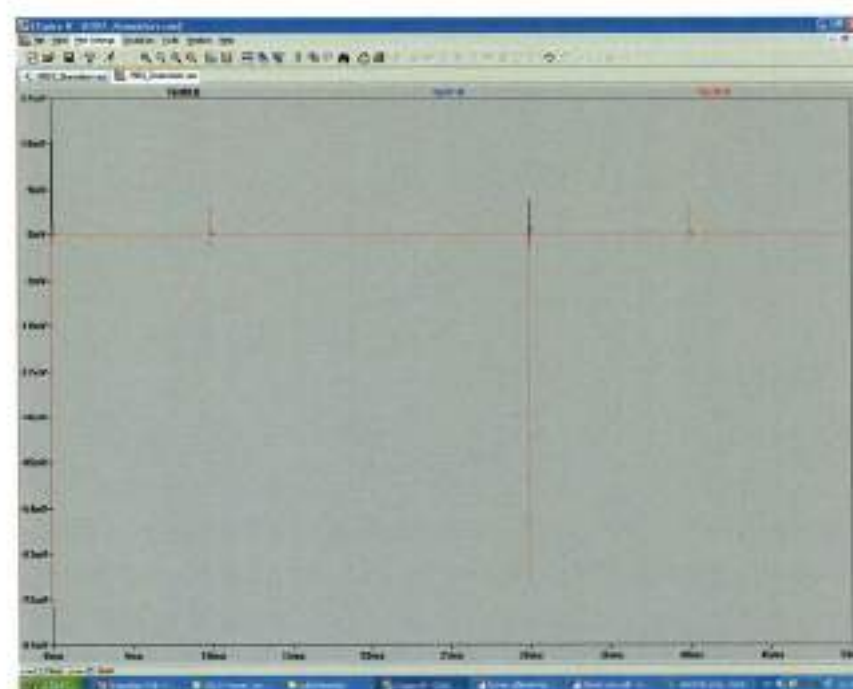


(b) Saídas (AC;AB;BC)

Figura 29: Resultados obtidos pela simulação para os sinais de entrada a 1 1 0



(a) Entradas (A;B;C)



(b) Sairas (AC;AB;BC)

Figura 30: Resultados obtidos pela simulação para os sinais de entrada a 1 0 0

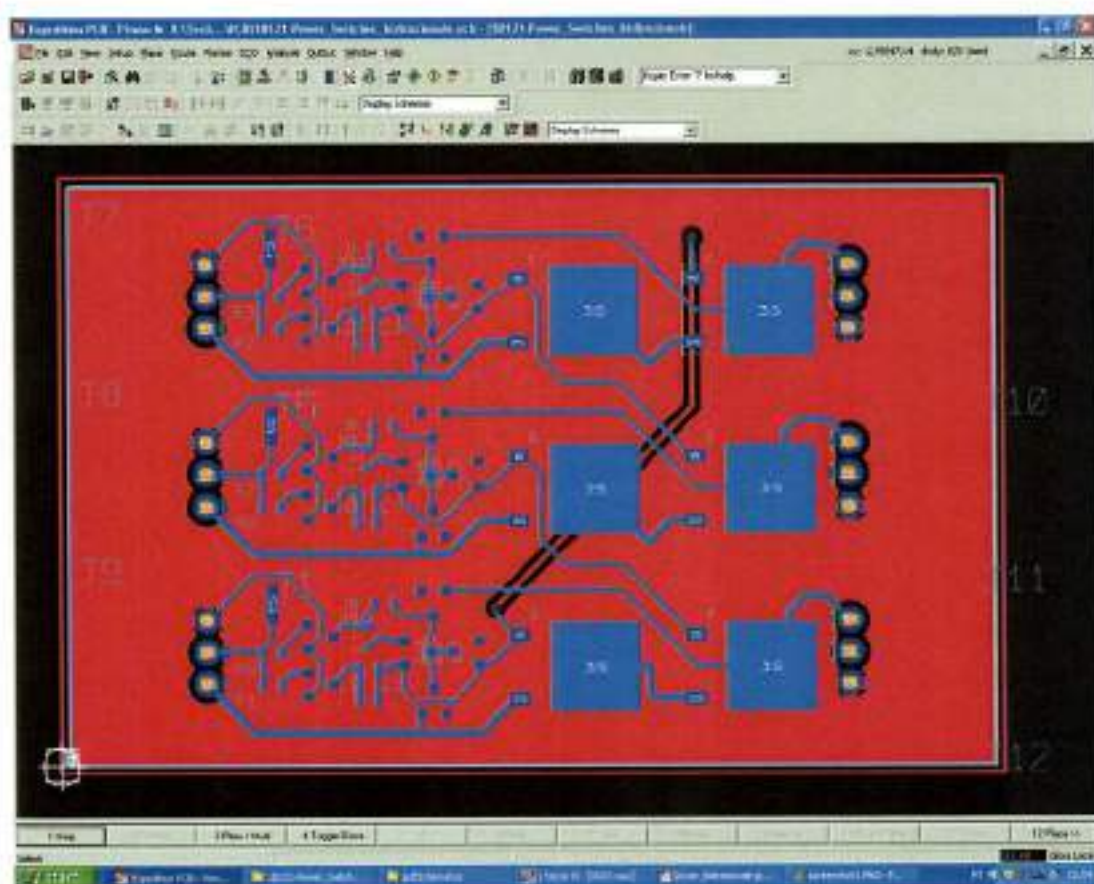


Figura 31: Layout do circuito impresso

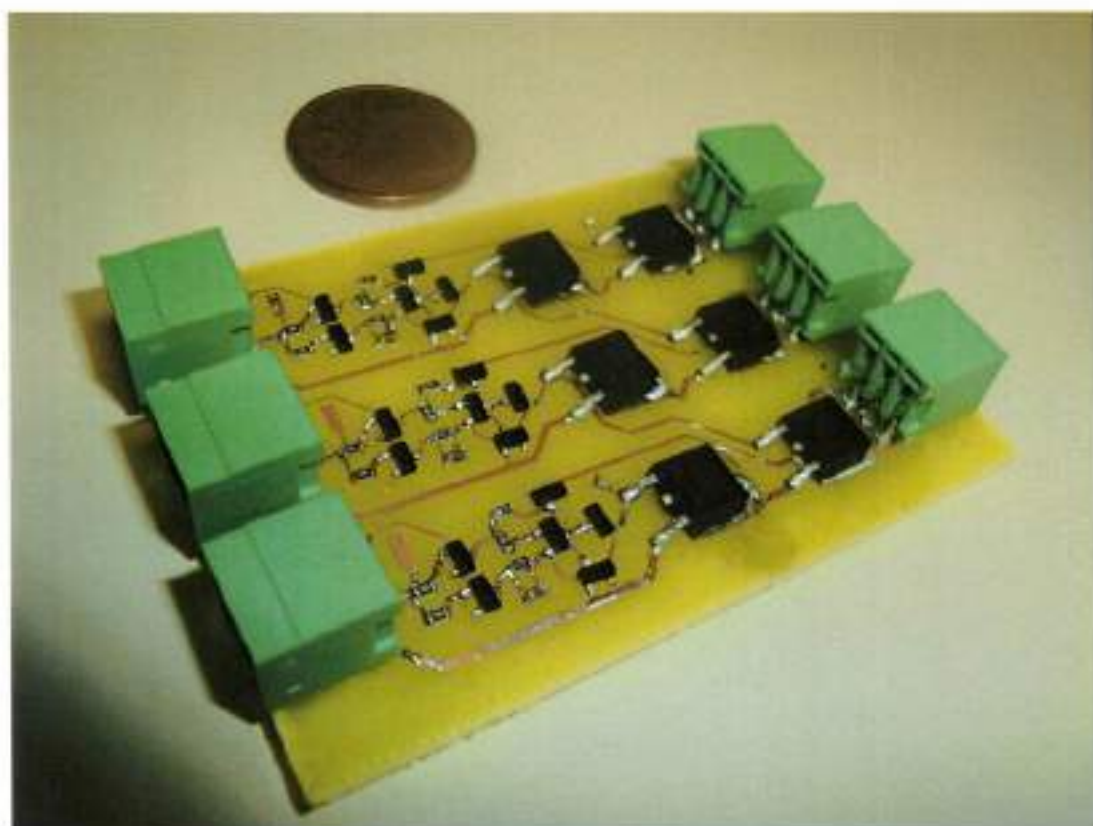
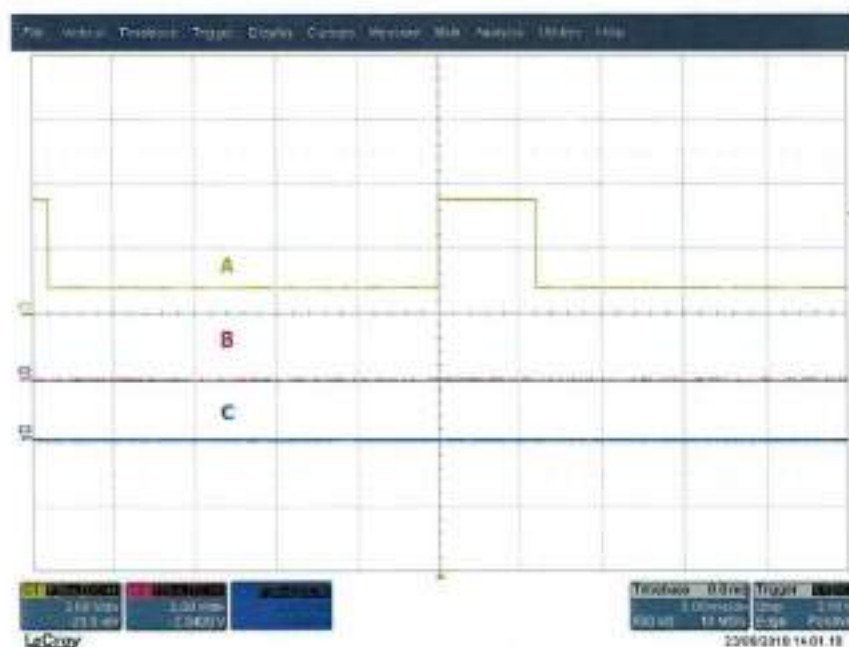


Figura 32: Foto do circuito final



(a) Entradas (A;B;C)



(b) Saídas (AC;AB;BC)

Figura 34: Formas de onda do osciloscópio para os sinais de entrada a 1 0 0

8 *Continuação no Brasil*

O projeto desenvolvido durante todo o período italiano apresentou resultados bastante satisfatórios para o grupo encarregado do projeto AraMiS, que realizará a montagem no nanosatélite.

Não obstante, desejou-se realizar um aprimoramento do produto final, o interruptor de potência tolerante a falhas, durante o percurso do último período acadêmico na Universidade de São Paulo.

Após um pequeno período de debate com alguns professores do curso de Engenharia Elétrica com ênfase em Sistemas Eletrônicos foram propostos alguns aprimoramentos que correspondem essencialmente a dois tópicos distintos:

- Aplicação do módulo em material cerâmico
- Avaliação dos níveis de confiabilidade do circuito final

Tais aprimoramentos, bem como sua relevância ao projeto, serão melhor detalhados nos capítulos a seguir.

9 *Aplicação do circuito em substrato cerâmico*

É notório que os componentes eletrônicos para aplicação militar apresentam encapsulamento cerâmico. Isto acontece pois tal material apresenta características muito relevantes para o elevado grau de exigências em suas aplicações. Sabe-se que o material cerâmico apresenta boas características dielétricas e térmicas que atribuem maior confiabilidade ao circuito (13).

Optou-se, então, pelo desenvolvimento do circuito em lâminas de cerâmica com baixa temperatura de sinterização (LTCC - Low Temperature Corified Ceramic) dada a disponibilidade de uma boa infraestrutura para o desenvolvimento de circuitos com este substrato no Laboratório de Sistemas Integráveis (LSI). Além disso, é crescente o uso de tal material em circuitos de caráter aeroespacial (14).

A Tabela 3 (baseada no artigo (15)) apresenta as principais características da cerâmica LTCC e seus valores.

9.1 Processo de fabricação

O processo de fabricação iniciou-se com a realização do projeto em ambiente EAGLE. Optou-se por realizar o esquemático 10 do circuito unidirecional tolerante a falhas por não haver necessidade de utilização, nesta etapa brasileira, da funcionalidade bidirecional. Posteriormente, criou-se uma versão otimizada do leiaute do mesmo circuito já que o processo de fabricação em questão permitia algumas melhorias em relação ao espaçamento e a presença de uma segunda camada com mais trilhas. Tal leiaute pode ser visto na Figura 35.

Posteriormente passou-se a um processo de confecção de tela serigráfica do layout em questão. Nesta etapa houve um grande contratempo devido a algumas informações desconhecidas envolvendo o processo de exportação do arquivo em ambiente EAGLE para um formato adequado para a empresa responsável pela geração do fotolito a ser aplicado na tela serigráfica.

Enfim, optou-se por realizar o fotolito e sua aplicação na tela serigráfica em empresas diferentes já que o fotolito gerado pelas empresas de que fabricam tela para serigrafia nem sempre

Tabela 3: Propriedades típicas do material LTCC usado (DuPont DP 951)

Electrical	
Dielectric constant	7.85
Dissipation factor	0.0045
Breakdown voltage (25/ μm)	>1000
Insulation resistance (Ωcm)	>10e+12
Dimensional	
Thickness - green (μm)	112
Thickness - fired (μm)	95
Shrinkage x,y(%)	12.7 $\pm$ 0.3
Shrinkage z(%)	15.0 $\pm$ 0.5
Thermal	
CTE(ppm/K)	5.8
Thermal cond(W/m.K)	3
Mechanical	
Density (g/cm^3)	3.1
Flexural Strength (MPa)	320
Youngs Modulus (GPa)	152

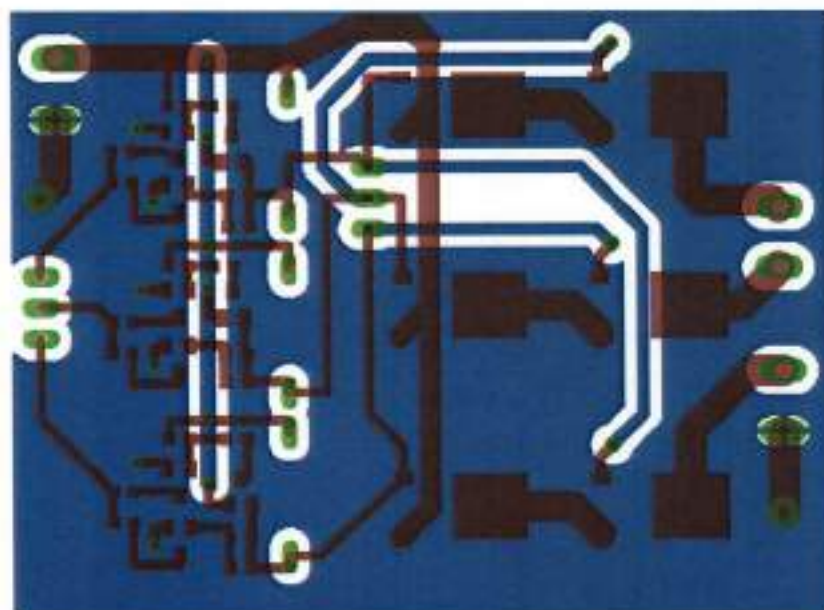


Figura 35: Leiante feito no software EAGLE.



Figura 36: Fotolito e tela utilizados no processo de serigrafia.

apresentam boa qualidade de resolução. Este fato poderia causar falhas no processo de confecção das trilhas. Ao final do processo, obteve-se a tela mostrada na Figura 36 que apresenta uma definição bastante satisfatória.

Realizou-se, então, o processo de serigrafia com pastas condutoras a base de prata em duas lâminas virgens de material LTCC (Fig. 37). Foram utilizados diferentes tipos de pastas: um tipo para aplicação na camada externa do circuito, um tipo para aplicação de camada interna do circuito, outro tipo para preenchimento de vias. Tais pasta condutoras apresentam coeficiente de resistividade menor que $60\text{m}\Omega/\text{sq}$.

Em seguida, houve o processo de secagem das pastas seguido pelo processo de laminação. No processo de laminação, foram depositadas as laminas da camada externa em cima das laminas da camada interna e o conjunto foi devidamente prensado entre duas placas de metal à temperatura de 100°C por volta de 5 minutos, a fim de unir as laminas externas com as internas formando um bloco único. Finalmente houve o processo de sinterização da cerâmica onde o bloco passou cerca de 7 horas em forno que chegou a atingir uma temperatura de 800°C .

Ao final do processo de sinterização houve redução de 12% nas dimensões da placa. Este fato já era esperado e por isso o leiaute foi previamente escalado para ter uma dimensão de 15% maior do que o original.

Desse modo, a placa ficou pronta para o processo de soldagem dos componentes eletrônicos que se deu através da bandeja térmica resultando na montagem mostrada na Figura 38.

Foram realizados alguns pequenos testes que comprovaram bom funcionamento do sistema bem como melhorias nos seus tempos de comutação.



(a) Lâminas virgens de material LTCC



(b) Lâminas serigrafadas de material LTCC

Figura 37: Processo de serigrafia em material LTCC

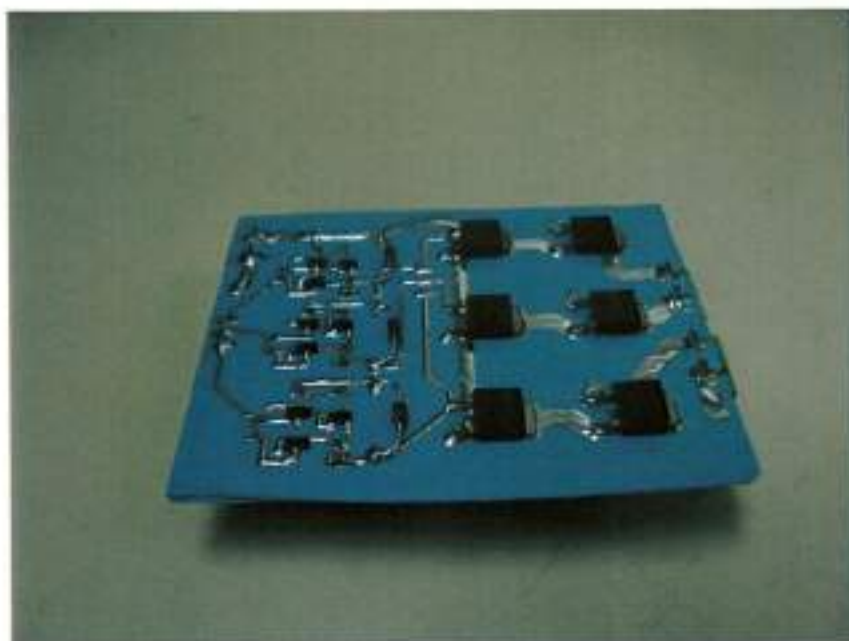


Figura 38: Circuito final aplicado em cerâmica.

10 *Avaliação dos níveis de confiabilidade*

A confiabilidade é um ente essencial em circuitos eletrônicos de aplicação aeroespacial. Assim, a predição de confiabilidade é extremamente pertinente já que fornece uma análise quantitativa do comportamento probabilístico esperado pelo circuito. Em outras palavras: a confiabilidade torna-se mensurável.

É importante, no entanto, ressaltar que a própria análise de confiabilidade é, na verdade, um modelo com estimativas baseadas em dados fornecidos pelos fabricantes dos componentes e também apresenta certas limitações (como não considerar acuradamente o efeito da radiação nos componentes).

Contudo, uma avaliação dos níveis de confiabilidade do circuito é importante já que, além de apresentar uma estimativa objetiva do comportamento do circuito, pode também apontar quais são os componentes críticos. É possível, ainda, extrair da análise mais acurada a razão pela qual os componentes críticos são problemáticos (temperatura, frequência de chaveamento, etc).

Por se julgar que o nível de avaliação seria adequado ao escopo do projeto, o método escolhido para avaliação da confiabilidade do circuito foi de acordo com as seguintes normas militares americanas:

- MIL-STD-217 (16)
- MIL-HDBK-338B (10)

O método utilizado para a estimativa dos níveis de confiabilidade é bastante simples. Corresponde à uma produtória de diversos fatores correspondentes essencialmente ao processo de fabricação e às condições de uso do componente que ao final fornece uma estimativa do tempo médio entre falhas (mean time between failures).

Desse modo, podemos tomar como exemplo o componente Pmos de potência. Do guia MIL-HDBK-217 podemos observar que a expressão correspondente ao seu tempo médio entre falhas é dada pela seguinte expressão.

$$\lambda_p = \lambda_b \pi_T \pi_Q \pi_E \pi_A$$

onde,

- λ_b é *Base Failure Rate*;
- π_T é *Temperature Factor*;
- π_Q é *Quality Factor*;
- π_E é *Environment Factor*;
- π_A é *Application Factor*.

Do mesmo guia retirou-se os valores relativos ao componente e temos enfim a expressão numérica:

$$\lambda_p = 0.0012 * 4.766 * 2.0 * 8.0 * 32 = 29.28 \text{ Falhas}/10^6 \text{ Horas}$$

Assim, pode-se afirmar que espera-se obter um tempo médio entre duas falhas deste componente equivalente à 341530 horas (cerca de 39 anos).

Ao observar os valores dos parâmetros fornecidos pela norma é possível realizar um pequeno estudo da natureza do comportamento problemático e do ganho relativo que se obteria caso o componente fosse trocado por um equivalente de qualidade superior, por exemplo, ou ainda caso fossem alteradas as condições de utilização (temperatura, frequência, etc).

A Tabela 4 mostra de forma resumida todos os valores obtidos para cada um dos componentes do circuito.

Por simplicidade, assume-se que o pior dos tempos médios entre falhas apresentado por um componente será numericamente igual àquele apresentados pelo circuito completo².

Como podemos notar, o tempo médio entre falhas do circuito completo é equivalente, então, à cerca de 39 anos que é uma excelente marca, já que, como visto no capítulo introdutório, o tempo de vida esperado para o nanosatélite anterior (PicPot) foi de 3 meses.

²A rigor o tempo médio entre falhas do circuito completo é maior, já que mesmo com uma falha simples em um componente Pmos o interruptor continuaria funcionando pela sua configuração redundante

Tabela 4: Estimativa de confiabilidade de cada dispositivo

Componente	Base failure rate	Temperature factor ¹	Quality factor	Environment factor	Falhas/ 10E+6 Horas		
Nmos	0.012	1.363	8.0	32	Application factor: 0.7		2.93
Pmos	0.012	4.766	8.0	32	Application factor: 2.0		20.28
Resistor	0.0037	1.161	10	87	Power factor: 0.17	Power stress factor: 0.790	0.50
Capacitor	0.00099	1.922	10	50	Voltage stress: 1.60	Capacitor factor: 0.570	Series resistor factor: 1
Zener	0.002	1.363	8	32	Stress factor: 1	Contact construction factor: 1	0.70

Referências

- 1 CUBESAT Community Website. Disponível em: <<http://cubesat.calpoly.edu>>.
- 2 PICPOT. Disponível em: <<http://polimage.polito.it/picpot>>.
- 3 ARAMIS. Disponível em: <<http://polimage.polito.it/aramis>>.
- 4 TARTAGLIA, M.; MITOLO, M. An analytical evaluation of the prospective i^2t to assess short-circuit capabilities of cables and busways. *IEEE Transactions on Power Delivery*.
- 5 LENZ, M.; STRIEDL, G.; FRÖHLER, U. *Thermal Resistance, Theory and Practice*. Munich, Germany: Infineon Technologies AG, 2000.
- 6 NASA. Space radiation effects on electronic componets in low-earth orbit. *Preferred reliability Practices no. PD-ED1258*, 1996.
- 7 HASELOFF, E. Latch-up, ESD and other phenomena. *Texas Instrument application report*, 2000.
- 8 FACCIO, F.; CERVELLI, G. Radiation-induced edge effects in deep submicron cmos transistors. *Nuclear Science, IEEE Transactions on*, v. 52, n. 6, p. 2413-2420, Dec. 2005. ISSN 0018-9499.
- 9 BOSCHERINI, M. et al. *Radiation damage of electronic components in space enviroment*. [S.l.], 2003. 112-116 p.
- 10 DEPARTMENT OF DEFENSE UNITED STATES OF AMERICA *Mil-hdbk-338 Electronic Reliability Design Handbook*. [S.l.].
- 11 INTERNATIONAL RECTIFIER *Application Note 1084 - Power MOSFET Basics*. [S.l.].
- 12 INTERNATIONAL RECTIFIER. Disponível em: <<http://www.irf.com>>.
- 13 PIETRANICO, S. et al. Characterisation of power modules ceramic substrates for reliability aspects. *Microelectronics Reliability*, 2009.
- 14 DUPONT:Green Tape Provides High Reliabilty for Satellite Control Circuits. Disponível em: < www2.dupont.com/MCM/en_US/case_studies/satellite.html >.
- 15 GOLONKA, L. Technology and applications of low temperature cofired ceramic (ltcc) based sensors and microsystems. *Bulletin of the Polish academy of sciences*, 2006.
- 16 DEPARTMENT OF DEFENSE UNITED STATES OF AMERICA *Mil-hdbk-217 Reliability Prediction Of Electronic Equipment*. [S.l.].

Anexo

Anexo A - Datasheets

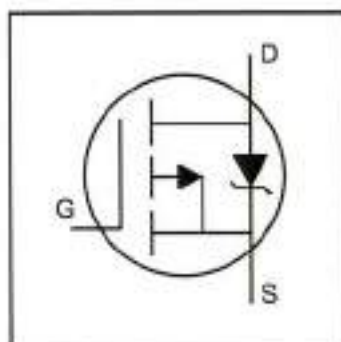
São apresentados aqui os datasheets dos principais componentes utilizados.

Transistor Pmos de potência

IRFR/U5505

HEXFET® Power MOSFET

- Ultra Low On-Resistance
- P-Channel
- Surface Mount (IRFR5505)
- Straight Lead (IRFU5505)
- Advanced Process Technology
- Fast Switching
- Fully Avalanche Rated



$$V_{DS} = -55V$$

$$R_{DS(on)} = 0.11\Omega$$

$$I_D = -18A$$

Description

Fifth Generation HEXFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET Power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The D-Pak is designed for surface mounting using vapor phase, infrared, or wave soldering techniques. The straight lead version (IRFU series) is for through-hole mounting applications. Power dissipation levels up to 1.5 watts are possible in typical surface mount applications.



D-Pak
TO-252AA

I-Pak
TO-251AA

Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ -10V$	-18	A
$I_D @ T_C = 100^\circ C$	Continuous Drain Current, $V_{GS} @ -10V$	-11	
I_{DM}	Pulsed Drain Current ①	-64	
$P_D @ T_C = 25^\circ C$	Power Dissipation	57	W
	Linear Derating Factor	0.45	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy ②	150	mJ
I_{AR}	Avalanche Current ③	-9.6	A
E_{AR}	Repetitive Avalanche Energy ④	5.7	mJ
dv/dt	Peak Diode Recovery dv/dt ⑤	-5.0	V/ns
T_J	Operating Junction and	-55 to +150	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 seconds		

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	2.2	°C/W
$R_{\theta JA}$	Junction-to-Ambient (PCB mount)**	—	50	
$R_{\theta JA}$	Junction-to-Ambient	—	110	

Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	-55	—	—	V	$V_{GS} = 0V, I_D = -250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	-0.049	—	V/ $^\circ\text{C}$	Reference to 25°C , $I_D = -1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.11	Ω	$V_{GS} = -10V, I_D = -9.6A$ ④
$V_{GS(th)}$	Gate Threshold Voltage	-2.0	—	-4.0	V	$V_{DS} = V_{GS}, I_D = -250\mu A$
g_{fs}	Forward Transconductance	4.2	—	—	S	$V_{DS} = -25V, I_D = -9.6A$
I_{DSS}	Drain-to-Source Leakage Current	—	—	-25	μA	$V_{DS} = -55V, V_{GS} = 0V$
		—	—	-250		$V_{DS} = -44V, V_{GS} = 0V, T_J = 150^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	-100	nA	$V_{GS} = 20V$
	Gate-to-Source Reverse Leakage	—	—	100		$V_{GS} = -20V$
Q_g	Total Gate Charge	—	—	32	nC	$I_D = -9.6A$
Q_{gs}	Gate-to-Source Charge	—	—	7.1		$V_{DS} = -44V$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	15		$V_{GS} = -10V$, See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	$V_{DD} = -28V$
t_r	Rise Time	—	28	—		$I_D = -9.6A$
$t_{d(off)}$	Turn-Off Delay Time	—	20	—		$R_G = 2.6\Omega$
t_f	Fall Time	—	16	—		$R_D = 2.8\Omega$, See Fig. 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6mm (0.25in.) from package and center of die contact ⑤
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	850	—	pF	$V_{GS} = 0V$
C_{oss}	Output Capacitance	—	270	—		$V_{DS} = -25V$
C_{rss}	Reverse Transfer Capacitance	—	120	—		$f = 1.0\text{MHz}$, See Fig. 5



Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	—	—	-18	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	-64		
V_{SD}	Diode Forward Voltage	—	—	-1.6	V	$T_J = 25^\circ\text{C}, I_S = -9.6A, V_{GS} = 0V$ ④
t_{rr}	Reverse Recovery Time	—	51	77	ns	$T_J = 25^\circ\text{C}, I_F = -9.6A$
Q_{rr}	Reverse Recovery Charge	—	110	160	nC	$di/dt = 100A/\mu s$ ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S + L_D$)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)

② Starting $T_J = 25^\circ\text{C}$, $L = 3.2\text{mH}$
 $R_G = 25\Omega$, $I_{AS} = -9.6A$. (See Figure 12)③ $I_{SD} \leq -9.6A$, $di/dt \leq 290A/\mu s$, $V_{DD} \leq V_{(BR)DSS}$,
 $T_J \leq 150^\circ\text{C}$ ④ Pulse width $\leq 300\mu s$; duty cycle $\leq 2\%$.⑤ This is applied for I-PAK, L_S of D-PAK is measured between lead and center of die contact

** When mounted on 1" square PCB (FR-4 or G-10 Material) .

For recommended footprint and soldering techniques refer to application note #AN-994

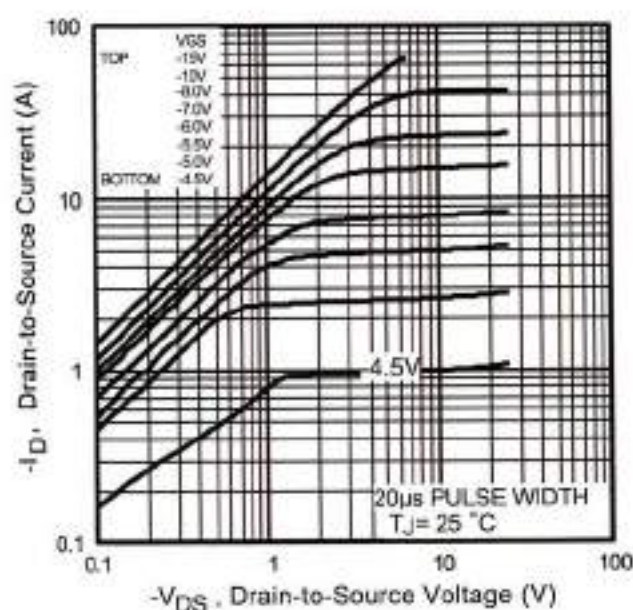


Fig 1. Typical Output Characteristics

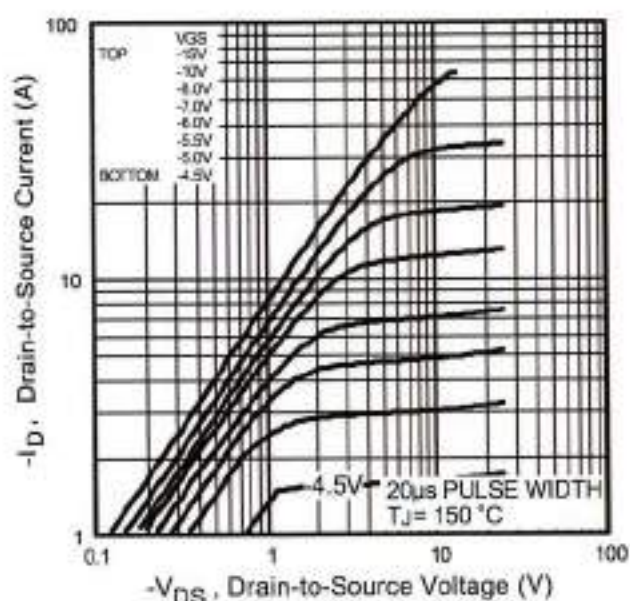


Fig 2. Typical Output Characteristics

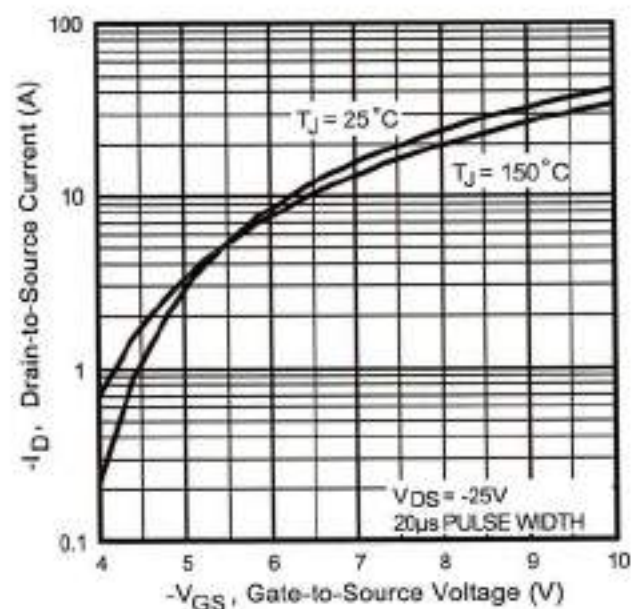


Fig 3. Typical Transfer Characteristics

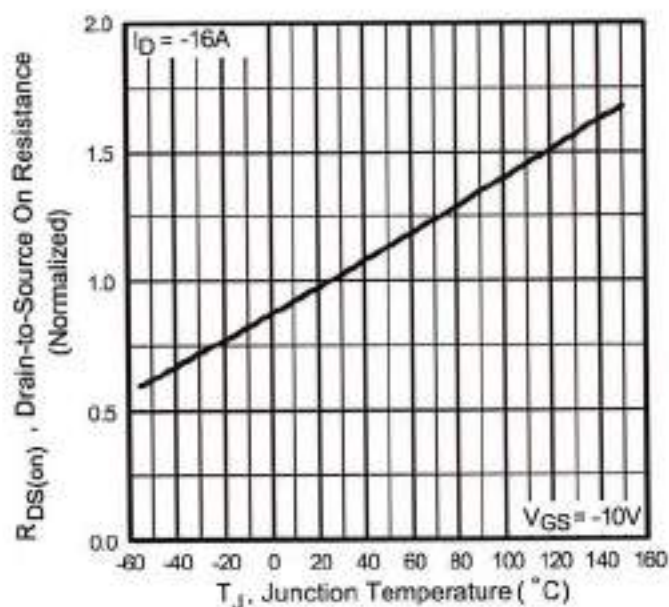


Fig 4. Normalized On-Resistance
Vs. Temperature

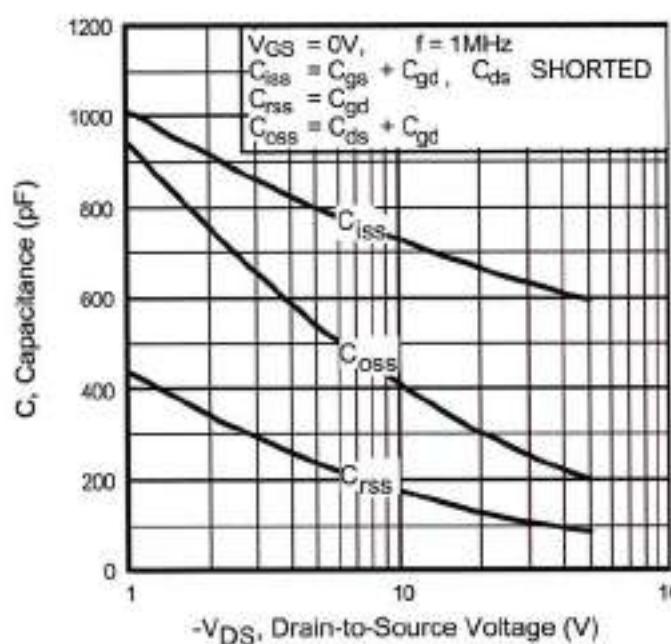


Fig 5. Typical Capacitance Vs.
Drain-to-Source Voltage

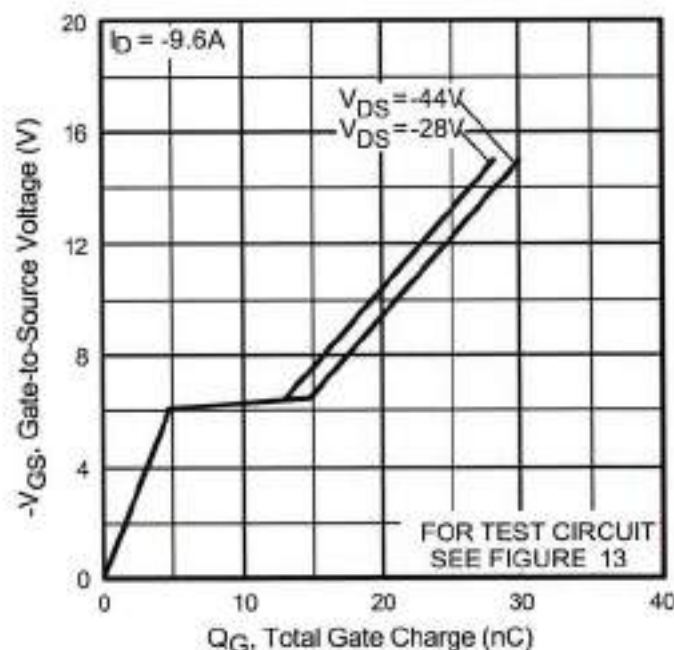


Fig 6. Typical Gate Charge Vs.
Gate-to-Source Voltage

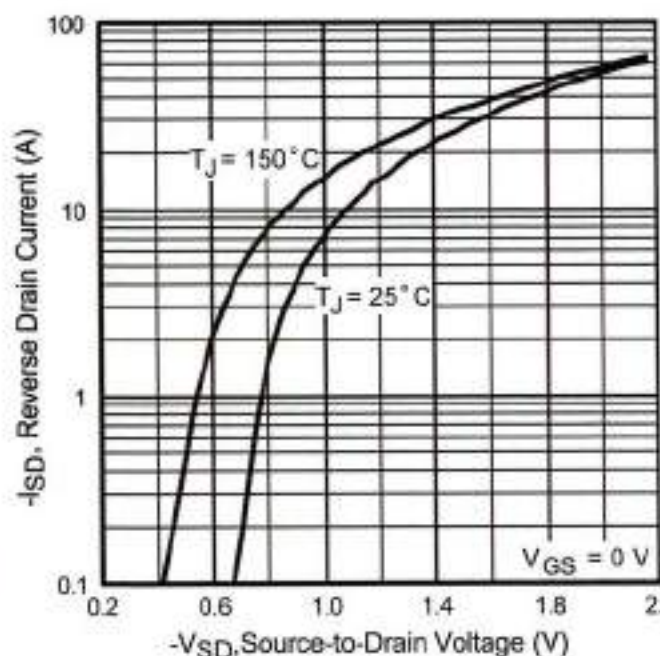


Fig 7. Typical Source-Drain Diode
Forward Voltage

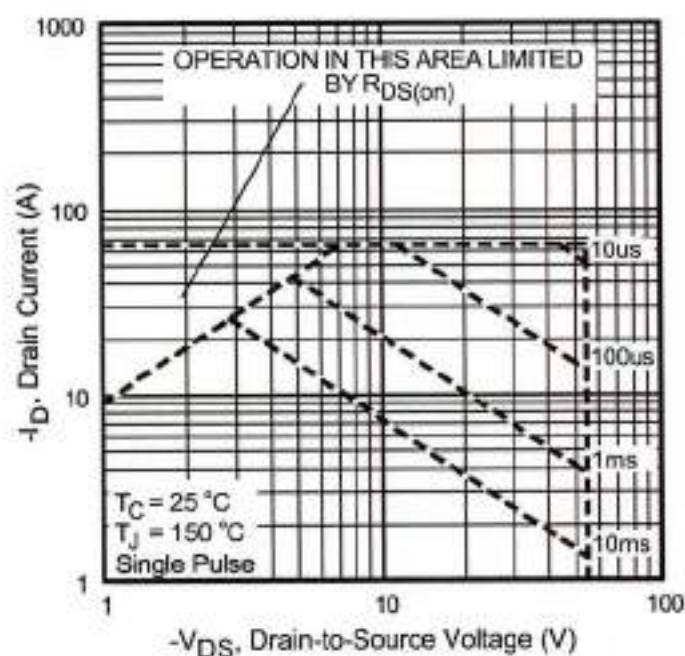


Fig 8. Maximum Safe Operating Area

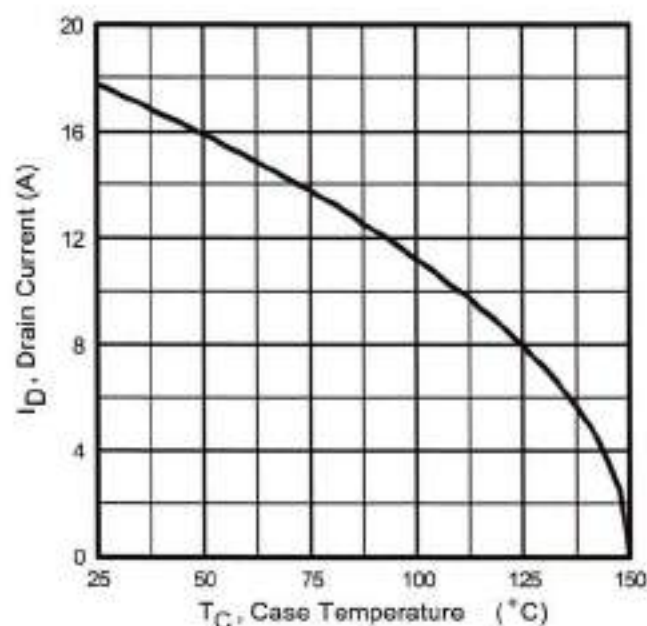


Fig 9. Maximum Drain Current Vs. Case Temperature

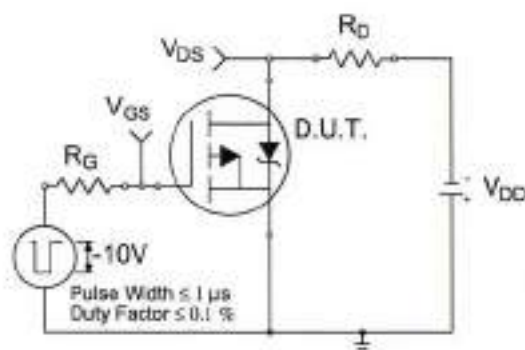


Fig 10a. Switching Time Test Circuit

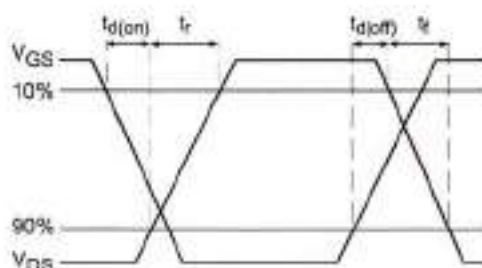


Fig 10b. Switching Time Waveforms

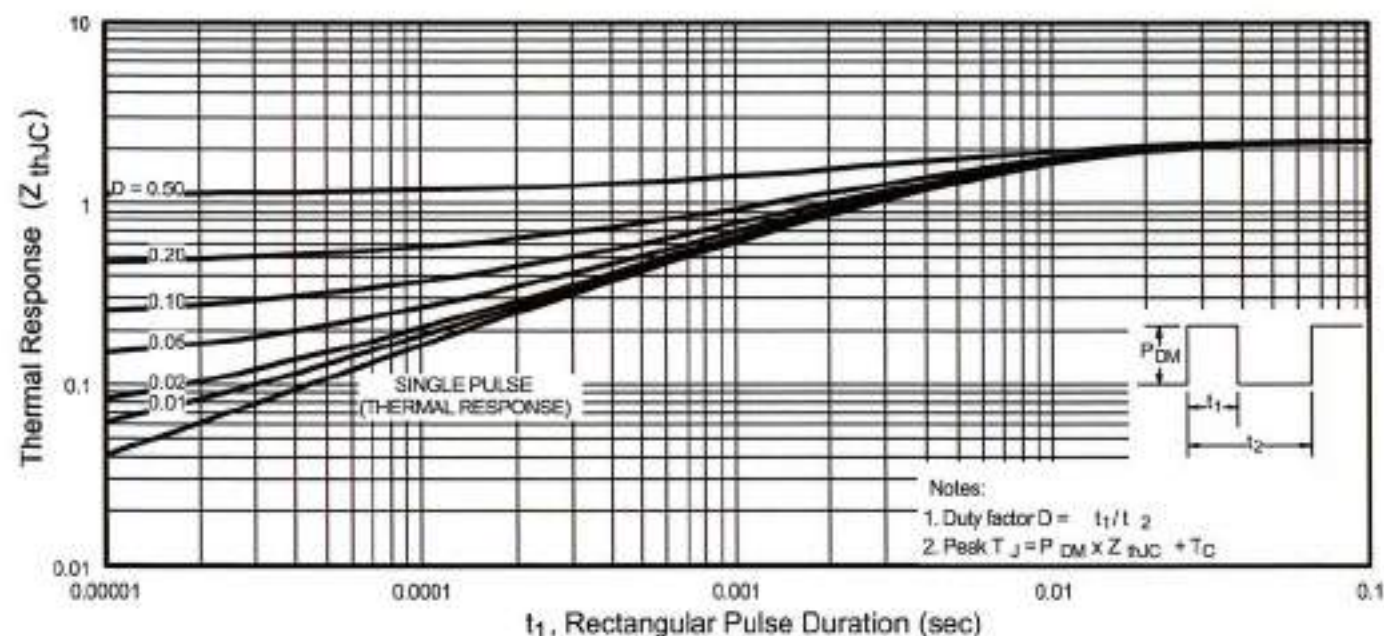


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

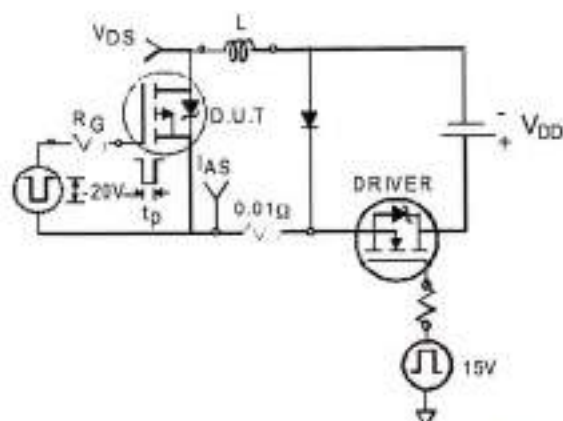


Fig 12a. Unclamped Inductive Test Circuit

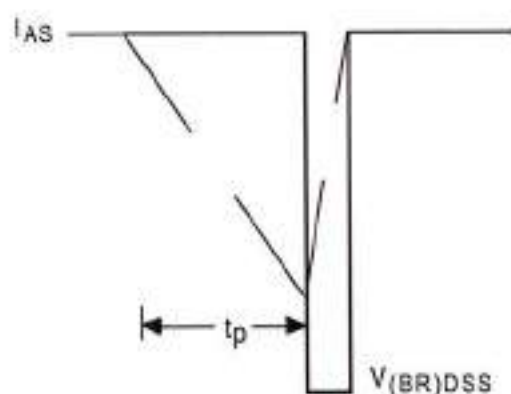


Fig 12b. Unclamped Inductive Waveforms

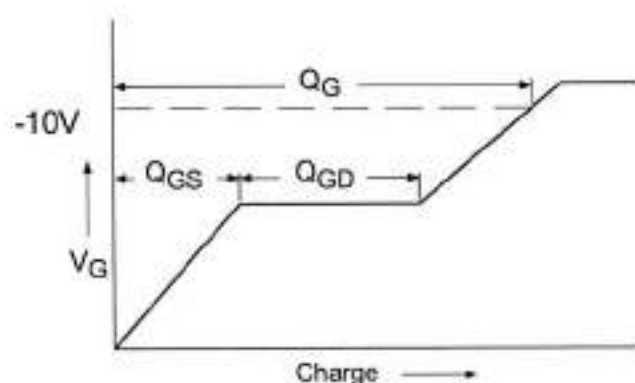


Fig 13a. Basic Gate Charge Waveform

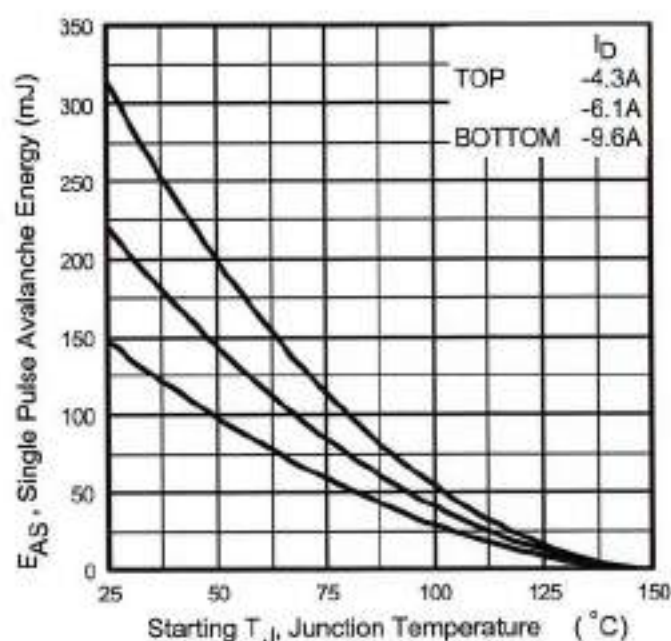


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

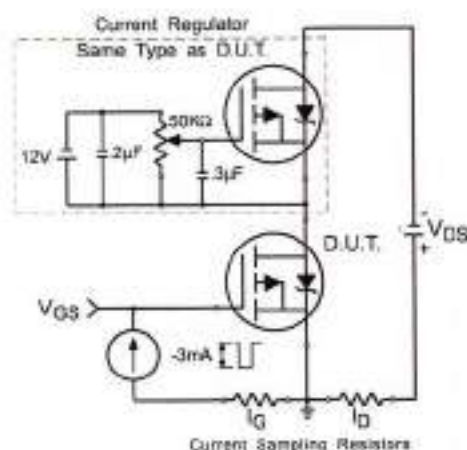
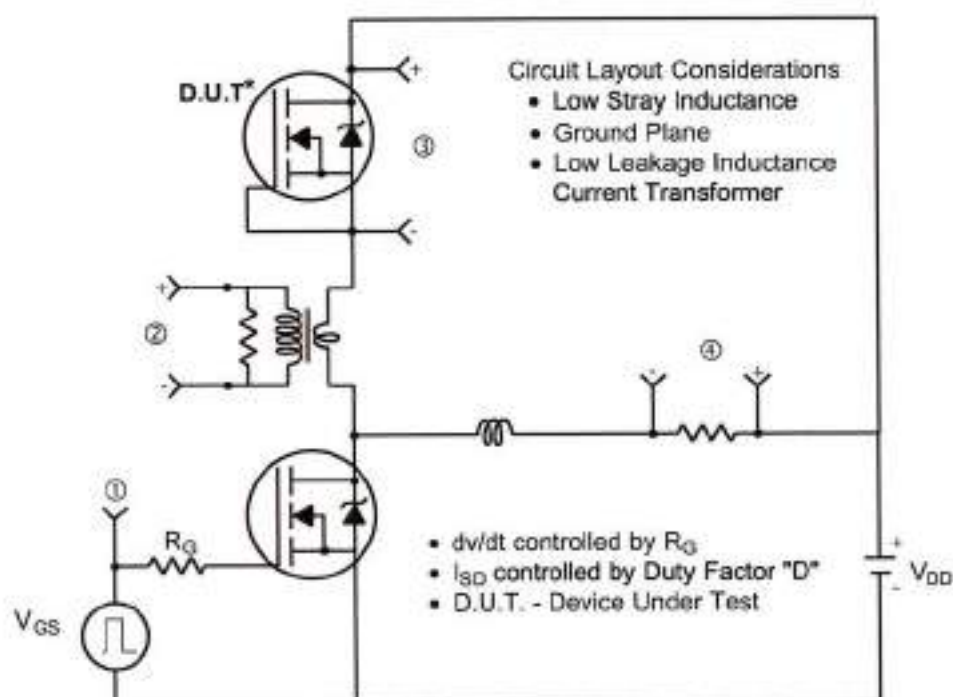
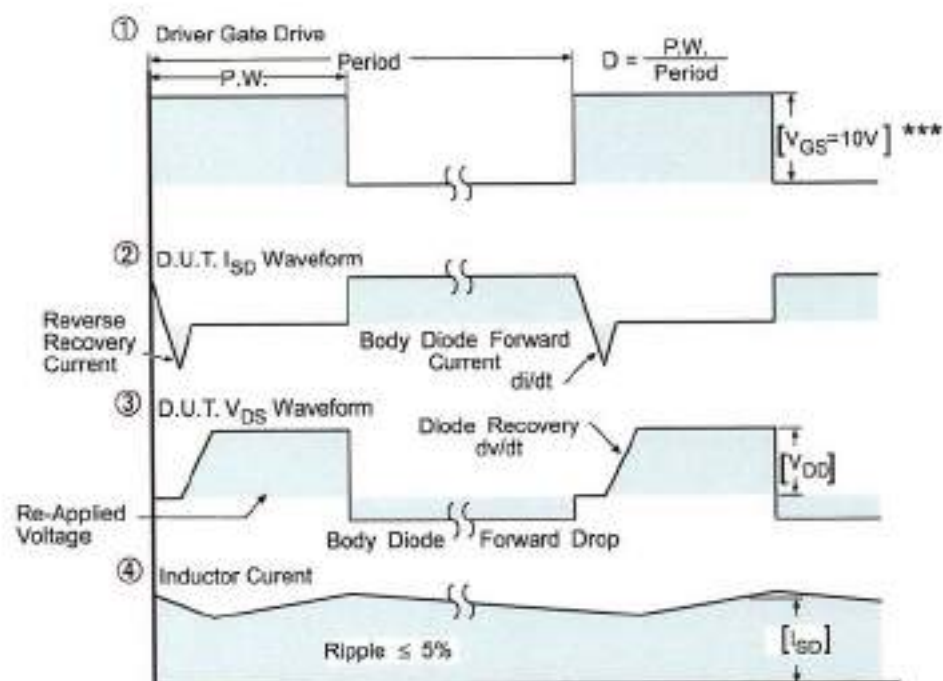


Fig 13b. Gate Charge Test Circuit

Peak Diode Recovery dv/dt Test Circuit



* Reverse Polarity of D.U.T for P-Channel



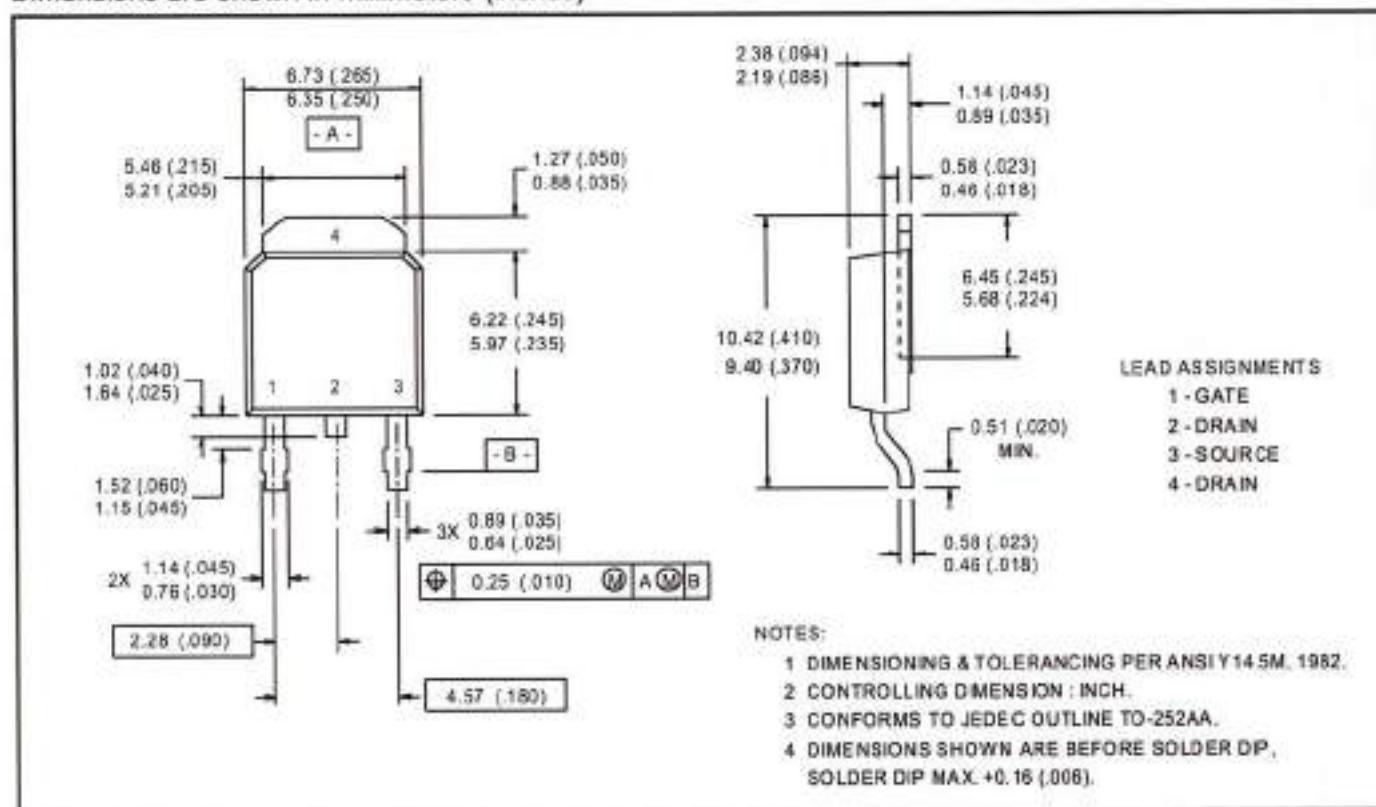
*** $V_{GS} = 5.0V$ for Logic Level and 3V Drive Devices

Fig 14. For P-Channel HEXFETS

Package Outline

TO-252AA Outline

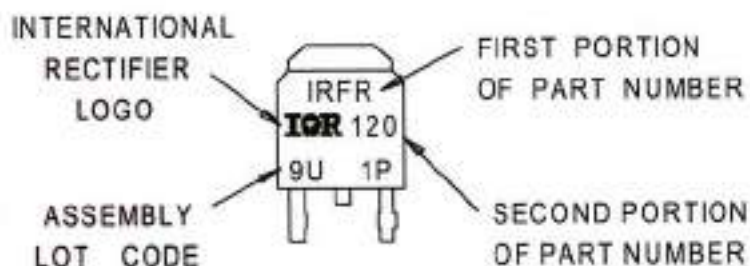
Dimensions are shown in millimeters (inches)



Part Marking Information

TO-252AA (D-Pak)

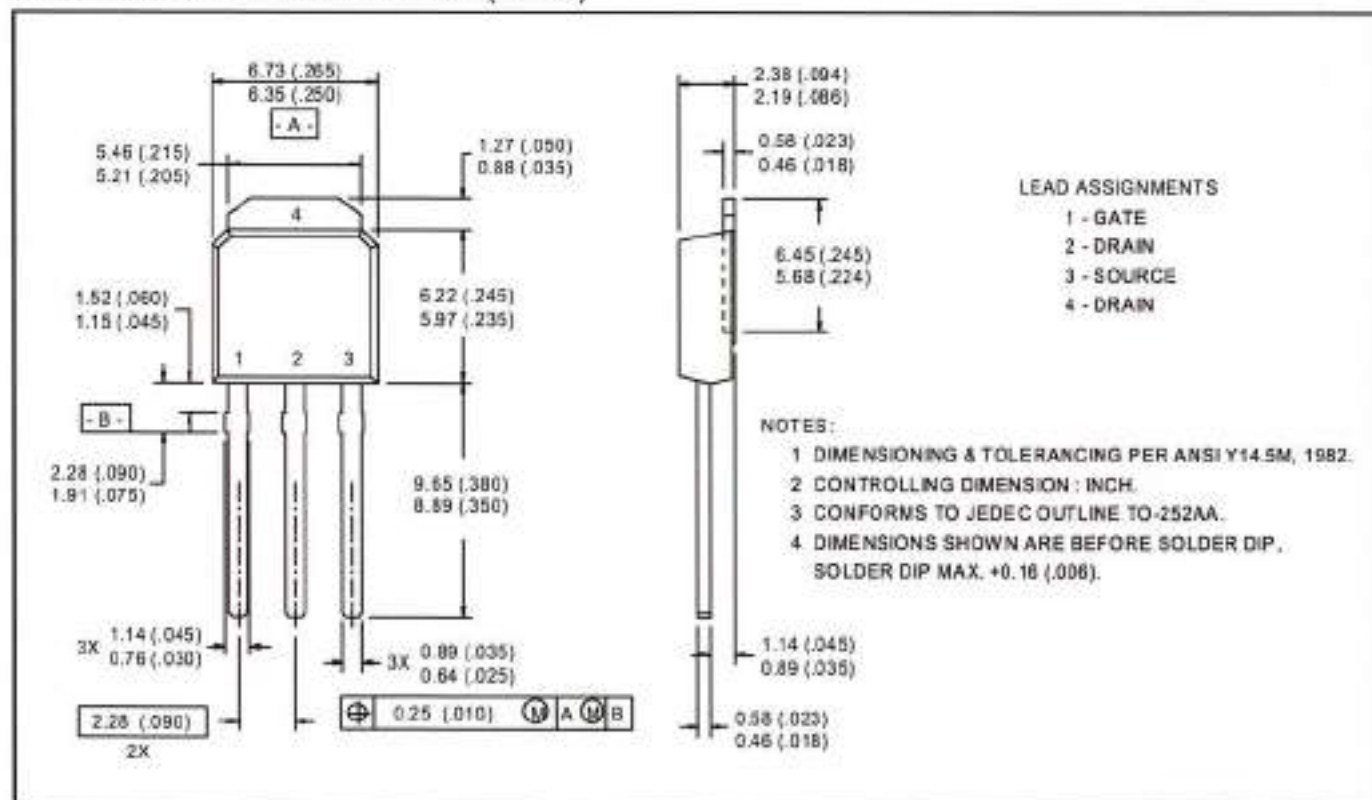
EXAMPLE: THIS IS AN IRFR120
WITH ASSEMBLY
LOT CODE 9U1P



Package Outline

TO-251AA Outline

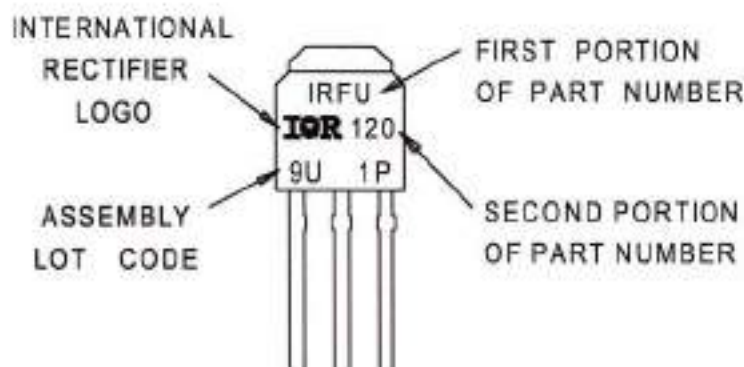
Dimensions are shown in millimeters (inches)



Part Marking Information

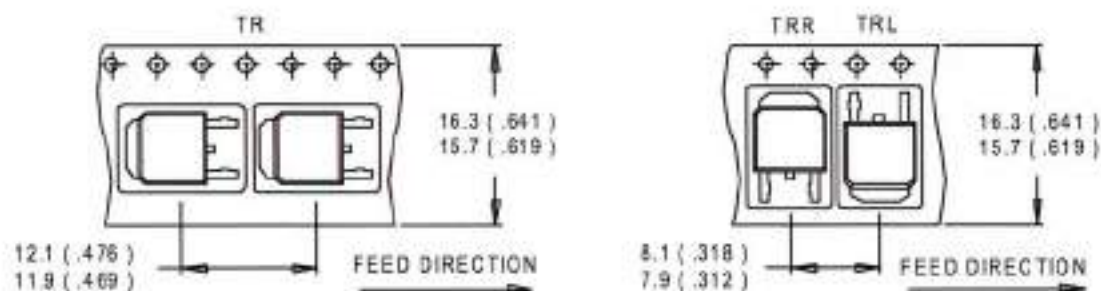
TO-251AA (I-Pak)

EXAMPLE: THIS IS AN IRFU120
WITH ASSEMBLY
LOT CODE 9U1P



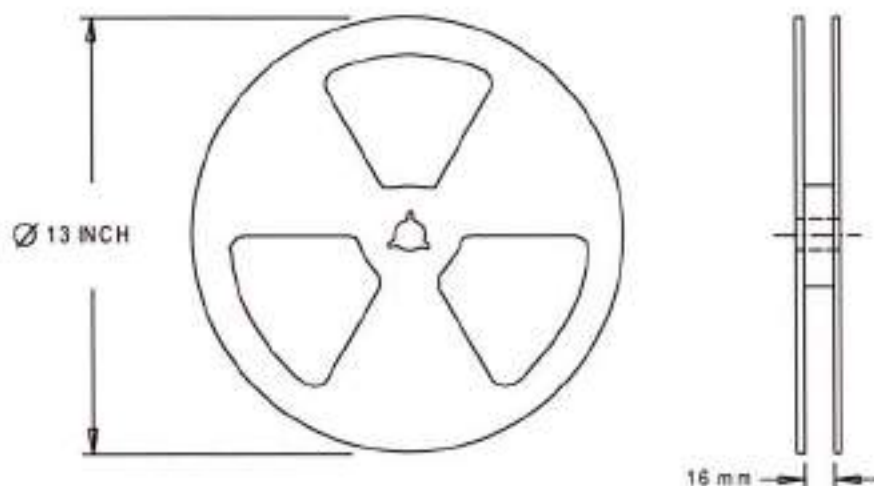
Tape & Reel Information

TO-252AA



NOTES :

1. CONTROLLING DIMENSION : MILLIMETER.
2. ALL DIMENSIONS ARE SHOWN IN MILLIMETERS (INCHES).
3. OUTLINE CONFORMS TO EIA-481 & EIA-541.



NOTES :

1. OUTLINE CONFORMS TO EIA-481.

International
IR Rectifier

WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, Tel: (310) 322 3331

EUROPEAN HEADQUARTERS: Hurst Green, Oxted, Surrey RH8 9BB, UK Tel: ++ 44 1883 732020

IR CANADA: 7321 Victoria Park Ave., Suite 201, Markham, Ontario L3R 2Z8, Tel: (905) 475 1897

IR GERMANY: Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 6172 96590

IR ITALY: Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 11 451 0111

IR FAR EAST: K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo Japan 171 Tel: 81 3 3983 0086

IR SOUTHEAST ASIA: 315 Outram Road, #10-02 Tan Boon Liat Building, Singapore 0316 Tel: 65 221 8371

<http://www.irf.com/>

Data and specifications subject to change without notice.

8/97

Transistor Nmos

IRLML2803

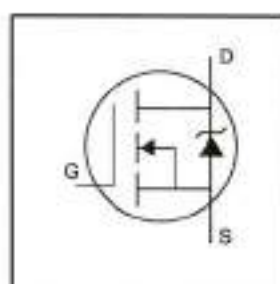
HEXFET® Power MOSFET

- Generation V Technology
- Ultra Low On-Resistance
- N-Channel MOSFET
- SOT-23 Footprint
- Low Profile (<1.1mm)
- Available in Tape and Reel
- Fast Switching

Description

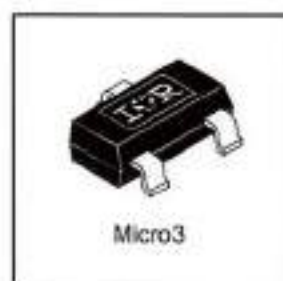
Fifth Generation HEXFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET Power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

A customized leadframe has been incorporated into the standard SOT-23 package to produce a HEXFET Power MOSFET with the industry's smallest footprint. This package, dubbed the Micro3, is ideal for applications where printed circuit board space is at a premium. The low profile (<1.1mm) of the Micro3 allows it to fit easily into extremely thin application environments such as portable electronics and PCMCIA cards.



$$V_{DS} = 30V$$

$$R_{DS(on)} = 0.25\Omega$$



Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D @ T_A = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	1.2	A
$I_D @ T_A = 70^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	0.93	
I_{DM}	Pulsed Drain Current ①	7.3	
$P_D @ T_A = 25^\circ C$	Power Dissipation	540	mW
	Linear Derating Factor	4.3	mW/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
dv/dt	Peak Diode Recovery dv/dt ②	5.0	V/ns
T_J, T_{STG}	Junction and Storage Temperature Range	-55 to +150	°C

Thermal Resistance

	Parameter	Typ.	Max.	Units
R_{JA}	Maximum Junction-to-Ambient ③	—	230	°C/W

IRLML2803

International
Rectifier

Electrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{DS(BOSS)}$	Drain-to-Source Breakdown Voltage	30	—	—	V	$V_{GS} = 0V, I_D = 250\mu A$
$\Delta V_{DS(BOSS)}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.029	—	V/ $^\circ\text{C}$	Reference to $25^\circ\text{C}, I_D = 1mA$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.25	Ω	$V_{GS} = 10V, I_D = 0.91A$ ①
		—	—	0.40		$V_{GS} = 4.5V, I_D = 0.48A$ ②
$V_{GS(th)}$	Gate Threshold Voltage	1.0	—	—	V	$V_{DS} = V_{GS}, I_D = 250\mu A$
g_m	Forward Transconductance	0.87	—	—	S	$V_{DS} = 10V, I_D = 0.48A$
I_{DSS}	Drain-to-Source Leakage Current	—	—	1.0	μA	$V_{DS} = 24V, V_{GS} = 0V$
		—	—	25		$V_{DS} = 24V, V_{GS} = 0V, T_J = 125^\circ\text{C}$
I_{GSS}	Gate-to-Source Forward Leakage	—	—	-100	nA	$V_{GS} = -20V$
	Gate-to-Source Reverse Leakage	—	—	100		$V_{GS} = 20V$
Q_g	Total Gate Charge	—	3.3	5.0	nC	$I_D = 0.91A$
Q_{gs}	Gate-to-Source Charge	—	0.48	0.72		$V_{DS} = 24V$
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	1.1	1.7		$V_{GS} = 10V$, See Fig. 6 and 9 ③
$t_{d(on)}$	Turn-On Delay Time	—	3.9	—	ns	$V_{DD} = 15V$
t_r	Rise Time	—	4.0	—		$I_D = 0.91A$
$t_{d(off)}$	Turn-Off Delay Time	—	9.0	—		$R_g = 6.2\Omega$
t_f	Fall Time	—	1.7	—		$R_D = 16\Omega$, See Fig. 10 ③
C_{iss}	Input Capacitance	—	85	—	pF	$V_{GS} = 0V$
C_{oss}	Output Capacitance	—	34	—		$V_{DS} = 25V$
C_{rss}	Reverse Transfer Capacitance	—	15	—		$f = 1.0MHz$, See Fig. 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	—	—	0.54	A	MOSFET symbol showing the integral reverse p-n junction diode. 
I_{SM}	Pulsed Source Current (Body Diode) ④	—	—	7.3		
V_{SD}	Diode Forward Voltage	—	—	1.2	V	$T_J = 25^\circ\text{C}, I_S = 0.91A, V_{GS} = 0V$ ⑤
t_{rr}	Reverse Recovery Time	—	26	40	ns	$T_J = 25^\circ\text{C}, I_F = 0.91A$
Q_{rr}	Reverse Recovery Charge	—	22	32	nC	$di/dt = 100A/\mu s$ ⑤

Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)
- ② Pulse width $\leq 300\mu s$; duty cycle $\leq 2\%$.
- ③ $I_{SD} \leq 0.91A, di/dt \leq 120A/\mu s, V_{DD} \leq V_{DS(BOSS)}, T_J \leq 150^\circ\text{C}$
- ④ Surface mounted on FR-4 board, $t \leq 5sec$.

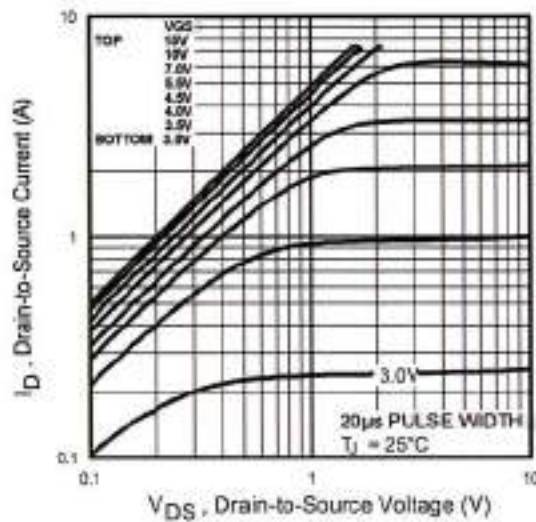


Fig 1. Typical Output Characteristics

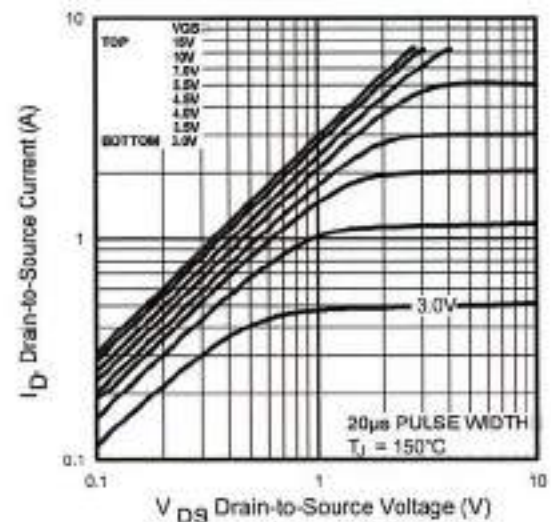


Fig 2. Typical Output Characteristics

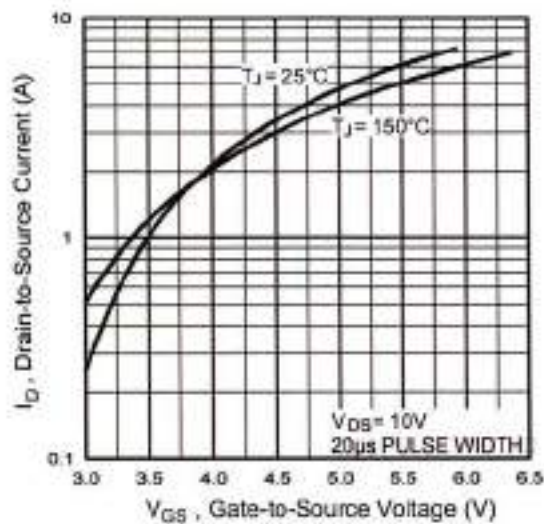


Fig 3. Typical Transfer Characteristics

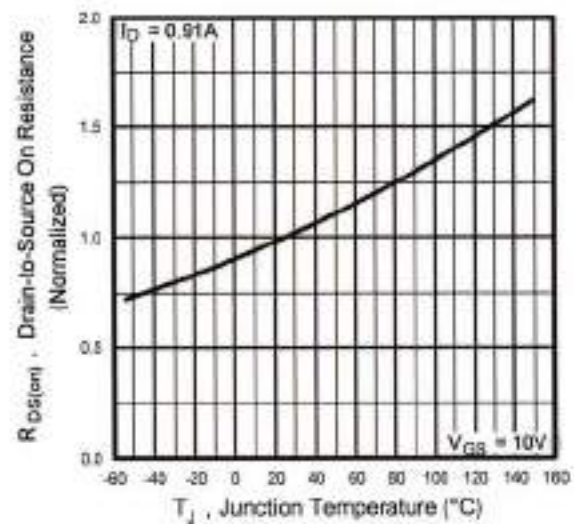


Fig 4. Normalized On-Resistance Vs. Temperature

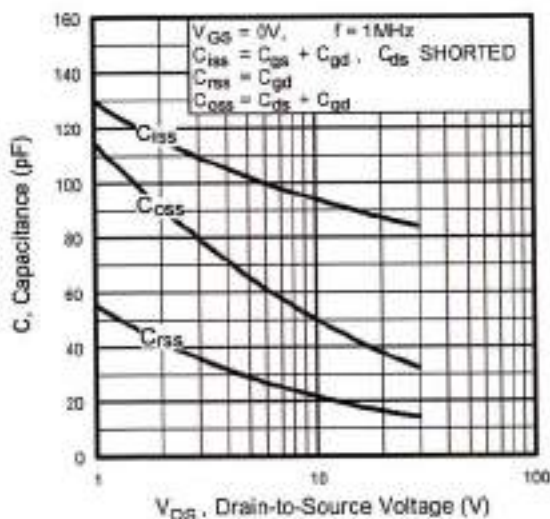


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

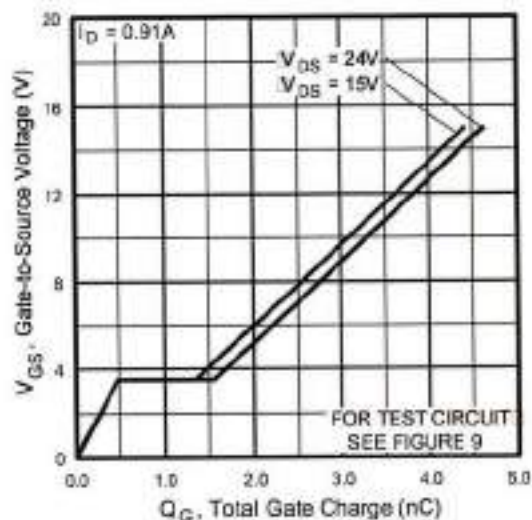


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

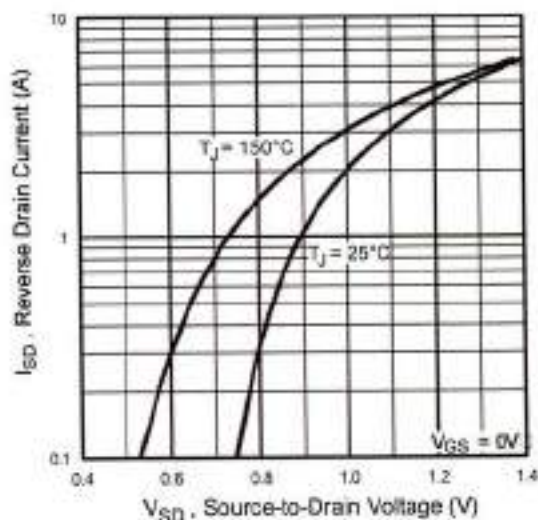


Fig 7. Typical Source-Drain Diode Forward Voltage

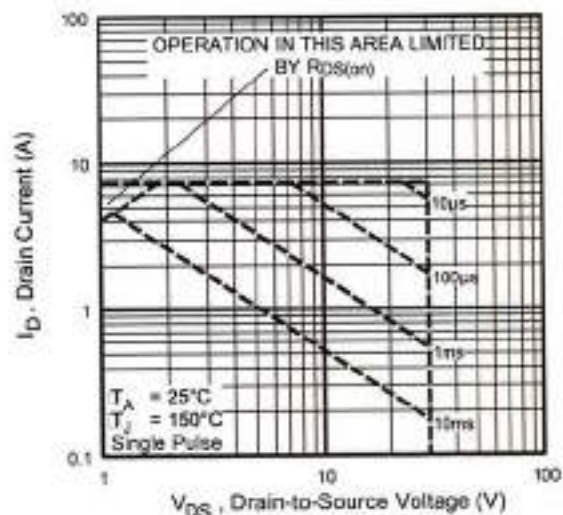


Fig 8. Maximum Safe Operating Area

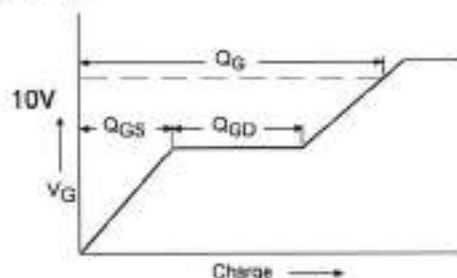


Fig 9a. Basic Gate Charge Waveform

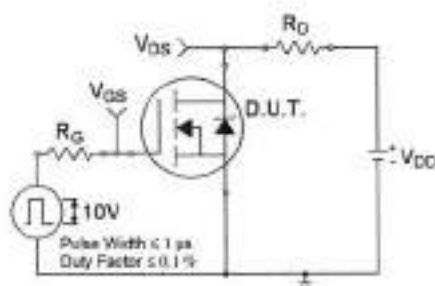


Fig 10a. Switching Time Test Circuit

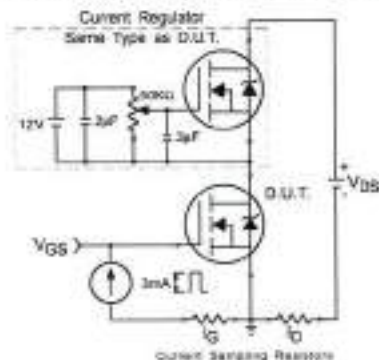


Fig 9b. Gate Charge Test Circuit

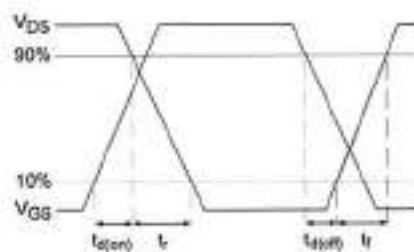


Fig 10b. Switching Time Waveforms

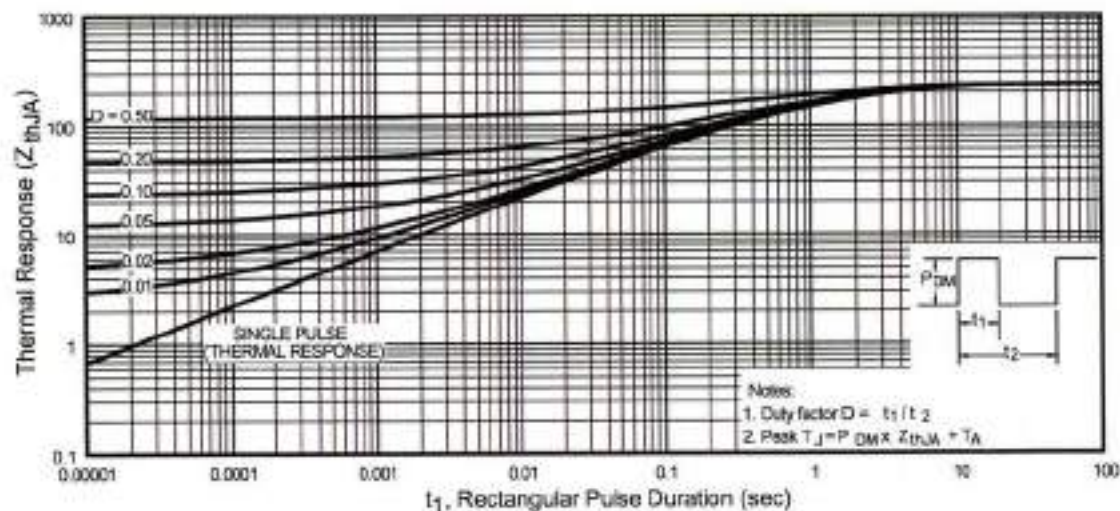


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Ambient

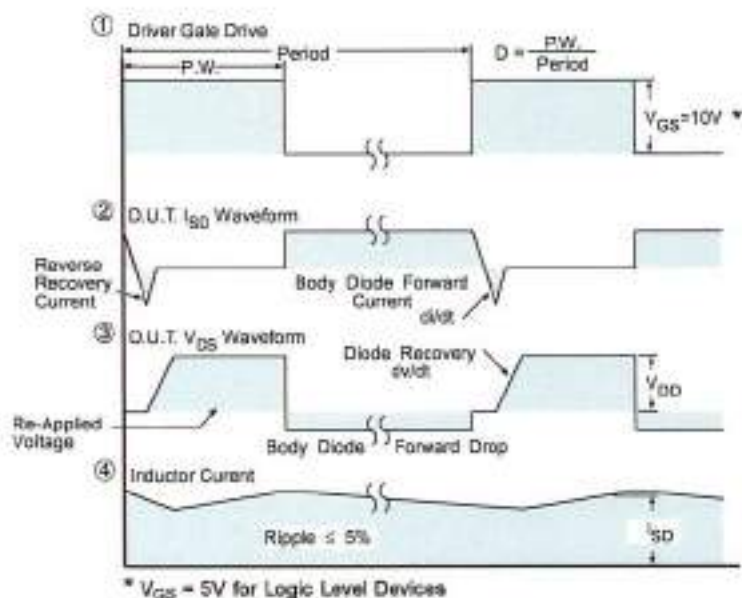
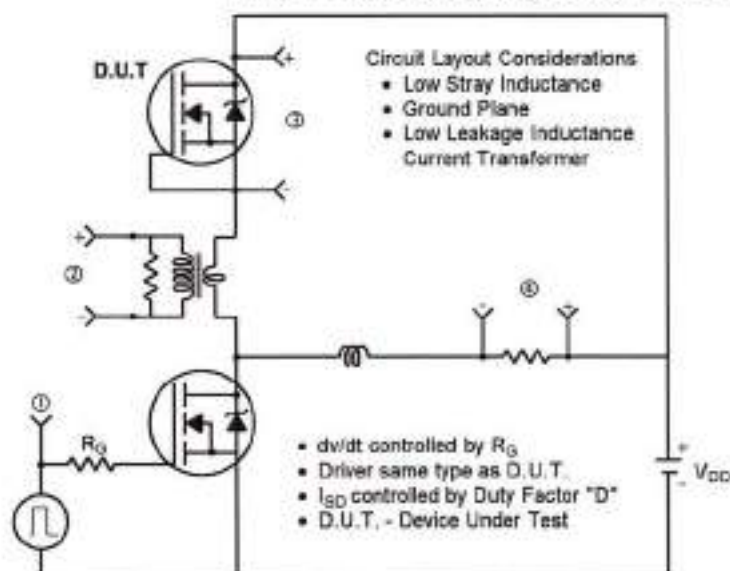
Peak Diode Recovery dv/dt Test Circuit

Fig 12. For N-Channel HEXFETS

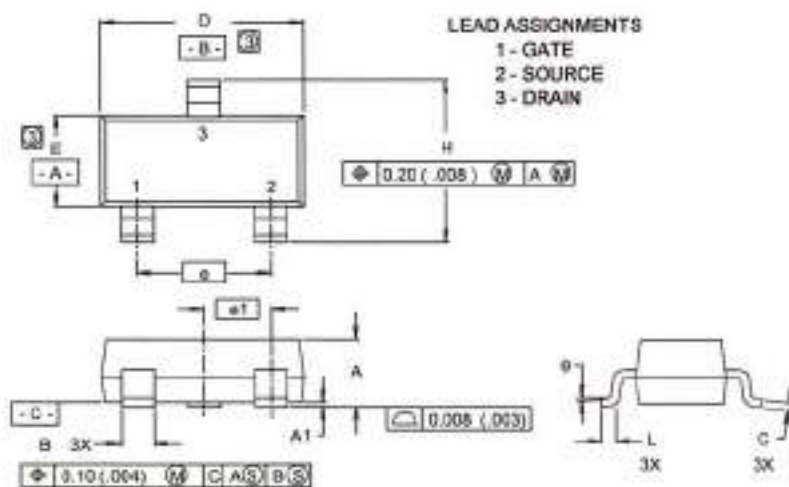
IGR Rectifier

Package Outline

SOT-23 Outline

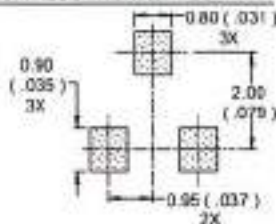
Dimensions are shown in millimeters (inches)

IRLML2803



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.032	.044	0.82	1.11
A1	.001	.004	0.02	0.10
B	.015	.021	0.38	0.54
C	.004	.006	0.10	0.15
D	.106	.120	2.67	3.05
e	0.750 BASIC		1.90 BASIC	
e1	0.375 BASIC		0.95 BASIC	
E	.047	.055	1.20	1.40
H	.083	.098	2.10	2.50
L	.005	.010	0.13	0.25
ø	0"	8"	0"	8"

MINIMUM RECOMMENDED FOOTPRINT



NOTES:

1. DIMENSIONING & TOLERANCING PER ANSI Y14.5M-1982.
2. CONTROLLING DIMENSION : INCH.
3. DIMENSIONS DO NOT INCLUDE MOLD FLASH.

IRLML2803

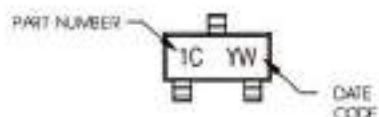
Part Marking Information SOT-23

International
IGR Rectifier

Notes: This part marking information applies to devices produced before 02/25/2001

EXAMPLE: THIS IS AN IRLML6302

WW = (1-26) IF PRECEDED BY LAST DIGIT OF CALENDAR YEAR



PART NUMBER CODE REFERENCE:

1A = IRLML2402
1B = IRLML2803
1C = IRLML6302
1D = IRLML5103
1E = IRLML6402
1F = IRLML6401
1G = IRLML2502
1H = IRLML5203

DATE CODE EXAMPLES:

YWW = 9503 = 3C
YWW = 9532 = EF

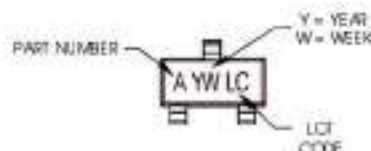
YEAR	Y	WORK WEEK	W
2001	1	01	A
2002	2	02	B
2003	3	03	C
1994	4	04	D
1995	5		
1996	6		
1997	7		
1998	8		
1999	9		
2000	0	24	X
		25	Y
		26	Z

WW = (27-52) IF PRECEDED BY A LETTER

YEAR	Y	WORK WEEK	W
2001	A	27	A
2002	B	28	B
2003	C	29	C
1994	D	30	D
1995	E		
1996	F		
1997	G		
1998	H		
1999	J		
2000	K	50	X
		51	Y
		52	Z

Notes: This part marking information applies to devices produced after 02/25/2001

W = (1-26) IF PRECEDED BY LAST DIGIT OF CALENDAR YEAR



PART NUMBER CODE REFERENCE:

A = IRLML2402
B = IRLML2803
C = IRLML6302
D = IRLML5103
E = IRLML6402
F = IRLML6401
G = IRLML2502
H = IRLML5203

YEAR	Y	WORK WEEK	W
2001	1	01	A
2002	2	02	B
2003	3	03	C
1994	4	04	D
1995	5		
1996	6		
1997	7		
1998	8		
1999	9		
2000	0	24	X
		25	Y
		26	Z

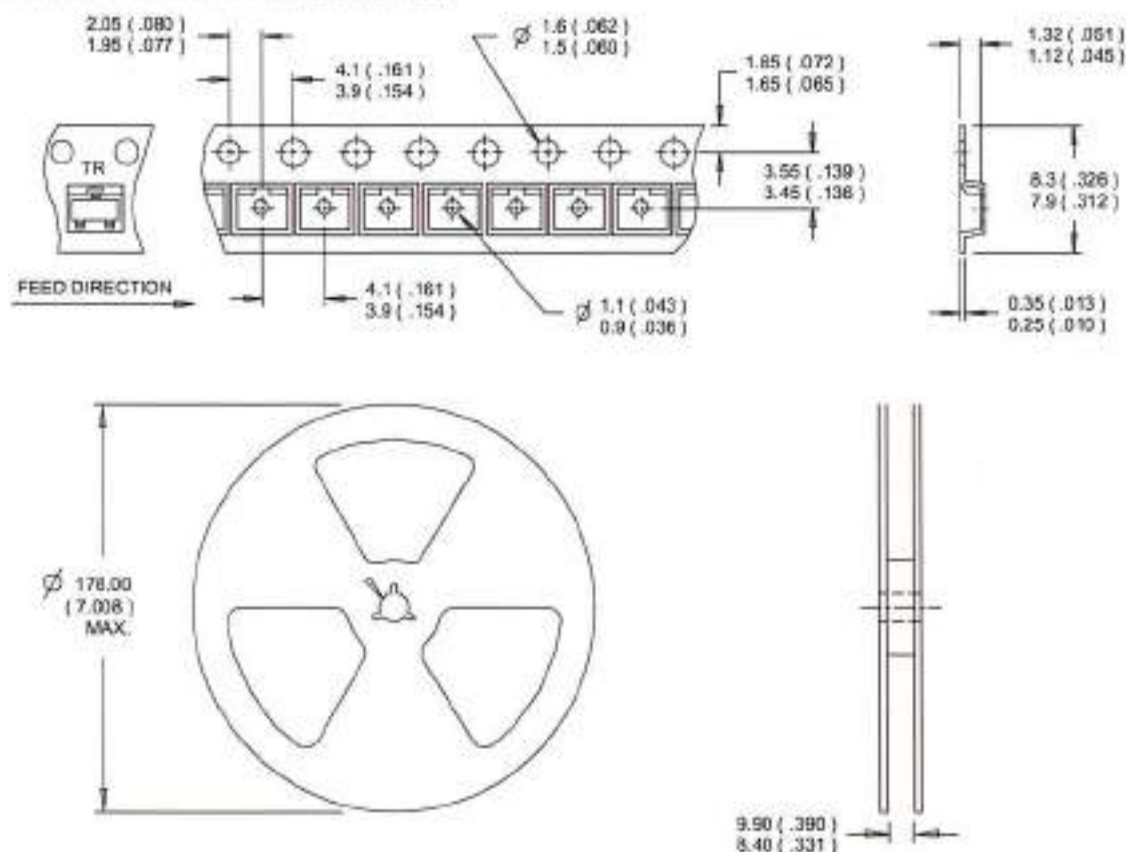
W = (27-52) IF PRECEDED BY A LETTER

YEAR	Y	WORK WEEK	W
2001	A	27	A
2002	B	28	B
2003	C	29	C
1994	D	30	D
1995	E		
1996	F		
1997	G		
1998	H		
1999	J		
2000	K	50	X
		51	Y
		52	Z

Tape & Reel Information

SOT-23

Dimensions are shown in millimeters (inches)



NOTES:

1. CONTROLLING DIMENSION: MILLIMETER.
2. OUTLINE CONFORMS TO EIA-481 & EIA-541.

Data and specifications subject to change without notice.

International
IR Rectifier

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, USA Tel: (310) 252-7105

TAC Fax: (310) 252-7903

Visit us at www.irf.com for sales contact information. 04/03

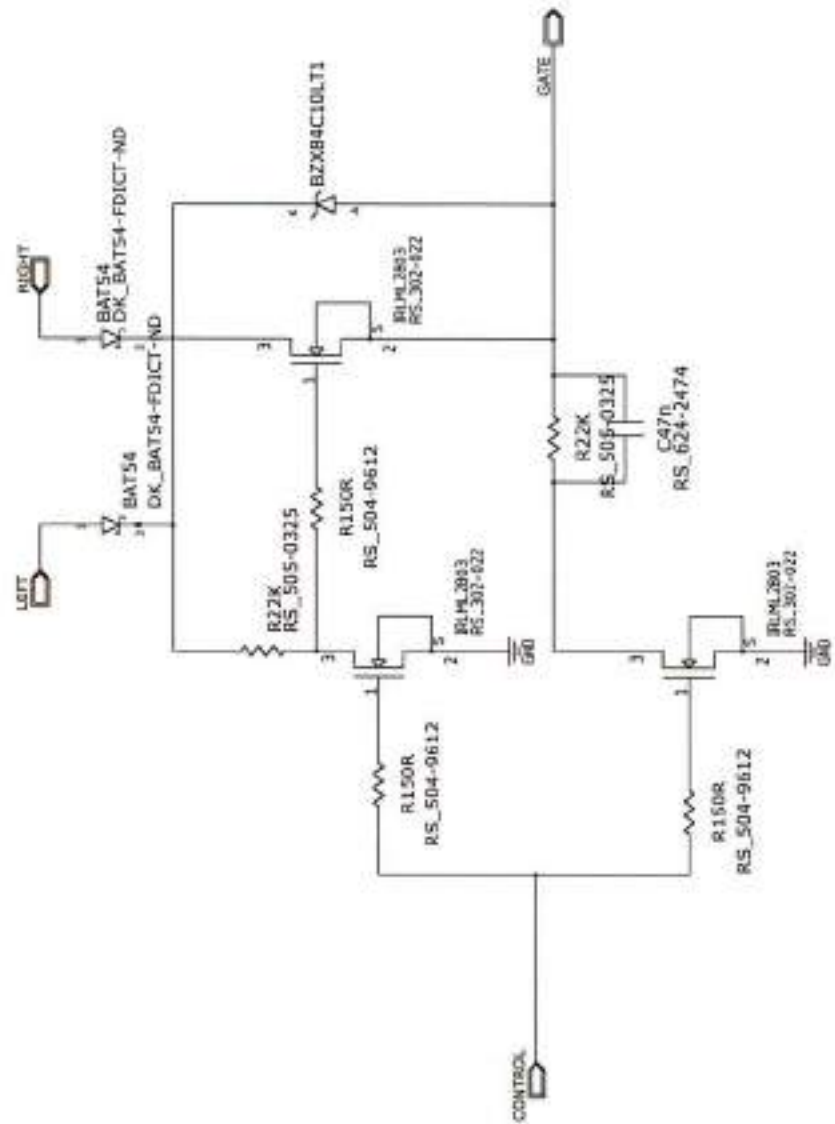
Anexo B - Esquemáticos finais Mentor Graphics

São apresentados aqui os esquemáticos finais dos circuitos utilizados neste trabalho.

Driver Bidirecional

1 2 3 4

REVISIONS		
REV	DESCRIPTION	DATE



CONTRACT NO.		SYNOPSIS DRIVER	
APPROVALS	DATE	Project name	1812-POWER-Switches
DRIVER	21/07/2010	U.S. P.A.R.M.S. Member	U.S. P.A.R.M.S. Member
DESIGNER	11/08/10	DESIGNER NO.	00000000
ISSUED		SCALE	1:1
		SHEET	0001

1 2 3 4

Interruptor bidirecional de potência tolerante a falhas

Anexo C - Códigos Matlab

São apresentados aqui os códigos em ambiente matlab utilizados durante este trabalho.

Cálculo da potência dissipada e energia empregada no fechamento do transistor Pmos

```

load 'R:\Tesi\Tesi Grizante\Waveforms\C3_25V_4R7_A.dat'
load 'R:\Tesi\Tesi Grizante\Waveforms\C4_25V_4R7_A.dat'

5  v_drain=C3_25V_4R7_A(:,2);
   v_source=C4_25V_4R7_A(:,2);
   current=v_drain/4.7;
   time=C3_25V_4R7_A(:,1);

10 %subplot(2,1,1);
   potenza = abs((-v_source+v_drain)).*abs(current);
   %plot(time,potenza);

   xlabel('tempo [s]')
15 ylabel('potenza [W]')

   grid on

20
   %subplot(2,1,2);
   f= size(potenza,1);
   fNorm = 300 / (f/2);
   [b,a] = butter(10, fNorm, 'low');
25 potenzaLow = filtfilt(b, a, potenza);

   plot(time,potenzaLow);

30 xlabel('tempo [s]')
   ylabel('potenza [W]')
   grid on

35 %procedura per calcolo dell'energia
   %figure

```

```

first=1139;%indici ricavati dal grafico
last=5500;
pot_on=potenzaLow(first:last);
40 time_on=time(first:last);
    %plot(time_on,pot_on);

    xlabel('tempo [s]')
    ylabel('potenza [W]')
45 grid on

en_on =trapz(time_on,pot_on);

```

Cálculo da potência dissipada e energia empregada na abertura do transistor Pmos

```

load 'R:\Tesi\Tesi Grizante\Waveforms\C3_25V_4R7_S.dat'
load 'R:\Tesi\Tesi Grizante\Waveforms\C4_25V_4R7_S.dat'

v_drain=C3_25V_4R7_S(:,2);
5 v_source=C4_25V_4R7_S(:,2);
current=v_drain/4.7;
time=C3_25V_4R7_S(:,1);

%subplot(2,1,1);
10 potenza = abs((-v_source+v_drain)).*abs(current);
    %plot(time,potenza);

    xlabel('tempo [s]')
    ylabel('potenza [W]')
15 grid on

%subplot(2,1,2);
f= size(potenza,1);
20 fNorm = 600 / (f/2);
[b,a] = butter(10, fNorm, 'low');
potenzaLow = filtfilt(b, a, potenza);

plot(time,potenzaLow);
25 xlabel('tempo [s]')
    ylabel('potenza [W]')
    grid on

```



```
%procedura per calcolo di energia
30 %figure
first=21000;%indici ricavati dal grafico
last=31000;
pot_on=potenzaLow(first:last);
time_on=time(first:last);
35 %plot(time_on,pot_on);

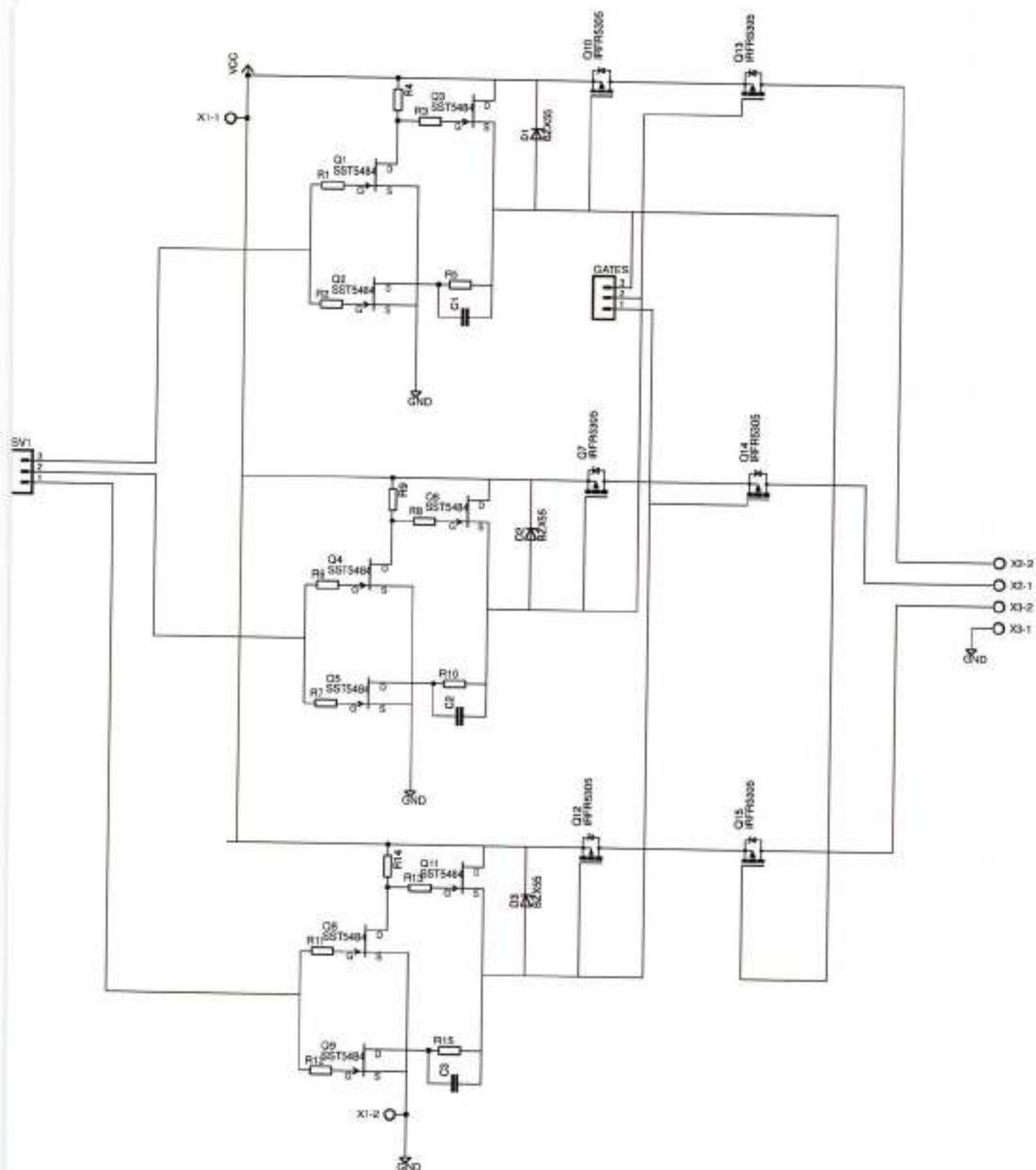
xlabel('tempo [s]')
ylabel('potenza [W]')
grid on
40

en_off =trapz(time_on,pot_on);
```

Anexo D - Archivos Eagle

São apresentados aqui esquemático e leiaute gerados em ambiente Eagle utilizados durante este trabalho.

Esquemático do circuito aplicado à cerâmica



Leiaute Eagle gerado por programa CutePdfWriter para a impressão em
fotolito

