

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**Análise, modelagem e projeto de conversor
CC-CC de topologia Zeta considerando as perdas
intrínsecas para regulação de tensão de saída com
baixa ondulação e alta eficiência**

Autor: Plínio Gonçalves Bueno Ferreira

Orientador: Prof. Dr. Ricardo Quadros Machado

São Carlos

2017

Plínio Gonçalves Bueno Ferreira

**Análise, modelagem e projeto de conversor
CC-CC de topologia Zeta considerando as perdas
intrínsecas para regulação de tensão de saída com
baixa ondulação e alta eficiência**

Trabalho de Conclusão de Curso apresentado
à Escola de Engenharia de São Carlos, da
Universidade de São Paulo

Curso de Engenharia Elétrica

ORIENTADOR: Prof. Dr. Ricardo Quadros Machado

São Carlos

2017

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

G383a Gonçalves Bueno Ferreira, Plínio
Análise, modelagem e projeto de conversor CC-CC de
topologia Zeta considerando as perdas intrínsecas para
regulação de tensão de saída com baixa ondulação e alta
eficiência / Plínio Gonçalves Bueno Ferreira;
orientador Ricardo Quadros Machado. São Carlos, 2017.

Monografia (Graduação em Engenharia Elétrica com
ênfase em Eletrônica) -- Escola de Engenharia de São
Carlos da Universidade de São Paulo, 2017.

1. Conversor CC-CC. 2. Modelagem de Sistemas
Dinâmicos. 3. Dimensionamento de Componentes. 4.
Eletrônica de Potência. 5. Fonte Chaveada. 6.
Buck-Boost. 7. Topologia Zeta. 8. Perdas Intrínsecas.
I. Título.

FOLHA DE APROVAÇÃO

Nome: Plínio Gonçalves Bueno Ferreira

Título: “Análise, modelagem e projeto de conversor CC-CC de topologia Zeta considerando-se as perdas intrínsecas para regulação de tensão de saída com baixa ondulação e alta eficiência”

Trabalho de Conclusão de Curso defendido e aprovado
em 23 / 06 / 2014,

com NOTA 9,5 (nove, cinco), pela Comissão Julgadora:

Prof. Dr. Ricardo Quadros Machado - Orientador - SEL/EESC/USP

Mestre Marina Silva Camillo de Carvalho - Doutoranda - SEL/EESC/USP

Mestre Klebber de Araújo Ottoboni - Doutorando - SEL/EESC/USP

Coordenador da CoC-Engenharia Elétrica - EESC/USP:
Prof. Associado José Carlos de Melo Vieira Júnior

Dedicatória

Este trabalho de conclusão de curso é dedicado à minha mãe Maria Lídia, que em todos os seus momentos sempre esteve presente e me incentivou a seguir em frente nas minhas decisões e buscar a felicidade, sendo meu maior exemplo como pessoa, profissional, mulher e mãe.

Plínio Gonçalves Bueno Ferreira.

Agradecimentos

Primeiramente à minha mãe Maria Lídia, ao meu pai Ricardo, aos meus avós, tios, e primos, que sempre estiveram ao meu lado, fornecendo uma base sólida para meu desenvolvimento pessoal.

Aos amigos próximos, cuja amizade se manteve desde que vim para São Carlos: Alex Sartin, Alexandre Bernardo Moretti, Augusto Martins, Camila Limoli, Gabrielle Schubart, Gustavo Casagrande, Gustavo Teixeira, Jéssica Bohn, João Corsini, Leonardo Farçoni, Marília Lírio, Murilo Silveira, Nicolás dos Santos Rosa, Pedro Paulo Arantes, Rafael Magossi, Vitor Morini e Yuri Sarreta.

Aos amigos da minha cidade raiz, Passos: Caique Baggio, Fernando Silveira, Gabriel Lemos, Hugo Gleven, Isadora Leite, Jéssica Luiza, Joshua van Dijk e Thalissa Reis.

Aos amigos da banda *Os Bigas*: Jorge Lucas Coelho Barbosa, Matheus Carbonero, Yuri Castelo, Uriel Pozzi, Carlos Wellichan e Sérgio Wellichan.

À toda família Carbonero: dona Mônica e Bile, Isadora e Iryna.

Aos atendentes do bar do Mário no CAASO: Mário, Marta, Márcia e Cíntia.

Ao pessoal técnico dos laboratórios da SEL e administrativo: Petrussio, Rosenberg, César, Alessandro, José Luís, Rui Berto, Odair, Jussara, Roseli e Aura.

Aos amigos do grupo de robótica *Warthog Robotics*.

Ao pessoal do Laboratório de Fontes Alternativas e Processamento de Energia (LFAPE) que compartilhou comigo extenso conhecimento durante o desenvolvimento deste trabalho de conclusão de curso.

Aos professores, mestres e doutores da Escola de Engenharia de São Carlos do departamento de engenharia elétrica (EESC - SEL) que me auxiliaram durante toda a caminhada. Ao professor doutor Ricardo Machado Quadros, que me guiou durante todo o trabalho e à professora Vilma Alves Ferreira que me apoiou em diversas etapas da minha graduação.

À Deus.

Plínio Gonçalves Bueno Ferreira.

"Quem não se resolve a cultivar o hábito de pensar, perde-se o maior prazer da vida."

Thomas Edison

*"A ciência é, portanto, uma perversão de si mesma, a menos que tenha como fim último,
melhorar a humanidade."*

Nikola Tesla

"A mente que se abre a uma nova ideia, jamais voltará ao seu tamanho original."

Albert Einstein

Resumo

FERREIRA, PLINIO G. B. **Análise, modelagem e projeto de conversor CC-CC de topologia Zeta considerando as perdas intrínsecas para regulação de tensão de saída com baixa ondulação e alta eficiência.** Trabalho de Conclusão de Curso – Escola de Engenharia de São Carlos, Universidade de São Paulo, 2017.

Este trabalho apresenta as análises e o procedimento geral de projeto de um conversor CC-CC de topologia Zeta como regulador de tensão de alta eficiência para aplicações de baixa potência, utilizando uma bateria como fonte de alimentação. Neste documento, foram realizadas análises das influências das perdas intrínsecas dos componentes do circuito em relação ao ganho e eficiência do conversor, tornando praticável o dimensionamento dos componentes eletrônicos do circuito frente as condições de contorno (tensão e potência de entrada e saída, razão cíclica, eficiência mínima e máxima ondulação admissível das variáveis de estado). Nesse caso, uma vez que foram consideradas as perdas intrínsecas sobre os componentes do circuito, o procedimento de modelagem foi realizado com uma estratégia específica de forma que a equação de ganho foi obtida de forma analítica, possibilitando uma análise matemática e resolução numérica precisa das matrizes do modelo. Logo, com base em uma série de especificações técnicas pré-estabelecidas, os componentes foram devidamente dimensionados e a escolha de cada dispositivo comercial (fabricante, material, série, modelo, tipo, encapsulamento) justificada. As variáveis de interesse do modelo matemático linearizado proposto foram comparadas com as do circuito simulado e o desvio numérico foi discutido. Foram realizadas simulações em LTSpice e MATLAB, de forma que os comportamentos de ganho e eficiência, frente as duas situações distintas do circuito com e sem perdas, foram comparados. Portanto, as análises levantadas neste trabalho indicam as regiões de operação do conversor em alta eficiência e o máximo ganho do circuito, em função da razão cíclica.

Palavras-Chave: Buck-Boost, Conversor CC-CC, Dimensionamento de Componentes, Eletrônica de Potência, Fonte Chaveada, Modelagem de Sistemas Dinâmicos, Perdas Intrínsecas, Topologia Zeta

Abstract

FERREIRA, PLINIO G. B. **Study, modeling and design of a Zeta topology DC-DC Converter considering intrinsic losses for low ripple and high efficiency output voltage regulation.** Completion of course work – São Carlos School of Engineering, University of São Paulo, 2017.

This thesis presents the analyses and design of a Zeta topology DC-DC converter as an output low ripple voltage regulator with high efficiency for low power systems using a battery as the main source. The influences of the components intrinsic losses to the converter gain and efficiency were analyzed, which allowed the circuit design a practical procedure, regarding the proposed operation conditions (input and output voltage and power, minimum and maximum duty cycle and efficiency and minimum state variables ripple). In this case, the circuit modelling was done based on a linearized space-state strategy. Then, the parameters of interest were obtained in its complete analytical form, which was crucial to obtain precise numerical solutions. Additionally, based on specific operation conditions, a Zeta DC-DC converter was designed and the characteristic of each component was precisely justified and explained. The mathematical linearized model proposed was compared to the switched approach and the difference between their numerical results were discussed. The behaviour characteristics of gain and efficiency were compared in two distinct situations: the circuit with and without losses. These simulations were done in LTSpice and MATLAB software, then the operation region of maximum efficiency and maximum gain were analyzed, supporting the discussion about the impact of the intrinsic losses to the converter.

Keywords: Buck-Boost, Circuit Design, DC-DC Converter, Dynamical System Modeling, Intrinsic Losses, Power Electronics, Switched System, Zeta Topology

Lista de Figuras

2.1	Ilustração de um modelo de célula Li-Íon.	34
2.2	Curva de descarga genérica de baterias e pontos de interesse: MPV, EODV. . .	34
2.3	Curvas de descarga de baterias Li-Íon e Ni-Cd/Ni-MH	36
2.4	Variação da ESR de uma célula Li-Po conforme número de ciclos de descarga em 50% da capacidade nominal	37
2.5	Diagrama em blocos de conversor CC-CC unidirecional e terminais de interesse	38
2.6	Regiões de interesse e limites de operação em relação à tensão da bateria . . .	40
2.7	Conversor SEPIC não-isolado com capacitor tanque de entrada e perdas in- trínsecas nos indutores e na fonte	42
2.8	Ganho do conversor SEPIC não-isolado básico	42
2.9	Conversor Ćuk não-isolado com capacitor tanque de entrada e perdas intrín- secas nos indutores e na fonte	43
2.10	Ganho do conversor Ćuk não-isolado básico	43
2.11	Conversor Zeta não-isolado com capacitor tanque de entrada e perdas intrín- secas nos indutores e na fonte	44
2.12	Ganho do conversor Zeta não-isolado básico	44
2.13	Conversor Zeta isolado com capacitor tanque de entrada e perdas intrínsecas nos indutores e na fonte	45
2.14	Diagrama de blocos referente à aplicação proposta	46
3.1	Circuito Zeta utilizado como modelo e convenções de sinal adotadas na mo- delagem	50
3.2	Circuito Zeta com a chave controlada fechada	51
3.3	Circuito Zeta com a chave controlada aberta	52
3.4	Formas de onda de corrente e tensão sobre os indutores, transistor e diodo . .	53
3.5	Formas de onda de corrente e tensão sobre os capacitores	54

3.6	Formas de onda no indutor (L_2) e no diodo (DI) em condução contínua e descontínua	55
3.7	Representação do sistema não linear e as respectivas componentes	56
3.8	Representação do sistema linearizado e as respectivas componentes	56
3.9	Forma de onda da ondulação aproximada da corrente sobre os indutores de saída	64
3.10	Forma de onda aproximada da corrente sobre o capacitor de saída	65
4.1	Resposta de capacitância versus tensão média sobre capacitor MLCC de $10\mu F$ nominal	75
4.2	Resposta de ESR em função da frequência de capacitor MLCC de $10\mu F$ nominal	76
4.3	Resposta da corrente versus a temperatura intrínseca sobre capacitor MLCC de $10\mu F$ nominal	77
5.1	Circuito Zeta dimensionado com componentes comerciais	81
5.2	Comparação da dinâmica do transiente de tensão de saída do circuito matematicamente modelado em MATLAB e em simulado em LTSpice	84
5.3	Comparação da dinâmica do transiente de tensão de saída entre os circuitos utilizados como modelo e o dimensionado em LTSpice	85
5.4	Comparação do ganho do conversor Zeta ideal e do circuito considerando-se as perdas intrínsecas: R_{L1} , R_{L2} , R_G e V_{FWD}	86
5.5	Ganho do conversor Zeta projetado em respectiva região de operação;.	86
5.6	Ganho do conversor Zeta cujo erro em comparação ao comportamento ideal é de no máximo 10%.	87
5.7	Ganho do conversor Zeta máximo sobre comportamento considerando-se as perdas intrínsecas	88
5.8	Efeito da resistência intrínseca da fonte R_G no ganho do conversor Zeta	89
5.9	Curvas de nível do efeito da resistência intrínseca da fonte R_G no ganho do conversor Zeta	89
5.10	Efeito da resistência intrínseca da fonte R_{L1} e R_{L2} no ganho do conversor Zeta	90
5.11	Curvas de nível do efeito da resistência intrínseca da fonte R_{L1} e R_{L2} no ganho do conversor Zeta	91
5.12	Comparação da eficiência do conversor Zeta ideal e do circuito considerando-se as perdas intrínsecas: R_{L1} , R_{L2} , R_G e V_{FWD}	92

5.13	Região cuja eficiência do conversor Zeta projetado é maior que a mínima admitida de 87%	92
5.14	Região de operação do conversor Zeta projetado	93
5.15	Efeito da resistência intrínseca da fonte R_G na eficiência do conversor Zeta . .	94
5.16	Curvas de nível do efeito da resistência intrínseca da fonte R_G na eficiência do conversor Zeta	95
5.17	Efeito da resistência intrínseca da fonte R_{L1} e R_{L2} na eficiência do conversor Zeta	96
5.18	Curvas de nível do efeito da resistência intrínseca da fonte R_{L1} e R_{L2} na eficiência do conversor Zeta	96
5.19	Corrente de entrada fornecida pela fonte e corrente de saída do circuito dimensionado, simulado em LTSpice	97
A.1	Circuito <i>modelado</i>	108
A.2	Circuito <i>dimensionado</i> em que foram utilizados semicondutores de modelos comerciais	109
B.1	Transiente de corrente sobre o indutor L1 do circuito modelado em MATLAB (y11)	111
B.2	Transiente de corrente sobre o indutor L2 do circuito modelado em MATLAB (y21)	112
B.3	Transiente de tensão sobre o capacitor C0 do circuito modelado em MATLAB (y31)	112
B.4	Transiente de tensão sobre o capacitor C1 do circuito modelado em MATLAB (y41)	113
B.5	Transiente de tensão sobre o capacitor C2 do circuito modelado em MATLAB (y51)	113
C.1	Transiente de corrente sobre o indutor L1 do circuito modelado em LTSpice (y11)	115
C.2	Transiente de corrente sobre o indutor L2 do circuito modelado em LTSpice (y21)	116
C.3	Transiente de tensão sobre o capacitor C0 do circuito modelado em LTSpice (y31)	116

C.4	Transiente de tensão sobre o capacitor C1 do circuito modelado em LTSpice (y41)	117
C.5	Transiente de tensão sobre o capacitor C2 do circuito modelado em LTSpice (y51)	117
D.1	Tensão sobre o indutor L1 do circuito simulado	119
D.2	Corrente sobre o indutor L1 do circuito simulado	120
D.3	Tensão sobre o indutor L2 do circuito simulado	120
D.4	Corrente sobre o indutor L2 do circuito simulado	121
D.5	Tensão sobre o capacitor C0 do circuito simulado	121
D.6	Corrente sobre o capacitor C0 do circuito simulado	122
D.7	Tensão sobre o capacitor C1 do circuito simulado	122
D.8	Corrente sobre o capacitor C1 do circuito simulado	123
D.9	Tensão sobre o capacitor C2 do circuito simulado	123
D.10	Corrente sobre o capacitor C2 do circuito simulado	124
D.11	Tensão <i>source-drain</i> sobre o MOSFET Q1 do circuito simulado	124
D.12	Corrente sentido <i>source-drain</i> sobre o MOSFET Q1 do circuito simulado	125
D.13	Tensão sobre o diodo D1 do circuito simulado	125
D.14	Corrente sobre o diodo D1 do circuito simulado	126
D.15	Corrente fornecida pela bateria do circuito simulado	126
D.16	Tensão de saída do circuito simulado regulada em 15V em diferente escala	127

Lista de Tabelas

2.1	Características de baterias de chumbo ácido, Ni-Cd, Ni-MH e Li-Íon	35
2.2	Ganho do conversor em relação à carga armazenada na célula	40
2.3	Características das topologias Ćuk, SEPIC e ZETA	41
3.1	Estados de operação das chaves e a razão cíclica respectiva	50
3.2	Polarização MOSFET-P	69
4.1	Condições de operação conversor Zeta	72
4.2	Ondulação relativa de corrente e tensão sobre os componentes passivos $L1$, $L2$, $C0$, $C1$ e $C2$	73
4.3	Parâmetros de corrente sobre os componentes passivos $L1$, $L2$ e $C1$	73
4.4	Componentes passivos calculados $L1$, $L2$, $C0$, $C1$ e $C2$	73
4.5	Componentes passivos comerciais: $L1$, $L2$, $C0$, $C1$ e $C2$	74
4.6	Componentes semicondutores: $Q1$ e $D1$	80
5.1	Especificações técnicas de conversor CC-CC Zeta projetado versus simulado	82
5.2	Comparação da tensão de saída entre o modelo e o circuito dimensionado, razão cíclica e respectivo erro sobre o valor desejado igual à 15V	83
5.3	Parâmetros de operação conversor Zeta: razão cíclica e ganho	87
5.4	Razão cíclica para operação em eficiência mínima de 87% e ponto de máxima eficiência	93

Lista de Acrônimos

δ	Fator de Ondulação
η	Eficiência
Av	Ganho de Tensão
CA	Corrente Alternada
CC	Corrente Contínua
D	Razão Cíclica
EMI	Interferência Eletromagnética
EMI DM	Interferência Eletromagnética em Modo Diferencial
EODV	Tensão Mínima de Carga Útil
ESL	Indutância Equivalente em Série
ESR	Resistência Equivalente em Série
GaN-FET	Transistor de Efeito de Campo de Nitreto de Gálio
IGBT	Transistores Bipolares de Porta Isolada
K	Ondulação Máxima Relativa
Li-Po	Polímero de Lítio
Li-Ion	Íons de Lítio
MCC	Modo de Condução Contínuo
MCD	Modo de Condução Descontínuo
MLCC	Capacitor Cerâmico de Multi-Camadas
MPV	Tensão à Meia-Carga
PCI	Placa de Circuito Impresso
PWM	Modulação de Largura de Pulso
SCR	Retificador Controlado de Silício
SiC	Carbeto de Silício
SMD	Dispositivo de Montagem sobre Superfície
SOC	Estado de Carga
RMS	Valor Eficaz

Sumário

1	Introdução	29
1.1	Objetivos	30
1.2	Justificativa	31
1.3	Motivação	32
1.4	Organização do trabalho	32
2	Fundamentos Teóricos	33
2.1	Baterias	33
2.1.1	Princípios Básicos	33
2.1.2	Classificação	34
2.1.3	Estado de carga - SOC (<i>State of charge</i>)	35
2.1.4	Comparação entre tecnologias: Li-Íon e Ni-Cd	36
2.1.5	Considerações finais sobre o tópico: Baterias	37
2.2	Conversores CC-CC	38
2.2.1	Princípios básicos de um conversor CC-CC	38
2.2.2	Exemplos de aplicação	39
2.2.3	Escolha da topologia de conversor CC-CC	39
2.3	Conversores CC-CC Abaixadores-Elevadores	40
2.3.1	Topologias Ćuk , SEPIC e Zeta	41
2.3.2	Considerações finais sobre o tópico: Conversores CC-CC	45
3	Materiais e Métodos	47
3.1	Metodologia para modelagem do conversor CC-CC	47
3.1.1	Metodologia de cálculo	47
3.2	Inclusão de perdas no circuito	48
3.2.1	Análise das perdas intrínsecas	48

3.2.2	Chaves	49
3.2.3	Indutores	49
3.2.4	Fonte	49
3.2.5	Carga	49
3.3	Conversor Zeta	49
3.3.1	Conversor Zeta – <i>chave fechada</i>	50
3.3.2	Conversor Zeta – <i>chave aberta</i>	51
3.3.3	Formas de onda	52
3.3.4	Modo de condução contínua e descontínua	54
3.4	Linearização	55
3.5	Modelagem em Espaço de Estados	57
3.5.1	Matrizes do espaço de estados	59
3.5.2	Modelo médio e análise estática	60
3.5.3	Ganho de tensão estático do conversor	60
3.6	Equacionamento de componentes	61
3.6.1	Ondulação de corrente e tensão	62
3.6.2	Fator de ondulação	62
3.7	Dispositivos armazenadores de energia	63
3.7.1	Dimensionamento de indutores	63
3.7.2	Dimensionamento de capacitores	65
3.7.3	Dimensionamento dos componentes semicondutores - <i>Chaves</i>	67
4	Projeto de conversor Zeta	71
4.1	Dimensionamento de componentes	71
4.2	Considerações sobre capacitores	74
4.2.1	ESR, material e frequência de operação	74
4.2.2	Encapsulamento e consequências do efeito piezoelétrico	75
4.2.3	Capacitores de cerâmica de múltiplas camadas (MLCC)	75
4.2.4	Capacitores MLCC de baixo ESL (Indutância equivalente em série)	78
4.2.5	Capacitores <i>Feedthru</i>	78
4.2.6	Capacitores Eletrolíticos	78
4.2.7	Considerações sobre indutores	79
4.2.8	Indutores de potência blindados	79

5	Resultados	81
5.1	Especificações técnicas	82
5.2	Formas de onda	83
5.2.1	Tensão de saída e cálculo da razão cíclica	83
5.3	Análise do modelo dinâmico	84
5.4	Análise de ganho do conversor Zeta	85
5.5	Análise do efeito das perdas sobre o ganho de tensão do conversor Zeta . . .	88
5.5.1	Perdas intrínsecas da fonte R_G	89
5.5.2	Perdas intrínsecas dos indutores R_{L1} e R_{L2}	90
5.6	Análise de eficiência do conversor Zeta	91
5.7	Análise do efeito das perdas sobre a eficiência do conversor Zeta	93
5.7.1	Efeito das perdas intrínsecas da fonte R_G	94
5.7.2	Efeito das perdas intrínsecas dos indutores R_{L1} e R_{L2}	95
6	Conclusões	99
A	Circuitos utilizados para simulação em LTSpice	107
B	Respostas ao degrau do modelo em MATLAB	111
C	Respostas ao degrau do modelo em LTSpice	115
D	Formas de onda do circuito simulado em LTSpice	119

Capítulo 1

Introdução

A revolução da engenharia eletrônica iniciou-se em dezembro de 1947 com a invenção do transistor de contato por *John Bardeen e Walter Brattain*, seguida pela descoberta do transistor de junção por *William Shockley* nos laboratórios da companhia *Bell*. Após ser anunciado ao público em 1948, o transistor contornou diversos pontos negativos dos dispositivos valvulados retificadores e amplificadores utilizados até então; apresentando maior tempo de vida útil, robustez, menor peso e tamanho [1] [2].

Assim, desde a comercialização e popularização do transistor, em meados da década de 50, a eletrônica analógica se desenvolveu exponencialmente, abrindo espaço para o aprimoramento de novas tecnologias que permitiram o desenvolvimento de dispositivos eletrônicos cada vez mais sofisticados [3]. No final dos anos 50, consolidou-se o início da era da eletrônica de potência *solid-state* com a introdução dos tiristores ou SCR(*Silicon-Controlled Rectifier*) na indústria eletrônica pela companhia *General Electric*.

A utilização dos SCR permitiu avanços em relação ao funcionamento dos circuitos, como: obtenção de maiores níveis de potência, maior eficiência e redução do tamanho dos equipamentos eletrônicos. Esses fatores viabilizaram e consolidaram a eletrônica de potência na indústria em diversas aplicações envolvendo altos níveis de potência [1] [2]. Além de incentivar pesquisas e desenvolvimento na área.

Desde meados dos anos 70, a tecnologia de semicondutores foi profundamente explorada e estudada, abrindo espaço a dispositivos semicondutores mais modernos: MOSFET, GaN-FET, IGBT e SiC. [4] Uma vez que no campo da eletrônica de potência, o fator crucial para o processamento de energia elétrica, é o chaveamento controlado de dispositivos semicondutores eficientes.

Em geral, um dispositivo chaveado possui três terminais de interesse: entrada de uma

fonte (potência de entrada), saída para uma carga (potência de saída) e entrada de um sinal de controle do chaveamento. Dentre as características de conversão pode-se citar basicamente quatro possibilidades entre entrada e saída a seus respectivos circuitos: CC-CC (conversor), AC-CC (retificador), CC-AC (inversor) e AC-AC (ciclo-conversor) [5].

Esses circuitos compõem estágios de fontes de alimentação de outros dispositivos eletrônicos, como exemplo, computadores e notebooks, caixas de som portáteis, celulares, reatores de lâmpadas fluorescentes, sistemas de geração distribuída, dentre inúmeras outras aplicações. Portanto, sabendo-se, a priori, que em situação real existem perturbações nas fontes devido à diversos fatores externos, é imprescindível realizar um controle da razão cíclica de acionamento das chaves [5].

A consequência de um sistema eletrônico de potência eficiente que trabalha em um nível de temperatura admissível sem a necessidade de dissipadores pesados é a possibilidade da produção de um circuito de alta densidade de componentes na placa de circuito impresso (PCI), reduzindo o tamanho físico final do circuito, o peso e o custo de produção.

Portanto, o aumento da eficiência e a redução de custos de produção dos dispositivos eletrônicos de potência são alguns dos desafios desta área da engenharia elétrica, sendo a análise de perdas em um circuito chaveado essencial para determinar as vantagens e desvantagens de determinada topologia, assim como investigar as regiões de operação que maximizam a eficiência do conversor.

1.1 Objetivos

O trabalho apresentado neste documento busca avaliar o efeito das perdas significativas dos componentes de um conversor CC-CC de topologia Zeta sobre o ganho e eficiência do mesmo, utilizando-se uma bateria como fonte de entrada. O ponto ótimo de operação em relação à tensão de saída do conversor será discutido e um conversor projetado conforme o equacionamento e modelagem respectiva, de forma a fornecer um material e metodologia para projeto de conversores CC-CC Zeta.

A metodologia seguida para alcançar o objetivo geral desse trabalho é apresentada, conforme os seguintes tópicos específicos.

1. Revisão bibliográfica sobre o tema proposto: eletrônica de potência, conversores CC-CC, fontes alternativas de energia e baterias;
2. Estudo de conversores CC-CC de topologia buck-boost: Ćuk, SEPIC e Zeta;
3. Equacionamento e modelagem do circuito considerando-se as perdas intrínsecas dos componentes;
4. Determinação da planta do conversor Zeta em espaço de estado e linearização do sistema chaveado;
5. Equacionamento do ganho estático de um conversor CC-CC Zeta;
6. Projeto e dimensionamento dos elementos passivos (capacitores e indutores) e semicondutores;
7. Análise estática das variáveis de interesse e levantamento das especificações técnicas do conversor projetado;
8. Simulação e comparação de resultados com o modelo matematicamente calculado;
9. Comparação e análise do impacto das perdas em relação ao ganho e eficiência do conversor Zeta projetado;

1.2 Justificativa

O conversor de topologia Zeta é um sistema de quarta ordem (desconsiderando o capacitor de entrada) e, ao se considerar as perdas intrínsecas dos componentes, tem-se um sistema de equações complexo, possibilitando que as equações de ganho sejam expressas de maneira próxima ao comportamento do circuito real. Após vasta pesquisa bibliográfica, notou-se que o equacionamento e análise de conversores em que as perdas são consideradas não é tão abordada na literatura, tampouco em relação à topologia em questão.

Esse equacionamento permitiu analisar as influências das perdas nos parâmetros de interesse do conversor: ganho máximo, eficiência mínima, máxima ondulação de corrente e tensão sobre os pontos de interesse de operação e carga mínima admissível na saída do circuito; essenciais ao projeto do mesmo.

Estas informações possuem grande valor para a indústria, pois, validam e indicam se o

conversor operará de maneira adequada, respeitando-se as condições de contorno do projeto.

Sendo assim, as vantagens e desvantagens frente ao circuito foram levantadas, podendo servir de base para outros projetos envolvendo conversores da topologia Zeta, que é abordada neste trabalho.

1.3 Motivação

São encontrados dois casos que mostram, a proposta de se realizar análise do impacto das perdas de um regulador de tensão chaveado em que se utiliza baterias como fonte de alimentação: projeto de uma fonte regulada de um sistema de áudio portátil e projeto de uma fonte regulada de alta eficiência de um robô de pequeno porte.

Este trabalho possui caráter investigatório, ou seja, é desejável analisar as influências das perdas intrínsecas dos componentes ao ganho e eficiência do conversor CC-CC Zeta. Já que em situação real os componentes possuem resistências intrínsecas, entende-se que essas perdas influenciam na operação desejada em comparação com a situação ideal.

Por fim, este trabalho possui alta relevância no que se diz respeito à fabricação industrial do circuito projetado em que foi possível consolidar o aprendizado da metodologia de cálculo, projeto e análise completa de um circuito chaveado, abordando as áreas da engenharia elétrica como a eletrônica de potência e sistemas dinâmicos.

1.4 Organização do trabalho

Esta monografia encontra-se estruturada em 5 capítulos: Introdução, Fundamentos Teóricos, Materiais e Métodos, Resultados e Conclusão. O primeiro capítulo sintetiza o trabalho desenvolvido e apresenta ao leitor a proposta do projeto de conclusão de curso. O segundo capítulo contém os principais conceitos teóricos sobre os temas abordados. O terceiro capítulo descreve a metodologia adotada, em que todo equacionamento e modelagem matemática é apresentada, assim como as técnicas utilizadas para a sua realização. O quarto capítulo apresenta os resultados obtidos e as respectivas análises, interpretadas no último capítulo, o de Conclusão.

Capítulo 2

Fundamentos Teóricos

2.1 Baterias

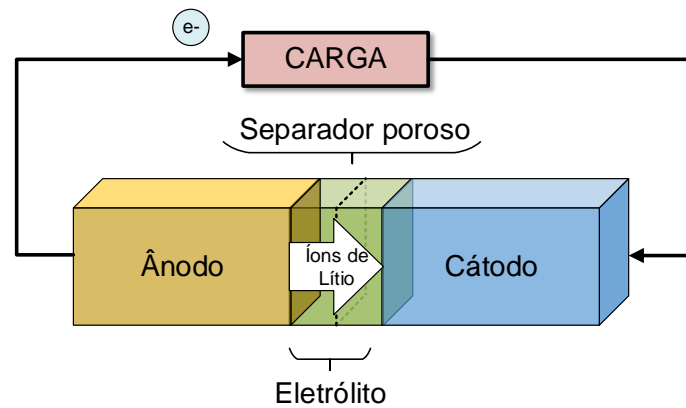
2.1.1 Princípios Básicos

Baterias são dispositivos armazenadores de energia cuja tecnologia teve início por volta de 1789, por Luigi Galvani e Alessandro Volta, que notaram uma atividade muscular na perna de um sapo quando entrava em contato com dois metais diferentes [6]. Em torno de 1800, Volta construiu um protótipo de uma bateria, sendo o primeiro método para se armazenar energia elétrica de maneira prática. A sua construção era bastante simples e consistia de discos de cobre e zinco sobrepostos em solução iônica. Ocasionalmente, o processo de eletrólise foi descoberto dando início à eletroquímica [6] [7]. Desde então, diversos processos foram desenvolvidos conforme o avanço da tecnologia.

O princípio básico de operação de uma bateria consiste em reações químicas de oxidação e redução, em que descargas eletroquímicas possibilitam a conversão de energia química em energia elétrica [8].

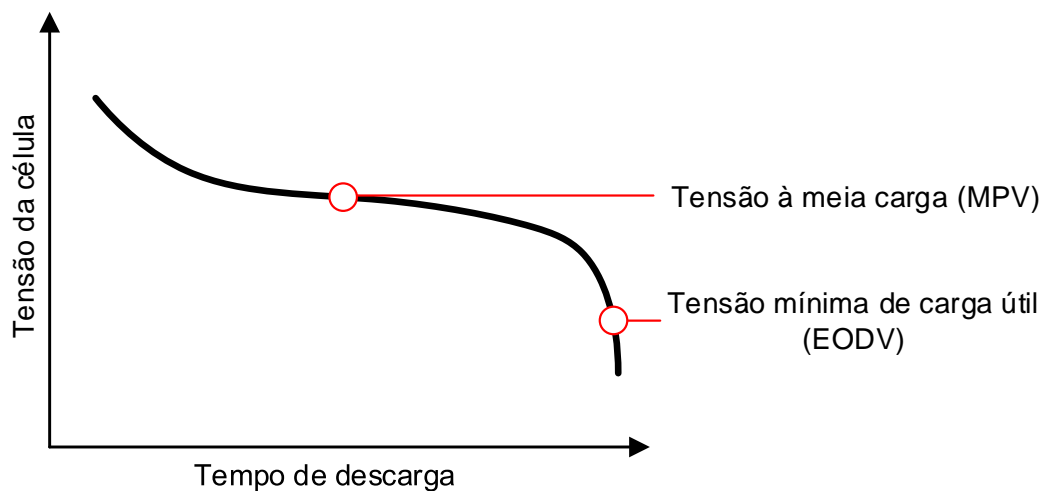
As baterias são compostas basicamente por 4 componentes: eletrodo positivo (ânodo), eletrodo negativo (cátodo), separador poroso e solução iônica (eletrólito), conforme Figura 2.1.

Figura 2.1: Ilustração de um modelo de célula Li-Íon.



A Figura 2.2 ilustra o comportamento da tensão dos terminais em função da descarga de uma célula [9]. Dois pontos de interesse importantes a serem mencionados são: tensão à meia carga (MPV) e tensão mínima ou limite de carga útil (EODV). A tensão da célula quando está no ponto MPV, é igual à tensão nominal, enquanto que a tensão em ponto EODV é a limite para que a célula não seja danificada permanentemente.

Figura 2.2: Curva de descarga genérica de baterias e pontos de interesse: MPV, EODV.



2.1.2 Classificação

As células podem ser divididas em duas categorias: primárias e secundárias. As primárias são aquelas em que não é possível realizar a recarga da célula e devem ser descartadas após o fim de sua carga armazenada. As secundárias são as células recarregáveis, em que a recarga é realizada via métodos específicos para cada tecnologia [8]. Existem células de diversos tipos

e diferentes materiais como zinco-carbono, manganês alcalino, óxido de prata, lítio, Hidreto de níquel metálico, níquel-cádmio, íons de lítio, polímero de lítio, dentre outras [7].

Portanto, para comparação das diferentes tecnologias de baterias, podem ser analisadas algumas características de cada uma, como: custo, ciclos de carga, auto descarga, tempo de carga, densidade de energia, tensão nominal da célula, efeito memória, temperatura de operação, peso e vida útil. A tabela 2.1 apresenta uma comparação entre as características principais de algumas dessas baterias [10].

Tabela 2.1: Características de baterias de chumbo ácido, Ni-Cd, Ni-MH e Li-Íon

Material	<i>Chumbo-ácido</i>	<i>Ni-Cd</i>	<i>Ni-MH</i>	<i>Li-Íon</i>
Tensão nominal (V)	2,0	1,2	1,2	3,4
Densidade de energia (Wh/Kg)	35	41	80	120
Ciclos	200	250	400 ~ 500	400 ~ 600
Custo inicial	Baixo	Médio	Médio	Baixo
Custo a longo prazo	Alto	Médio	Médio	Baixo
Efeito memória	Sim	Sim	Pouco	Não
Tempo de carga	Longo	Médio	Curto	Curto
Peso	Pesada	Leve	Leve	Muito leve

Fonte: dados obtidos de [10].

2.1.3 Estado de carga - SOC (*State of charge*)

Um outro parâmetro importante na análise de baterias é o SOC (estado de carga, do inglês: "*state of charge*") que avalia a quantidade de carga em uma célula. Esse parâmetro possibilita a realização de controle e gerenciamento do processo de carga e descarga, evitando sobrecargas ao dispositivo. [10].

Uma das maneiras de se avaliar o SOC iterativo de uma bateria é através da realização de um método misto que mede a tensão entre os terminais em circuito aberto, em conjunto com um método de integração de corrente, respeitando-se o tempo de descanso necessário para que estas medições sejam realizadas quando a célula estiver em equilíbrio químico interno [10]. Este método pode ser resumido pela equação 2.1.

$$SOC(t) = \frac{Q(t_0) + \int_{t_0}^t \alpha_{carga} \cdot i(\tau) d\tau}{Q_{m\acute{a}x}} \quad (2.1)$$

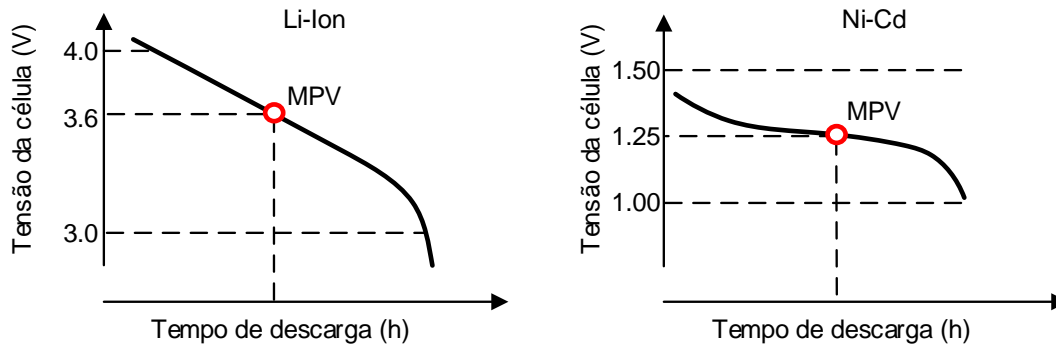
Existem outros métodos, como por exemplo, estimar o SOC a partir da medição da acidez do eletrólito. No entanto, uma vez que as células são lacradas, torna-se inviável a utilização deste último método [10].

2.1.4 Comparação entre tecnologias: Li-Íon e Ni-Cd

As baterias Li-Íon, dentre os dispositivos secundários, são os que possuem a tecnologia que possui a maior densidade de energia volumétrica, da ordem de duas a três vezes em relação as baterias de Ni-Cd. Também possuem tensão nominal por célula da ordem de 3,4 à 3,7V, que é um valor alto comparado à célula de Ni-Cd, que apresenta valores em torno de 1,25V. Essas características permitem aplicações em que é necessária apenas uma célula Li-Íon para alimentação do circuito, visto que há uma vasta gama de microprocessadores que requerem somente 3,3V entre os terminais de alimentação [9].

No entanto, uma desvantagem das baterias de Li-Íon em relação às Ni-Cd é o comportamento de descarga. Pode-se verificar, que a Ni-Cd possui uma curva mais nivelada em comparação à Li-Íon, conforme a Figura 2.3. Ou seja, a tensão entre os terminais da bateria de Ni-Cd possui menor variação relativa ao seu valor nominal durante o processo de descarga, em comparação com a bateria Li-Íon.

Figura 2.3: Curvas de descarga de baterias Li-Íon e Ni-Cd/Ni-MH

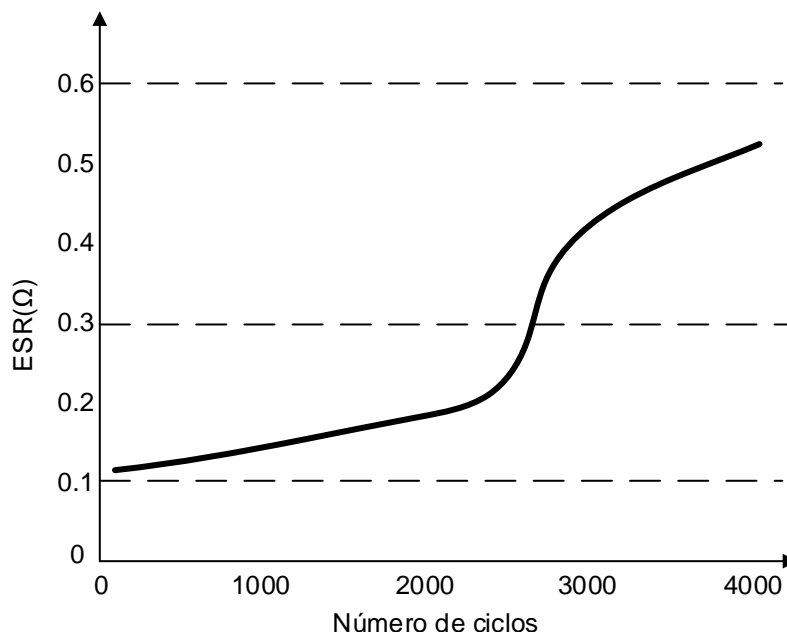


Fonte: imagem adaptada de [9].

A resistência interna equivalente (ESR) de uma bateria de Ni-Cd é da ordem de $100m\Omega$, menor que a de uma bateria de Li-Íon, que varia em torno de $120m\Omega$ à $600m\Omega$ [11] [12],

conforme a Figura 2.4.

Figura 2.4: Variação da ESR de uma célula Li-Po conforme número de ciclos de descarga em 50% da capacidade nominal



Fonte: imagem adaptada de [11].

2.1.5 Considerações finais sobre o tópico: Baterias

A partir do funcionamento básico das baterias mencionado neste tópico, nota-se notar que a tensão dos terminais da célula é proporcional à carga. A Figura 2.2 mostra esta propriedade.

Em uma bateria de Li-Íon pode ser realizado um controle e observação da tensão mínima e máxima dentre os terminais conforme especificações do fabricante. Então, existem três pontos de grande importância: tensão máxima, tensão mínima e tensão nominal. O valor de tensão mínima admissível por célula é de 2,9 V e a máxima em torno de 4,2 V [13].

Mesmo não havendo o efeito de memória sobre as células das baterias de Li-Íon, o limite de tensão mínima (EODV) deve ser respeitado, relativo à região inferior ao joelho de tensão do gráfico ilustrado pela Figura 2.2. Para baterias de Li-Íon, tensões abaixo de 2,5V podem causar danos permanentes às células.

Também é necessário atentar ao fato de que o valor do ESR de uma bateria se altera conforme o número de ciclos de recarga. A Figura 2.4 ilustra o comportamento desta variação para uma bateria comercial: *Kokam 1500 mAh superior lithium performance batteries (SLPB) series SLB 603870H*, adaptada de [11].

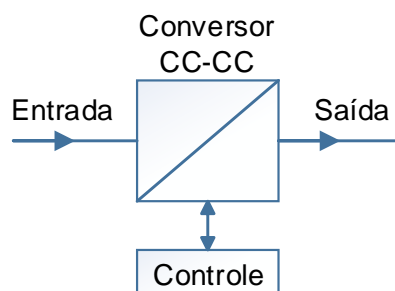
Então, após análise da tabela 2.1, foi definido que para este trabalho, as baterias mais indicadas são de Li-Íon, ou Li-Po, pois, possuem a maior densidade de energia armazenada, peso reduzido, baixo custo a longo prazo, maior vida útil (em relação à quantidade de ciclos de recarga) e não possuem efeito memória significativo, em comparação com as outras baterias secundárias.

2.2 Conversores CC-CC

2.2.1 Princípios básicos de um conversor CC-CC

Os conversores CC-CC, são dispositivos chaveados de alta eficiência, que possuem três terminais de interesse, conforme a Figura 2.5 , entrada e saída de potência e entrada de um sinal de controle [5].

Figura 2.5: Diagrama em blocos de conversor CC-CC unidirecional e terminais de interesse



Entre os objetivos de projeto de um conversor CC-CC, é desejável obter a máxima densidade de potência possível, ou seja, tamanho e peso reduzidos, e alta eficiência. Essa é uma maneira de se comparar topologias de conversores chaveados, justificando-se a utilização de determinada topologia em relação à outra [5].

Além da eficiência, também é possível validar determinada topologia com a determinação de um ganho de tensão estático. No entanto, deve-se ater ao fato de que ganho e eficiência estão relacionados entre si.

Assim, na análise de um conversor deve ser considerado tanto o ganho quanto a eficiência do circuito. Consequentemente, o que permite tal análise é verificar o impacto das perdas intrínsecas dos componentes do circuito em uma determinada topologia.

2.2.2 Exemplos de aplicação

Existe uma vasta gama de aplicações para sistemas chaveados: conversores, inversores e retificadores, sendo que geralmente são utilizados em conjunto.

Logo, dentre as diversas situações em que a eletrônica de potência chaveada é essencial ao funcionamento das respectivas tecnologias, pode ser citado: a conversão de energia obtida via fontes alternativas de energia, o condicionamento e processamento de energia em carros elétricos, reatores de lâmpadas fluorescentes, carregadores de baterias e fontes de computadores, reguladores de tensão eficientes, pré-reguladores de fator de potência, inversores e sincronismo de geradores primários com a rede, dentre outros.

2.2.3 Escolha da topologia de conversor CC-CC

Existem diversas topologias de conversores CC-CC, mas a caracterização do circuito é determinada por vários fatores: ganho de tensão ou corrente, isolamento, estados de operação, modo de condução e direção do fluxo de energia.

Relacionado ao ganho, é possível caracterizar os conversores como elevadores (*Boost*), abaixadores (*Buck*) e abaixadores-elevadores de tensão (*Buck-Boost*). Em relação à isolamento, os circuitos podem ser, ou não, isolados galvanicamente através da utilização de transformadores ou indutores acoplados em sua construção. A quantidade de estados de um conversor é determinada pela quantidade de braços e conjuntos de chaves. Sendo que a operação do circuito pode ocorrer em dois modos: condução contínua ou descontínua. Por fim, a direção do fluxo de potência pode ser caracterizada como unidirecional ou bidirecional.

Com base nesses atributos, pode-se classificar um conversor CC-CC de maneira adequada, frente a uma situação específica.

Para o problema proposto neste trabalho, é desejada a obtenção de um valor de tensão na saída do conversor igual ao valor de tensão nominal da bateria, uma vez que as células internas da bateria possuem uma variação da tensão em seus terminais em torno de um valor nominal, proporcional à carga armazenada. É necessário que o conversor seja flexível e forneça um ganho de tensão estático maior, menor ou igual a unidade.

Portanto, a relação de ganho A_v é definida como a tensão de saída do conversor ($V_{saída}$) e a tensão terminal da bateria ($V_{bateria}$), conforme mostrado em 2.2.

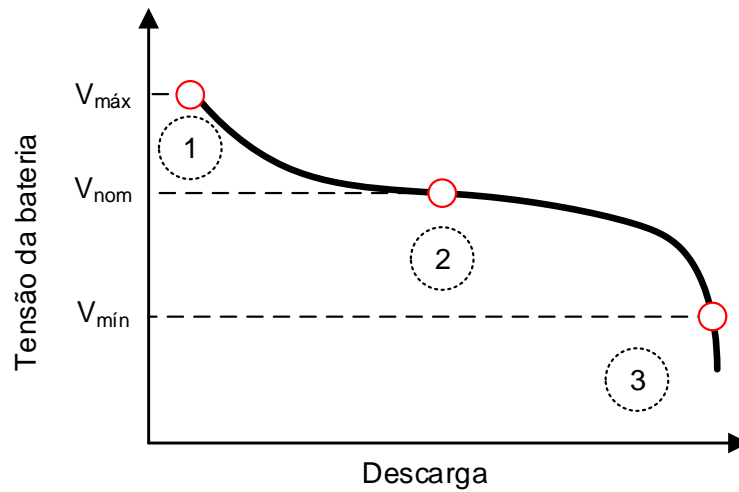
$$A_v = \frac{V_{saída}}{V_{bateria}} \left[\frac{V}{V} \right] \quad (2.2)$$

Nesse caso, existem três situações de funcionamento de interesse:

1. Bateria totalmente carregada, com nível de tensão maior que o valor nominal.
2. Bateria ainda com carga, com nível de tensão próximo ao valor nominal.
3. Bateria com pouca carga, com nível de tensão menor que o valor nominal.

A Figura 2.6 mostra exatamente essas regiões e as respectivas tensões de interesse: máxima ($V_{m\acute{a}x}$), nominal (V_{nom}) e mínima ($V_{m\acute{i}n}$).

Figura 2.6: Regiões de interesse e limites de operação em relação à tensão da bateria



A tabela 2.2 relaciona o ganho de tensão do conversor com a carga armazenada na bateria, uma vez que a tensão de entrada do circuito (tensão da bateria) é proporcional à carga da célula.

Tabela 2.2: Ganho do conversor em relação à carga armazenada na célula

Carga da bateria	Ganho do conversor
Alta	< 1
Média	≈ 1
Baixa	> 1

2.3 Conversores CC-CC Abaixadores-Elevadores

Esta seção apresenta uma introdução a algumas topologias de conversores CC-CC, de forma a identificar quais arquiteturas são mais adequadas à regulação eficiente do nível de tensão de

baterias para alimentação de um circuito de baixa potência com baixa ondulação de tensão na saída.

2.3.1 Topologias Ćuk , SEPIC e Zeta

As três arquiteturas de conversores CC-CC são classificadas como abaixadoras-elevadoras de tensão. Embora se caracterizam de forma similar, cada topologia possui uma particularidade, sendo estas sintetizadas pela tabela 2.3.

Tabela 2.3: Características das topologias Ćuk, SEPIC e ZETA

Característica	Zeta	SEPIC	Ćuk
Corrente Entrada	Pulsada	Contínua	Contínua
Corrente Saída	Contínua	Pulsada	Contínua
Ganho de Tensão	$\frac{D}{1-D}$	$\frac{D}{1-D}$	$-\frac{D}{1-D}$
Classificação	<i>Buck-Boost</i>	<i>Buck-Boost</i>	<i>Buck-Boost</i>
Fluxo de Energia	Unidirecional	Unidirecional	Unidirecional

O conversor de topologia SEPIC possui uma corrente contínua na entrada do conversor. Portanto, a escolha deste conversor é indicada para aplicações envolvendo pré-regulação do fator de potência ou em que a distorção de corrente de entrada deve ser a mínima possível. A Figura 2.7 ilustra o conversor CC-CC de topologia SEPIC básico. [14] [15]

A topologia SEPIC pode ser classificada como *Buck-Boost*, pois, para razão cíclica maior que 0,5 o circuito se comporta como um elevador de tensão, enquanto que para valores menores que 0,5, o circuito se comporta como um abaixador de tensão. Este comportamento de ganho (Av_{SEPIC}) pode ser analisado conforme (2.3). O comportamento de ganho ideal é apresentado pela Figura 2.8.

$$Av_{SEPIC} = \frac{D}{1-D} \quad (2.3)$$

Figura 2.7: Conversor SEPIC não-isolado com capacitor tanque de entrada e perdas intrínsecas nos indutores e na fonte

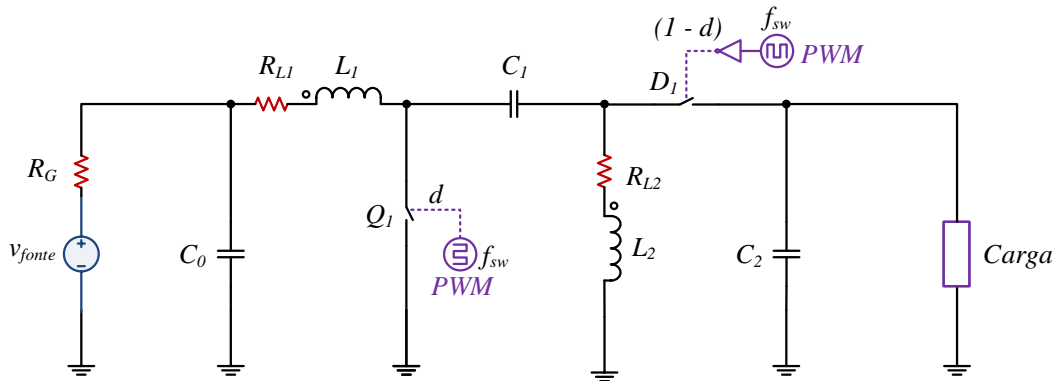
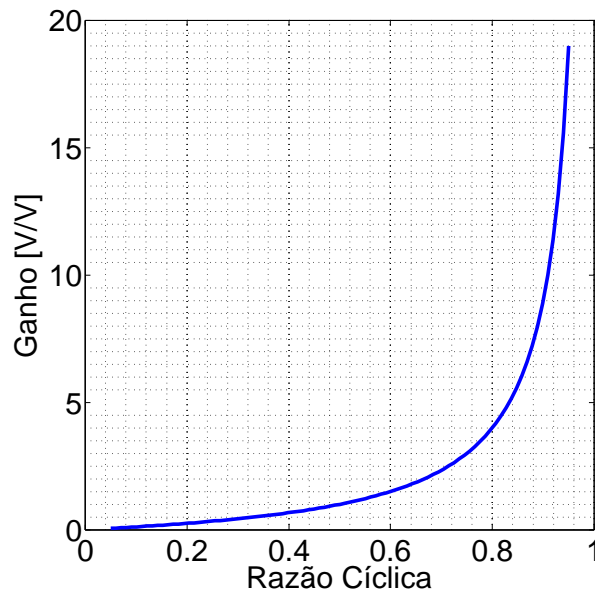


Figura 2.8: Ganho do conversor SEPIC não-isolado básico



O conversor Ćuk, também é um conversor CC-CC abaixador-elevador, porém a polaridade de tensão de saída é negativa em relação ao ponto de terra. Desta forma, sua aplicação é voltada para situações em que se deseja obter uma tensão negativa na saída do conversor e baixa distorção de corrente, tanto na entrada quanto na saída. A Figura 2.9 ilustra o conversor CC-CC de topologia Ćuk básico.

Este conversor também é classificado como *Buck-Boost* inversor de polaridade, pois, conforme a equação ideal de ganho de tensão em função da razão cíclica da largura de pulso, mostrada em (2.4), apresentada pela Figura 2.10, observa-se que há uma inversão de tensão.

$$Av_{\acute{C}uk} = -\frac{D}{1-D} \quad (2.4)$$

Figura 2.9: Conversor $\acute{C}uk$ não-isolado com capacitor tanque de entrada e perdas intrínsecas nos indutores e na fonte

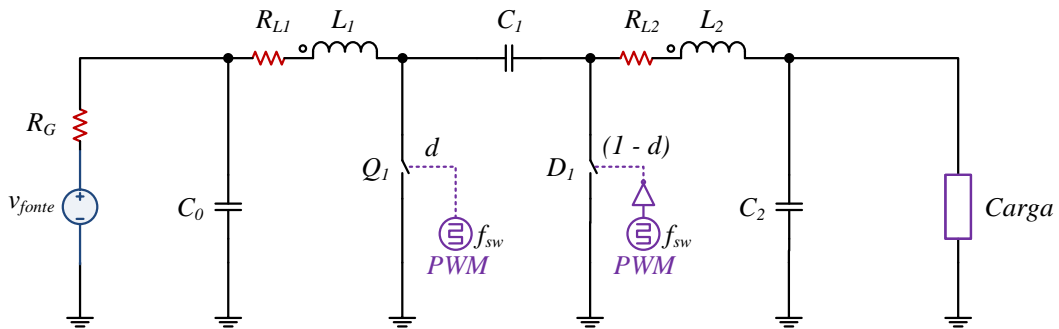
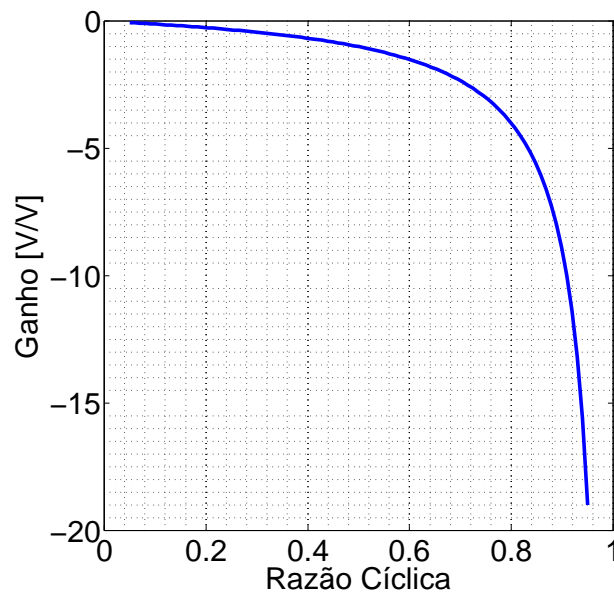


Figura 2.10: Ganho do conversor $\acute{C}uk$ não-isolado básico



A topologia Zeta é própria de um conversor CC-CC que fornece uma tensão de saída constante de baixa ondulação e polaridade positiva (em relação ao ponto de terra) a partir de uma tensão de entrada que varia em torno de um valor nominal que é desejado na saída [16] [17]. A Figura 2.11 ilustra a estrutura de um conversor Zeta básico não-isolado.

Figura 2.11: Conversor Zeta não-isolado com capacitor tanque de entrada e perdas intrínsecas nos indutores e na fonte

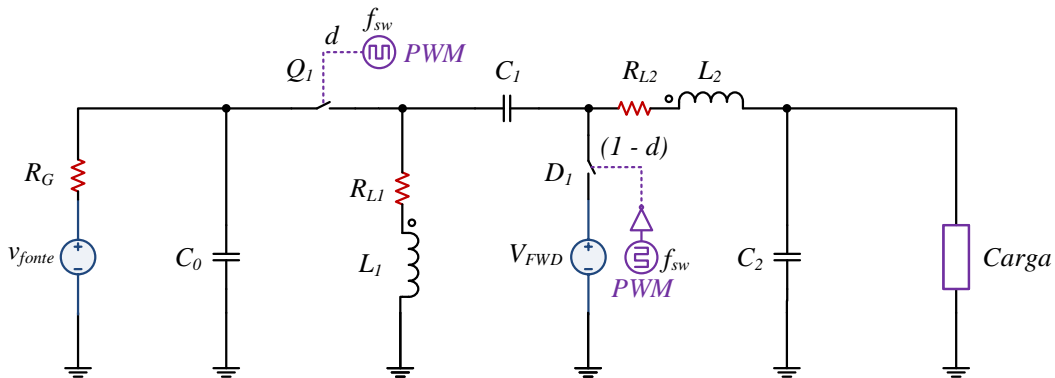
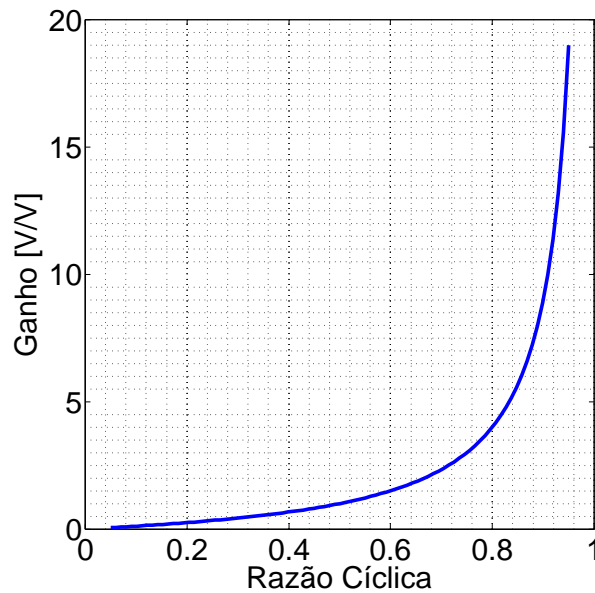


Figura 2.12: Ganho do conversor Zeta não-isolado básico



Este conversor é classificado como abaixador-elevador (*Buck-Boost*), conforme a equação ideal de ganho de tensão em função da razão cíclica da largura de pulso (D) [5] [18].

$$Av_{Zeta} = \frac{D}{1-D} \quad (2.5)$$

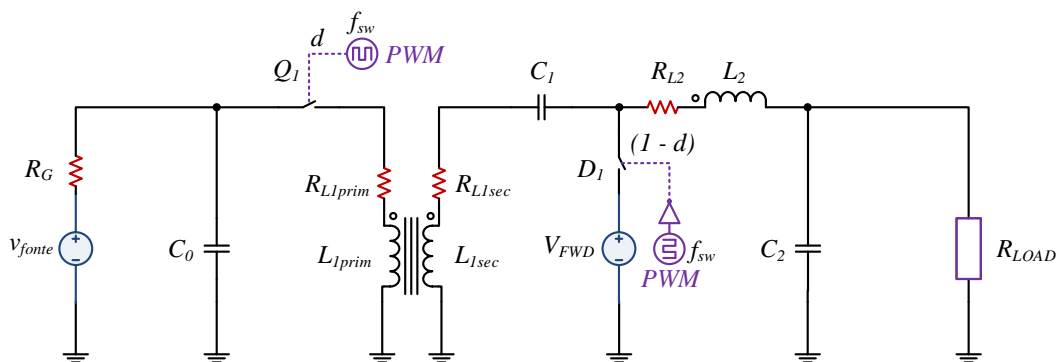
A Figura 2.12 ilustra a resposta ideal do ganho deste conversor, cuja topologia é composta por um estágio abaixador (*Buck*) conectado a um estágio elevador de tensão (*Boost*) por um capacitor flutuante.

Em relação à topologia básica, pode ser utilizado um capacitor tanque, sendo responsável por filtrar as componentes do chaveamento na entrada do circuito, amenizando o impacto da

transição entre estados: *ligado e desligado*, reduzindo a distorção sobre a fonte, uma vez que a corrente de entrada é pulsada. Enquanto que na saída, o capacitor tanque é o responsável por filtrar a ondulação de tensão na carga, devido ao chaveamento do conversor.

O elemento magnético do primeiro estágio (*Buck*) determina se o conversor é isolado ou não. Para conversores não-isolados, utilizam-se indutores como elementos magnéticos ou indutores acoplados (L_1 e L_2). Utilizar indutores acoplados é uma forma a reduzir o tamanho do circuito, e o custo [16]; além de reduzir-se também a ondulação de corrente sobre uma das indutâncias [15] [18]. Caso seja utilizado um transformador, ou um indutor acoplado apenas em L_1 , isola-se galvanicamente a entrada da saída, caracterizando o conversor como isolado. A Figura 2.13 ilustra um conversor CC-CC de topologia Zeta isolado.

Figura 2.13: Conversor Zeta isolado com capacitor tanque de entrada e perdas intrínsecas nos indutores e na fonte



Outra característica de sistemas chaveados é o modo de operação, podendo operar em dois modos: contínuo, ou descontínuo. Em modo de condução contínua, existem apenas dois estados de funcionamento: ligado e desligado.

A condução em modo descontínuo ocorre quando há um intervalo em que a corrente sobre as chaves é nula durante o ciclo de chaveamento [15] [17] [18].

Este conversor opera de maneira satisfatória tanto em modo contínuo como descontínuo, havendo vantagens e desvantagens para cada aplicação em particular. Este trabalho aborda apenas o modo de condução contínuo, então será dada ênfase apenas para esta situação.

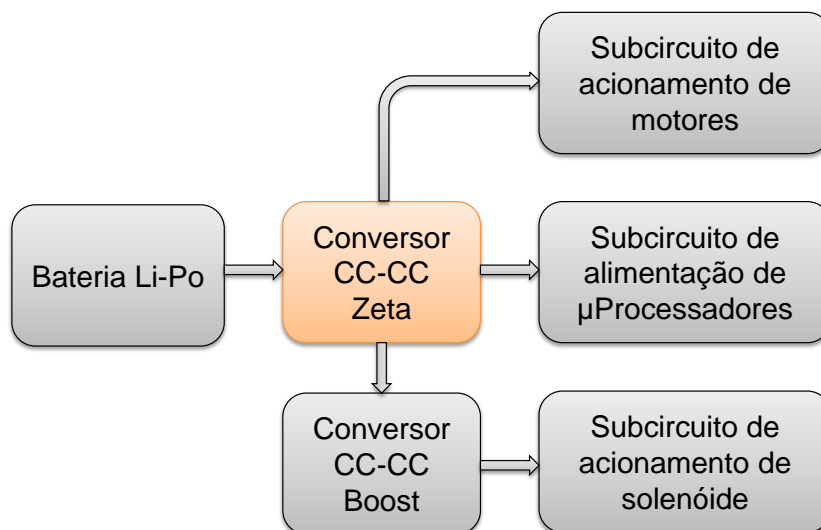
2.3.2 Considerações finais sobre o tópico: Conversores CC-CC

Os requisitos básicos de operação do conversor CC-CC são: abaixador-elevador de tensão, não inversor de polaridade, alta eficiência (maior que 85%) e potência mínima de 30W.

Como a fonte utilizada é uma bateria, a corrente na entrada deve possuir picos dentro das especificações da célula utilizada. Também deve-se mencionar que neste trabalho, a bidirecionalidade do fluxo de energia e a isolamento galvânica não são fatores cruciais ao circuito. Portanto, frente à motivação citada no tópico 1.3 e aos requisitos de operação, anteriormente mencionados, julgou-se atrativa a realização de uma análise investigatória do conversor de topologia Zeta para solução do problema proposto. Além de que, embora seja um conversor bem difundido pela literatura, a análise envolvendo as perdas intrínsecas não é tão explorada.

A Figura 2.14 ilustra a aplicação proposta, de forma que o conversor CC-CC de topologia Zeta é responsável por regular a tensão da bateria e fornecer uma tensão de alimentação com baixa ondulação para os subcircuitos acionadores de motores, de um solenóide e microprocessadores.

Figura 2.14: Diagrama de blocos referente à aplicação proposta



Capítulo 3

Materiais e Métodos

Nesta seção, serão apresentados os métodos utilizados para o desenvolvimento do conversor Zeta. Os materiais utilizados se resumem aos softwares: MATLAB e LTSpice.

3.1 Metodologia para modelagem do conversor CC-CC

Conversores CC-CC são caracterizados como sistemas dinâmicos devido à natureza das equações respectivas dos componentes passivos (indutores e capacitores) que compõem estes circuitos.

Portanto, pode-se modelar a planta do conversor em espaço de estados e encontrar as matrizes necessárias para realização do controle, análise de estabilidade, modelo médio e de pequenos sinais.

O modelo médio fornece a resposta da planta linearizada em regime permanente. Por outro lado, o modelo de pequenos sinais fornece a resposta do conversor frente à pequenas variações de suas entradas em torno de um ponto, cuja planta foi linearizada. Desta forma, é possível realizar a análise de estabilidade de maneira precisa para determinadas condições de operação [19].

3.1.1 Metodologia de cálculo

1. Inclusão das perdas no circuito Zeta;
2. Equacionamento do circuito segundo as leis de Kirchhoff;
 - Modo de condução contínua
 - Chave aberta.

– Chave fechada.

3. Representação em espaço de estados;

- Matrizes de interesse: **A**, **B**, **F**, **C**, **E** e **G**.
- Linearização do sistema;
- Obtenção da planta do conversor linearizado.

4. Obtenção da equação de ganho em função da razão cíclica;

5. Dimensionamento de componentes e projeto do conversor;

6. Levantamento das especificações técnicas, e limites de operação;

7. Simulações em LTSpice e MATLAB;

8. Comparações entre o modelo matematicamente calculado e o modelo simulado, e validação do projeto.

9. Análise do impacto das perdas parasitas sobre o ganho e eficiência do conversor;

3.2 Inclusão de perdas no circuito

A análise do circuito Zeta, neste trabalho, envolve a modelagem em que são consideradas as perdas em todos os indutores, fonte e diodo. Esta abordagem é importante para validação do real funcionamento do conversor, pois, considerando as resistências intrínsecas dos componentes é possível analisar de maneira precisa, como o ganho se comportará em uma situação real e qual será o impacto dessas perdas na eficiência do conversor. Estas duas análises permitem validar o circuito projetado conforme a escolha dos componentes comerciais.

3.2.1 Análise das perdas intrínsecas

Neste tópico, será explicada a maneira com que as perdas intrínsecas a cada componente foram consideradas.

Primeiramente, deve-se compreender que existe uma relação entre a frequência de chaveamento com as perdas parasitas nos componentes passivos e ativos; que por sua vez se relacionam com o ganho e eficiência do conversor.

Assim, mesmo havendo baixas resistências intrínsecas, e chaveamento em frequências menores, de até 40 kHz, as perdas na relação de ganho e eficiência do conversor são significativas ao comportamento do ganho e eficiência do projeto, conforme será detalhado posteriormente neste trabalho.

3.2.2 Chaves

O diodo Schottky foi modelado de forma simplificada com uma fonte de tensão devido à tensão entre a junção P-N do dispositivo em polarização direta (V_{FWD}) e uma chave ideal em série. Não foi considerada a corrente reversa (I_{REV}) que passa pelo diodo quando o mesmo está em polarização reversa.

3.2.3 Indutores

Os indutores possuem uma resistência intrínseca devido à sua construção, que consiste de um enrolamento de um fio condutor esmaltado (bobina) em torno de um núcleo de material magnético. Portanto, o modelo do indutor, neste trabalho, é simplesmente uma indutância em série com uma resistência.

3.2.4 Fonte

A fonte utilizada neste projeto é uma bateria Li-Po, portanto o modelo simplificado da bateria é representado por uma fonte de tensão em série com uma resistência.

3.2.5 Carga

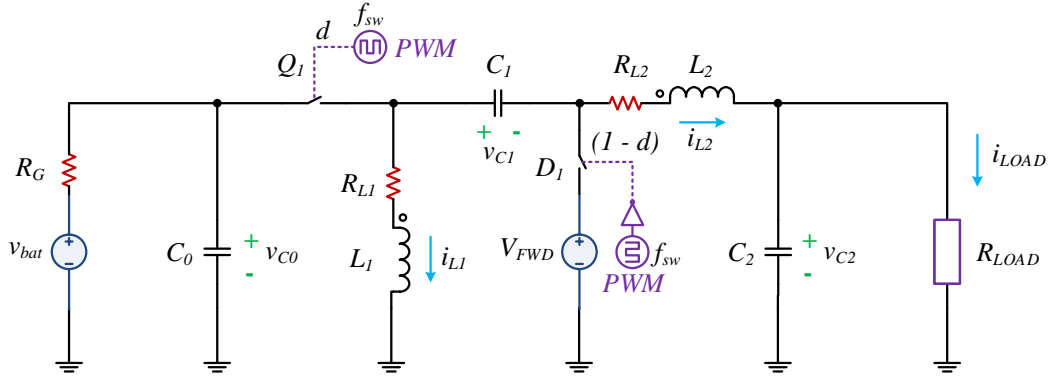
A carga utilizada em todos os cálculos e simulações foi uma resistência pura, de valor constante.

3.3 Conversor Zeta

Após a adição das perdas ao circuito ideal, o circuito modelado é ilustrado conforme a Figura 3.1.

O conversor possui apenas um braço e opera em modo de condução contínua (MCC), possuindo somente dois estados. Quando a chave controlada conduz (fechada) e quando não conduz (aberta), podendo também referir-se como: ligado e desligado, respectivamente.

Figura 3.1: Circuito Zeta utilizado como modelo e convenções de sinal adotadas na modelagem



Portanto, cada estado é ativado conforme a polarização e excitação da chave controlada por um sinal de PWM (*Pulse Width Modulation*). Assim, a largura de pulso é modulada de forma a alterar o tempo em que cada estado é ativado.

A relação entre o período total do sinal de PWM (T_{ch}), e o período em que a chave está fechada (T_{on}) é chamada de razão cíclica (D), conforme mostrado em 3.1.

$$D = \frac{T_{on}}{T_{ch}} \quad (3.1)$$

Logo, associam-se os estados à razão cíclica conforme a Tabela 3.1.

Tabela 3.1: Estados de operação das chaves e a razão cíclica respectiva

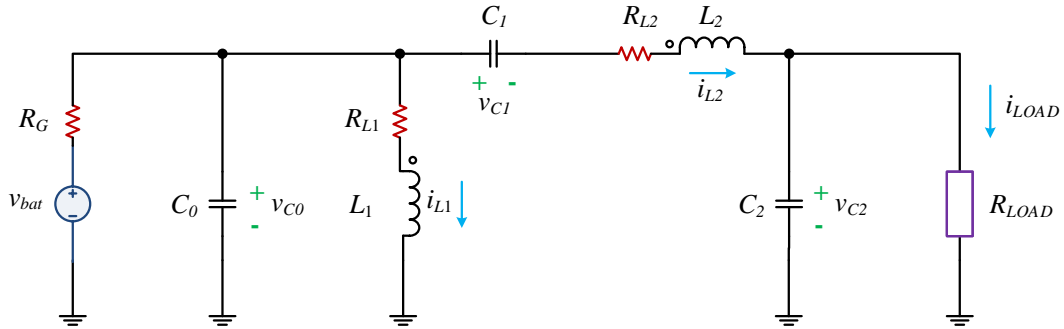
Situação	Chave Q1	Chave D1	Estado	Razão Cíclica
1	Fechada	Aberta	Ligado	D
2	Aberta	Fechada	Desligado	$1 - D$

3.3.1 Conversor Zeta – chave fechada

Na análise do funcionamento do conversor Zeta, supõe-se que a chave controlada esteja fechada. A energia da fonte é armazenada nos indutores L_1 , L_2 , e no capacitor de acoplamento C_1 [16] [17].

Aplicando-se a lei de Kirchhoff das tensões sobre as malhas componentes do circuito equivalente, podem-se obter as equações das tensões dos indutores L_1 e L_2 . Analogamente, utilizando-se das leis de Kirchhoff das correntes, através dos nós do circuito equivalente, é possível obter as equações dos capacitores C_0 , C_1 e C_2 .

Figura 3.2: Circuito Zeta com a chave controlada fechada



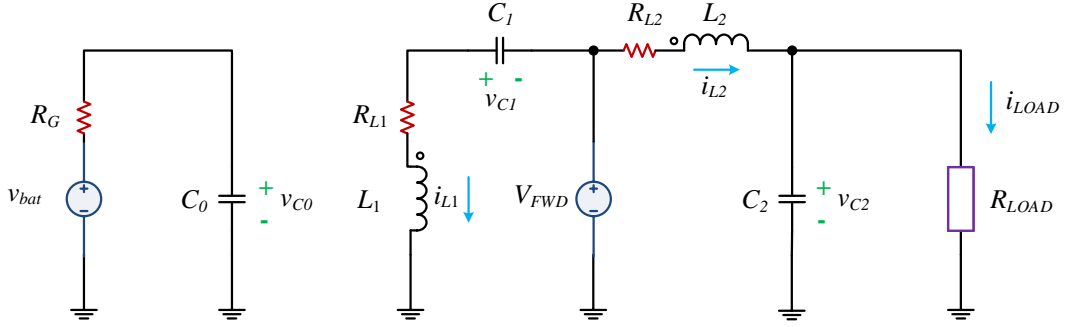
$$\left\{ \begin{array}{l} v_{L1} = v_{C0} - R_{L1} \cdot i_{L1} \\ v_{L2} = v_{C0} - v_{C1} - v_{C2} - R_{L2} \cdot i_{L2} \\ i_{C0} = -\frac{v_{C0} - v_{bat} + R_G \cdot (i_{L1} + i_{L2})}{R_G} \\ i_{C1} = i_{L2} \\ i_{C2} = i_{L2} - i_{RLOAD} \\ v_{Q1} = 0 \\ i_{Q1} = i_{L1} + i_{L2} \\ v_{D1} = v_{C0} - v_{C1} - R_{L1} \cdot i_{L1} \\ i_{D1} = 0 \end{array} \right. \quad (3.2)$$

3.3.2 Conversor Zeta – chave aberta

No próximo estado do conversor Zeta, considera-se a chave aberta. A energia da fonte é armazenada no capacitor C_0 e a energia armazenada no capacitor de acoplamento C_1 é descarregada em L_1 , de forma que o sentido do fluxo de corrente pelo dispositivo se mantenha, causando uma inversão da tensão sobre C_1 . A chave D_2 fecha e possibilita que a corrente sobre L_2 também mantenha o fluxo em direção à carga [16] [17].

Pelas leis de Kirchhoff, realizando-se procedimento análogo ao tópico anterior, o circuito pôde ter sido equacionado. O sistema de equações é representado em 3.3.

Figura 3.3: Circuito Zeta com a chave controlada aberta



$$\left\{ \begin{array}{l} v_{L1} = v_{C1} - V_{FWD} - R_{L1} \cdot i_{L1} \\ v_{L2} = -V_{FWD} - v_{C2} - R_{L2} \cdot i_{L2} \\ i_{C0} = -\frac{v_{C0} - v_{bat}}{R_G} \\ i_{C1} = -i_{L1} \\ i_{C2} = -\frac{v_{C2} - R_{LOAD} \cdot i_{L2}}{R_{LOAD}} \\ v_{Q1} = V_{FWD} - v_{C1} + v_{bat} + R_{L1} \cdot i_{L1} \\ i_{Q1} = 0 \\ v_{D1} = V_{FWD} \\ i_{D1} = i_{L1} + i_{L2} \end{array} \right. \quad (3.3)$$

3.3.3 Formas de onda

Portanto, com base nas equações do circuito apresentadas em 3.2 e 3.3, é possível levantar todas as formas de onda sobre todos os componentes do circuito apresentadas nas Figuras 3.4 e 3.5. Essas formas de onda são importantes para o entendimento do modo de operação em questão e essenciais para realizar o cálculo dos valores dos componentes do circuito.

Figura 3.4: Formas de onda de corrente e tensão sobre os indutores, transistor e diodo

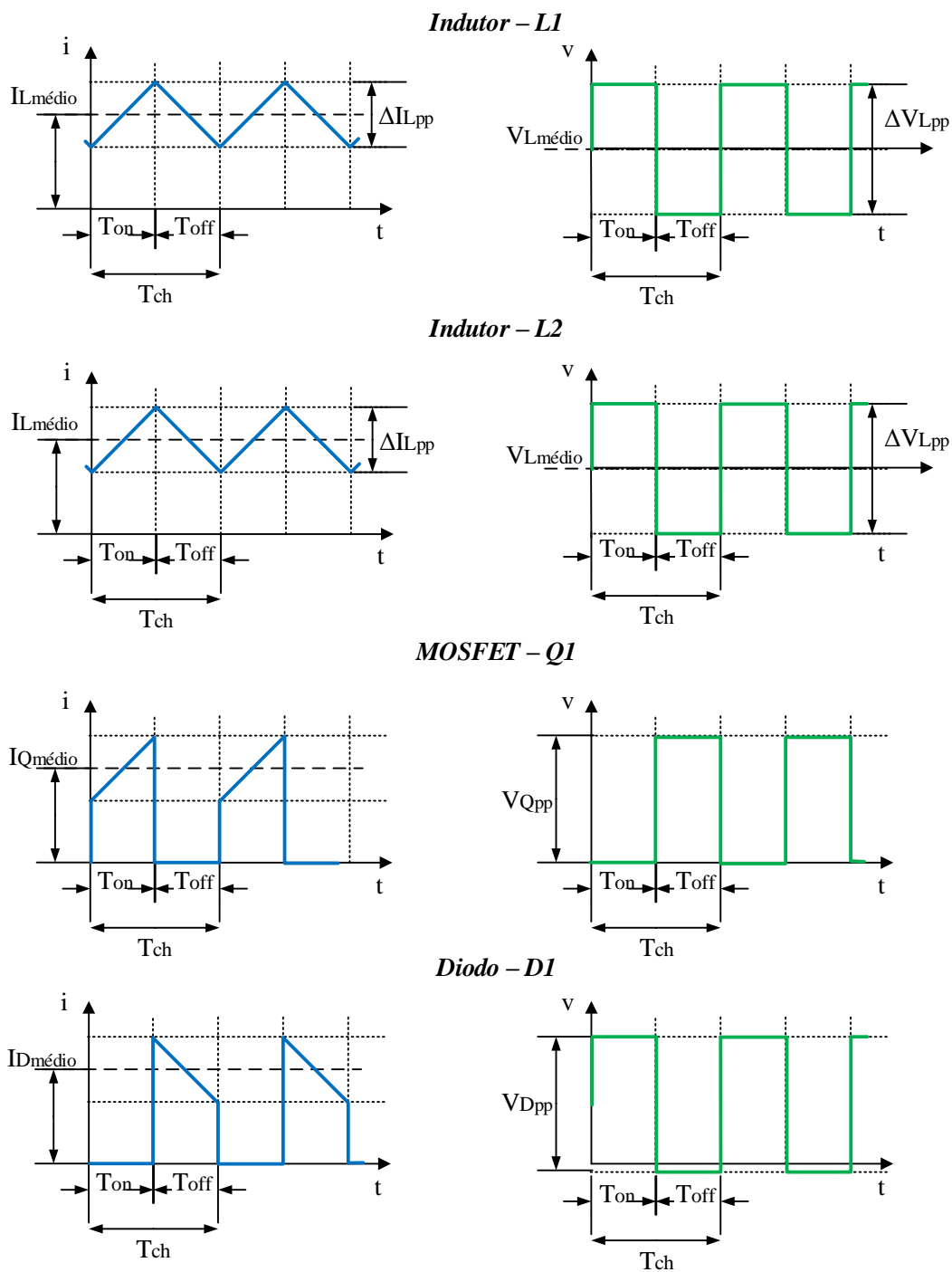
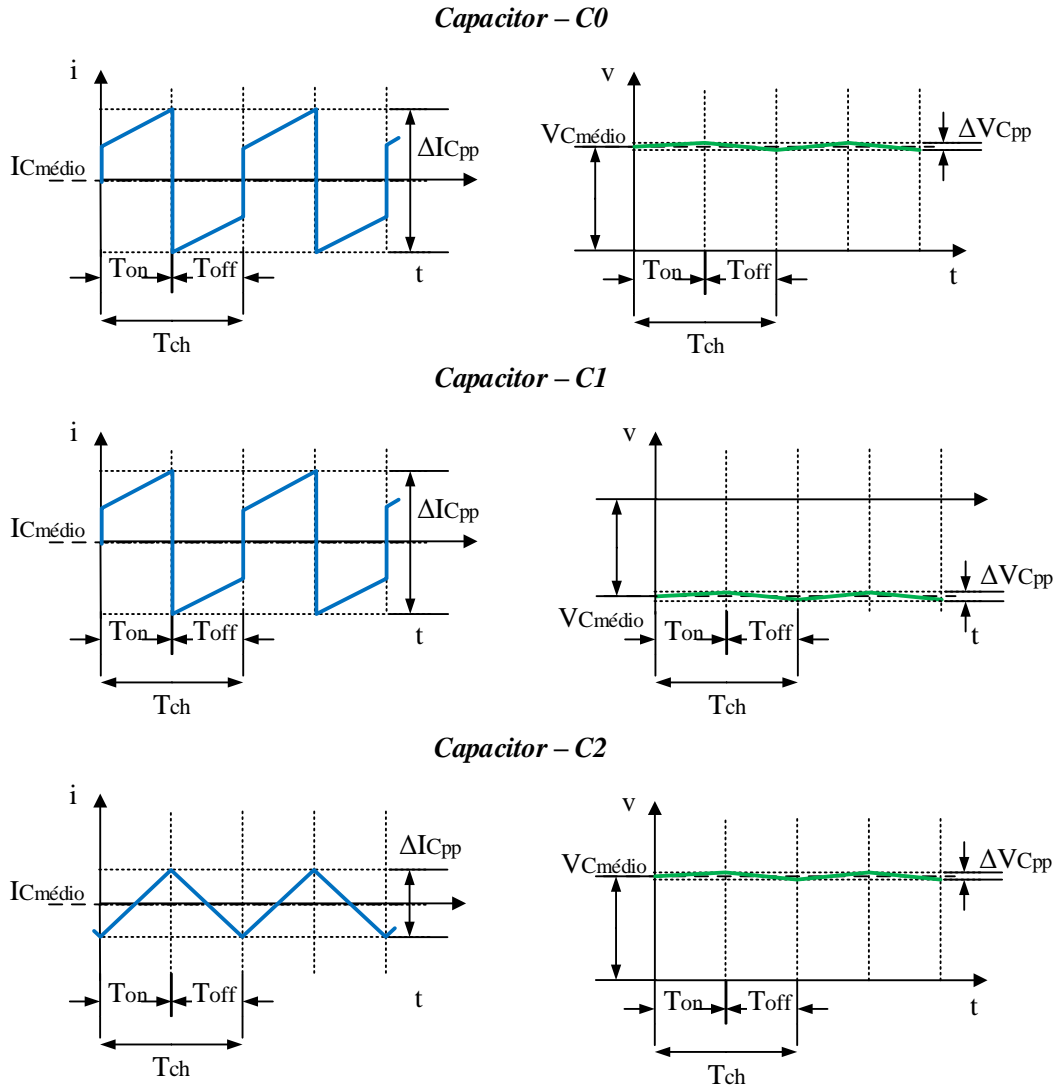


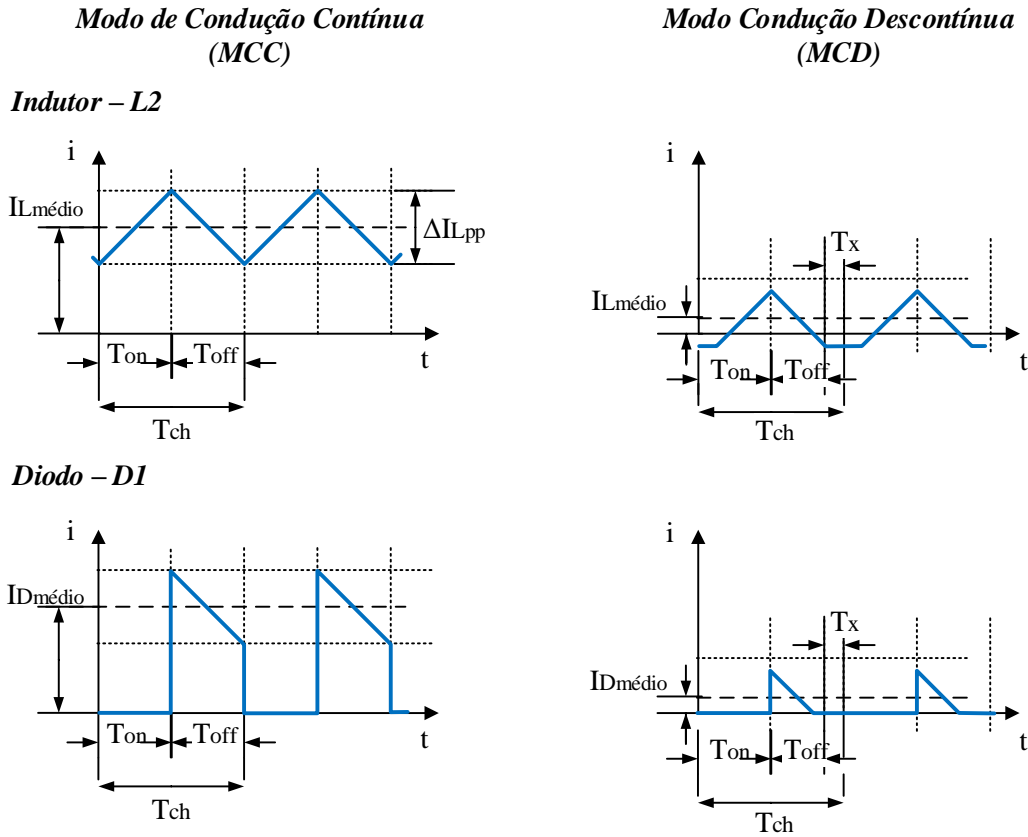
Figura 3.5: Formas de onda de corrente e tensão sobre os capacitores



3.3.4 Modo de condução contínua e descontínua

Circuitos chaveados podem operar em dois modos de condução: contínua e descontínua. Em MCC, a corrente pelo indutor da linha principal não se anula enquanto a chave está aberta [5]. No entanto, para esta topologia, o indutor apresenta a possibilidade de permanecer conduzindo, com uma corrente em sentido oposto, mesmo em MDC (3.6; dificultando a análise sobre a condição limite entre os modos de condução. Assim, julga-se mais viável observar as condições de operação (MCC e MDC) em relação à corrente que passa pelo diodo Schottky. Sendo a condição limite ao MCC, quando a corrente do diodo se anula enquanto a chave controlada está aberta.

Figura 3.6: Formas de onda no indutor ($L2$) e no diodo ($D1$) em condução contínua e descontínua



Portanto, se a corrente que circula pelo diodo for a zero, afirma-se que o modo de condução é descontínuo. A Figura 3.6 ilustra os dois modos de condução (onde é possível perceber um novo estado Tx), descritos pelo sistema de inequações em 3.4.

$$\begin{cases} i_{Diodo} > 0 \rightarrow MCC \\ i_{Diodo} \leq 0 \rightarrow MCD \end{cases} \quad (3.4)$$

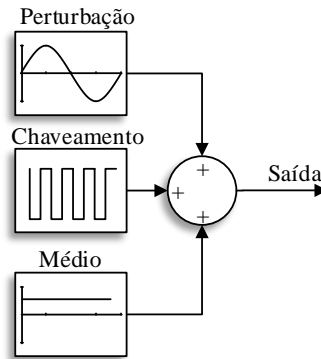
Neste trabalho, trata-se apenas da análise do circuito em modo de condução contínua.

3.4 Linearização

Uma vez que o sistema em questão é não linear, decorrente do chaveamento presente em sua própria operação, pode-se linearizar a planta para que a modelagem em espaço de estados seja adequada, sendo possível utilizar técnicas de controle lineares (*e.g.* lugar geométrico das raízes, Bode e Nyquist) essenciais ao projeto de controladores clássicos (*e.g.* PI e PID).

A linearização trata-se de desconsiderar o efeito do chaveamento presente na planta (conforme ilustrado pela Figura 3.7), de forma que a saída é a soma do valor médio com uma pequena perturbação em torno de um ponto de equilíbrio.

Figura 3.7: Representação do sistema não linear e as respectivas componentes



A representação do sistema linearizado é mostrada em (3.5).

$$w_{Linearizado} = W_{Médio} + w_{Perturbação} \quad (3.5)$$

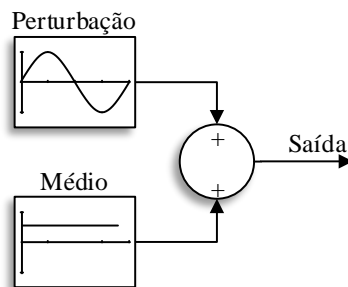
Esta representação matemática pode ser ilustrada conforme a Figura 3.8

Neste documento, os termos completos, linearizados, serão escritos em letras minúsculas, os valores médios em letras maiúsculas e a ondulação será mencionada com um "til", conforme (3.6).

$$\mathbf{w} = \mathbf{W} + \tilde{\mathbf{w}} \quad (3.6)$$

A Figura 3.8 representa graficamente a linearização do sistema.

Figura 3.8: Representação do sistema linearizado e as respectivas componentes



3.5 Modelagem em Espaço de Estados

O conversor pode ter seu comportamento dinâmico equacionado e representado em espaço de estados. A representação geral em espaço de estados pode ser dada como 3.7:

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{Ax} + \mathbf{Bu} \\ \mathbf{y} = \mathbf{Cx} + \mathbf{Eu} \end{cases} \quad (3.7)$$

As matrizes representam:

- **A** – Matriz dos estados (controlabilidade)
- **B** – Matriz das entradas
- **C** – Matriz das saídas
- **E** – Matriz de realimentação direta

Os vetores são: "**x**", vetor de estados; "**u**", vetor de entradas, "**y**" vetor de saídas e *d* a razão cíclica, conforme (3.8).

$$\mathbf{x} = \mathbf{X} + \tilde{\mathbf{x}}, \quad \mathbf{u} = \mathbf{U} + \tilde{\mathbf{u}}, \quad \mathbf{y} = \mathbf{Y} + \tilde{\mathbf{y}}, \quad d = D + \tilde{d} \quad (3.8)$$

Os vetores que contêm as variáveis de estado, de entrada e saída podem ser definidos conforme (3.9).

$$\mathbf{x} = \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C0} \\ v_{C1} \\ v_{C2} \end{bmatrix}, \quad \mathbf{u} = \begin{bmatrix} v_{bat} \\ v_{FWD} \end{bmatrix}, \quad \mathbf{y} = \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C0} \\ v_{C1} \\ v_{C2} \end{bmatrix} \quad (3.9)$$

As matrizes **A**, **B**, **C** e **E** podem ser obtidas pelo teorema da superposição, após a linearização do sistema sendo ponderadas pela razão cíclica dos estados: chave fechada e aberta (**A1**, **A2**, **B1**, **B2**, **C1**, **C2**, **E1** e **E2**), conforme (3.10).

$$\begin{cases} \mathbf{A} = \mathbf{A1} \cdot d + \mathbf{A2} \cdot (1 - d) \\ \mathbf{B} = \mathbf{B1} \cdot d + \mathbf{B2} \cdot (1 - d) \\ \mathbf{C} = \mathbf{C1} \cdot d + \mathbf{C2} \cdot (1 - d) \\ \mathbf{E} = \mathbf{E1} \cdot d + \mathbf{E2} \cdot (1 - d) \end{cases} \quad (3.10)$$

Reescrevendo em função do valor médio e da perturbação, tem-se (3.11):

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{AX} + \mathbf{BU} + \mathbf{A}\tilde{\mathbf{x}} + \mathbf{B}\tilde{\mathbf{u}} \\ \mathbf{y} = \mathbf{CX} + \mathbf{EU} + \mathbf{C}\tilde{\mathbf{x}} + \mathbf{E}\tilde{\mathbf{u}} \end{cases} \quad (3.11)$$

Substituindo 3.10 em 3.11, tem-se (3.12):

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{AX} + \mathbf{BU} + \mathbf{A}\tilde{\mathbf{x}} + \mathbf{B}\tilde{\mathbf{u}} + [(\mathbf{A1} - \mathbf{A2}) \cdot \mathbf{X} + (\mathbf{B1} - \mathbf{B2}) \cdot \mathbf{U}] \cdot \tilde{d} \\ \mathbf{y} = \mathbf{CX} + \mathbf{EU} + \mathbf{C}\tilde{\mathbf{x}} + \mathbf{E}\tilde{\mathbf{u}} + [(\mathbf{C1} - \mathbf{C2}) \cdot \mathbf{X} + (\mathbf{E1} - \mathbf{E2}) \cdot \mathbf{U}] \cdot \tilde{d} \end{cases} \quad (3.12)$$

Chamando-se de \mathbf{F} e \mathbf{G} os termos que se relacionam à variação da razão cíclica, sendo esta uma outra entrada do sistema, tem-se (3.13):

$$\begin{cases} \mathbf{F} = (\mathbf{A1} - \mathbf{A2}) \cdot \mathbf{X} + (\mathbf{B1} - \mathbf{B2}) \cdot \mathbf{U} \\ \mathbf{G} = (\mathbf{C1} - \mathbf{C2}) \cdot \mathbf{X} + (\mathbf{E1} - \mathbf{E2}) \cdot \mathbf{U} \end{cases} \quad (3.13)$$

Desconsiderando-se os termos de segunda ordem, os valores médios das variáveis de estado podem ser obtidos quando o sistema está em equilíbrio. Logo, a derivada da variável de estado, em regime permanente também é nula, conforme (3.14).

$$0 = \mathbf{AX} + \mathbf{BU} \rightarrow \mathbf{X} = -\mathbf{A}^{-1}\mathbf{BU} \quad (3.14)$$

É observado que a soma dos valores médios é nula devido à simplificação da planta ao realizar a linearização do sistema. Com base no conjunto de equações reescrito em (3.14), é possível obter a resposta completa da saída, " \mathbf{y} ".

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{Ax} + \mathbf{Bu} + \mathbf{F}\tilde{d} \\ \mathbf{y} = \mathbf{Cx} + \mathbf{Eu} + \mathbf{G}\tilde{d} \end{cases} \quad (3.15)$$

Substituindo a matriz de valores médios das variáveis de estado em (3.14), na equação de saída do sistema (3.15), tem-se a equação que modela a saída completa da planta.

$$\mathbf{y} \rightarrow \mathbf{Y} + \tilde{\mathbf{y}} = -\mathbf{C}(\mathbf{A}^{-1}\mathbf{BU}) + \mathbf{EU} + \mathbf{C}\tilde{\mathbf{x}} + \mathbf{E}\tilde{\mathbf{u}} + \mathbf{G}\tilde{d} \quad (3.16)$$

3.5.1 Matrizes do espaço de estados

As matrizes **A**, **B**, **C**, **E**, **F** e **G** podem ser calculadas com base nos sistemas de equações apresentados em 3.2 e 3.3. Nesta subseção serão apresentadas as matrizes do espaço de estados obtidas. A matriz de controlabilidade (**A**) em (3.17), a matriz de entradas (**B**) em (3.18), a matriz de entrada razão cíclica (**F**) em (3.19), a matriz de saídas (**C**) em (3.20), a matriz de realimentação direta (**E**) em (3.21), a matriz de realimentação direta da razão cíclica (**G**) em (3.22).

$$\mathbf{A} = \begin{bmatrix} -\frac{R_{L1}}{L1} & 0 & \frac{D}{L1} & \frac{1-D}{L1} & 0 \\ 0 & -\frac{R_{L2}}{L2} & \frac{D}{L2} & -\frac{D}{L2} & -\frac{1}{L2} \\ -\frac{D}{C0} & -\frac{D}{C0} & -\frac{1}{C0 \cdot R_G} & 0 & 0 \\ \frac{1-D}{C1} & \frac{D}{C1} & 0 & 0 & 0 \\ 0 & \frac{1}{C2} & 0 & 0 & -\frac{1}{C2 \cdot R_{LOAD}} \end{bmatrix} \quad (3.17)$$

$$\mathbf{B} = \begin{bmatrix} 0 & -\frac{1-D}{L1} \\ 0 & -\frac{1-D}{L2} \\ \frac{1}{C0 \cdot R_G} & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \quad (3.18)$$

$$\mathbf{F} = \begin{bmatrix} \frac{V_{FWD}}{L1} \\ \frac{V_{FWD}}{L2} \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (3.19)$$

$$\mathbf{C} = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (3.20)$$

$$\mathbf{E} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \quad (3.21)$$

$$\mathbf{G} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad (3.22)$$

3.5.2 Modelo médio e análise estática

O modelo dinâmico obtido pela representação em espaço de estados, conforme abordado em 3.4, é a superposição das componentes médias e de perturbação.

Logo, as duas análises a serem realizadas com base nos termos decorrentes da linearização são: modelo médio e modelo de pequenos sinais. O modelo médio e a análise estática têm como base a caracterização do funcionamento do circuito em regime permanente.

3.5.3 Ganho de tensão estático do conversor

De posse dos termos médios relativos à entrada e saída, é possível realizar a análise de ganho do conversor em função da razão cíclica. Assim, uma vez que todos os cálculos realizados na seção 3.3 envolvem as perdas parasitas, a equação do ganho também possuirá tais termos, possibilitando uma análise completa e precisa do comportamento do ganho estático para determinada razão cíclica de operação.

O ganho de tensão é descrito como a relação de tensão entre a saída e entrada do conversor. Portanto, uma vez calculados os termos médios relativos à entrada e saída da planta, o ganho pode ser facilmente obtido.

$$Ganho_{modelo} = \frac{D}{1-D} - \frac{V_{FWD} \cdot (1-D) + D \cdot (i_{bat} \cdot R_G) + D \cdot V_{FWD} + i_{L2} \cdot R_{L2}}{v_{bat} \cdot (D-1)} \quad (3.23)$$

No entanto, em situação ideal, o ganho obtido, é exatamente como consta na literatura [5].

$$Ganho_{ideal} = \frac{D}{1-D} \quad (3.24)$$

Logo, é possível manipular a equação de ganho de modo a se obter o parâmetro da razão cíclica (D) em função da tensão de saída desejada.

$$D = 1 - \frac{v_{C0} - i_{L2} \cdot R_{L2}}{v_{C0} + V_{FWD} + V_{saída}} \quad (3.25)$$

Comparando a equação completa obtida com aquela calculada em situação ideal, sem perdas, nota-se claramente que a equação do ganho em função da razão cíclica é composta por uma parcela ideal e outra que envolvem todas as perdas, sendo este um dos fatores limitantes de projeto e dimensionamento de componentes de um conversor CC-CC elevador de tensão.

Portanto, a análise desta equação será o foco da discussão neste trabalho. Os gráficos relativos ao ganho, à razão cíclica e às perdas, tanto como a análise de cada um, serão expostos adiante neste documento, após dimensionamento e projeto do conversor.

3.6 Equacionamento de componentes

Até então, a ondulação decorrente da comutação das chaves foi ignorada. Porém, como citado anteriormente, deve-se voltar a atenção à tal efeito para se dimensionar os valores dos componentes do circuito.

Portanto, os indutores serão calculados com base em uma ondulação de corrente máxima desejada e os capacitores com base em uma ondulação de tensão. Desconsiderando-se as perdas intrínsecas, pode-se dizer que em regime, as tensões médias sobre os indutores, assim como as correntes médias que passam pelos capacitores, são nulas.

$$V_{L_{medio}} = \int_0^{\infty} v_L(t) dt \rightarrow 0 \quad (3.26)$$

$$I_{C_{medio}} = \int_0^{\infty} i_C(t) dt \rightarrow 0 \quad (3.27)$$

Logo, com base nas equações de corrente e tensão, dos capacitores e indutores (3.2, 3.3), é possível calcular a tensão dos capacitores e a corrente dos indutores. Essas equações fornecerão a base para o cálculo da ondulação em cada componente.

3.6.1 Ondulação de corrente e tensão

Define-se como ondulação a variação de tensão ou corrente, em torno de um valor médio, conforme 3.28 e 3.29.

$$v = V + \frac{dv}{dt} \quad (3.28)$$

$$i = I + \frac{di}{dt} \quad (3.29)$$

Logo, a ondulação de pico (ou "*ripple*") são as parcelas iguais a $\frac{\Delta I_{pp}}{2}$ e $\frac{\Delta V_{pp}}{2}$ [5].

$$V_{ripple} = \Delta V \rightarrow \frac{\Delta V_{pp}}{2} \quad (3.30)$$

$$\Delta V_{pp} = 2\Delta V \quad (3.31)$$

$$I_{ripple} = \Delta I \rightarrow \frac{\Delta I_{pp}}{2} \quad (3.32)$$

$$\Delta I_{pp} = 2\Delta I \quad (3.33)$$

No entanto, deve ficar claro que existe uma diferença entre os valores de ondulação de pico ($\Delta I, \Delta V$), e ondulação pico a pico ($\Delta I_{pp}, \Delta V_{pp}$).

Portanto, caso seja desejado expressar o valor máximo de ondulação, pode-se especificar como valor de ondulação pico a pico igual a duas vezes o ripple sobre o valor médio do termo em análise [5].

$$v = V \pm \frac{\Delta V_{pp}}{2} \quad (3.34)$$

$$i = I \pm \frac{\Delta I_{pp}}{2} \quad (3.35)$$

Esta diferenciação e reforço da definição de ondulação é extremamente importante, pois, será base para cálculo de todos os componentes do circuito projetado.

3.6.2 Fator de ondulação

O fator de ondulação (δ) é a relação entre o termo de ondulação pico a pico eficaz, e o termo médio de saída 3.36.

$$\delta = \frac{\Delta W_{RMS}}{W} \quad (3.36)$$

No entanto, pode-se reescrever (3.36), de maneira a estabelecer uma relação entre o valor de ondulação pico a pico, com o valor médio; denominando-se K como ondulação de pico a pico relativa.

$$K = \frac{\Delta W_{pp}}{W} \quad (3.37)$$

Com base nesta definição de fator de ondulação e dos valores de "ripple" (3.32 e 3.30) a partir do equacionamento realizado em 3.3 e 3.2, pode-se realizar o dimensionamento dos capacitores e indutores.

Para conversores *Boost*, *SEPIC* e *Ćuk*, mencionados em 2.3, existe uma relação entre a ondulação de pico a pico relativa e o nível de EMI DM (*Electromagnetic Interference Differential Mode*) gerado. No entanto, para outros conversores de primeira e segunda geração (*Buck*, *Buck-Boost* e *Zeta*) em MCC, o EMI DM é independente de K [20].

No entanto, existe uma relação entre o nível de EMI DM à frequência de chaveamento e ganho do conversor. De forma que é possível estimar o valor de EMI DM irradiado com base em gráficos de projeto específicos [20]. Estes gráficos não serão detalhados neste trabalho, e o nível de EMI não será modelado ou deduzido matematicamente.

3.7 Dispositivos armazenadores de energia

Os dispositivos armazenadores de energia podem ser calculados em relação à ondulação de corrente ou tensão desejada em cada componente. De forma que, supondo condição ideal, ou seja, sem perdas, é possível encontrar a inclinação aproximada das retas referentes à ondulação de corrente e tensão [5].

3.7.1 Dimensionamento de indutores

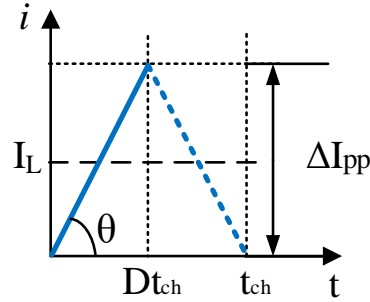
Considerando-se que a inclinação da forma de onda da corrente que circula pelo indutor é simétrica, será realizado cálculo apenas para o período em que a chave controlada está fechada.

A inclinação da reta 3.9 pode ser reescrita da seguinte maneira.

$$tg(\theta) = \frac{di}{dt} \rightarrow tg(\theta) = \frac{\Delta I_{L_{pp}}}{D \cdot t_{ch}} \quad (3.38)$$

Logo, pela equação do indutor, sabe-se que:

Figura 3.9: Forma de onda da ondulação aproximada da corrente sobre os indutores de saída



$$v_L(t) = L \frac{di}{dt} \quad (3.39)$$

Com base nas equações de ondulação de corrente sobre os indutores, é possível obter as seguintes relações que determinam os valores dos indutores.

$$\Delta I_{L1pp} = \frac{V_{bat} \cdot D}{f_{ch} \cdot L1} \quad (3.40)$$

$$\Delta I_{L2pp} = \frac{V_{bat} \cdot D}{f_{ch} \cdot L2} \quad (3.41)$$

Uma vez obtido os valores das indutâncias, deve-se escolher qual dispositivo comercial será utilizado de fato no circuito. Para esta arquitetura é viável utilizar indutores acoplados, devido ao tamanho, robustez e preço. Porém, para que indutores acoplados sejam utilizados, o valor de L1, preferencialmente, deve ser igual ao de L2 [16].

$$L1 = L2 = L \longrightarrow L = \frac{V_{bat} \cdot D}{f_{ch} \cdot \Delta I_{L2pp}} \quad (3.42)$$

Assim, optando-se por utilizar indutores acoplados, deve-se atentar à corrente de saturação do núcleo devido aos transientes de carga, sendo necessário realizar cálculo da corrente de pico que circula sobre ambos os indutores.

$$i_{pico_{L1}} = I_{saída} + \frac{\Delta I_{L1pp}}{2} \quad (3.43)$$

$$i_{pico_{L2}} = \frac{D}{1-D} \cdot I_{saída} + \frac{\Delta I_{L1pp}}{2} \quad (3.44)$$

3.7.2 Dimensionamento de capacitores

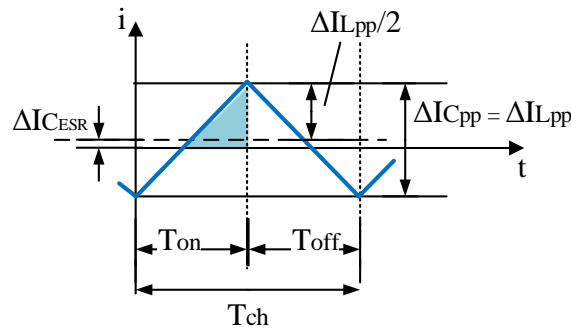
Capacitor de Saída

O dimensionamento do capacitor de saída relaciona-se com a ondulação da tensão de saída do circuito. Enquanto a corrente do indutor da linha principal for maior que a de saída, o capacitor carrega, caso contrário, o capacitor descarrega [18] [15].

O processo de carga e descarga do capacitor, é relacionado com a variação de corrente sobre o dispositivo. Esse processo faz com que a tensão sobre a capacitância também seja alterado com comportamento diretamente proporcional à variação de carga.

Assim, a relação que determina a capacitância em função da ondulação de tensão na saída do circuito, pode ser obtida ao integrar a ondulação de corrente sobre o dispositivo durante meio período do processo de carga conforme exibido na Figura 3.10).

Figura 3.10: Forma de onda aproximada da corrente sobre o capacitor de saída



Esta aproximação de cálculo fornece, de forma prática, a equação que descreve a variação de carga em um capacitor (3.45) e (3.46).

$$I = \frac{dq}{dt} \quad (3.45)$$

$$\Delta q = \frac{\frac{\Delta I_{L_{pp}}}{2} \cdot D \cdot \frac{T_{ch}}{2}}{2} \quad (3.46)$$

Portanto, pode-se obter a fórmula que descreve a capacitância necessária para determinada ondulação sobre a tensão de saída, segundo (3.47) e (3.48).

$$C2 = \frac{dq}{dv} \quad (3.47)$$

$$C2 = \frac{\Delta I_{L2pp} \cdot D}{8 \cdot \Delta V_{saída_{pp}} \cdot f_{ch}} \quad (3.48)$$

Utilizando-se a menor frequência de chaveamento e a máxima corrente de ondulação sobre o capacitor de saída encontra-se o mínimo valor de capacitância admitido.

Pode-se ainda assim, expressar (3.48) em função da indutância, conforme (3.41). Também, é necessária atenção aos valores de ESR máximos ao escolher o dispositivo comercial, segundo (3.50).

$$C2 = \frac{V_{bat} \cdot D^2}{8 \cdot \Delta V_{saída_{pp}} \cdot f_{ch}^2 \cdot L2} \quad (3.49)$$

$$ESR_{C2} = \frac{\Delta V_{saída_{pp}}}{\Delta I_{L2pp}} \quad (3.50)$$

A corrente máxima sobre o capacitor de saída ($I_{C2máx}$) é igual ao valor da corrente de ondulação máxima (ΔI_{L2pp}), sobre o fator eficaz da forma de onda triangular [16], de acordo com (3.51).

$$I_{C2máx} = \frac{\Delta I_{L2pp}}{\sqrt{3}} \quad (3.51)$$

Capacitor flutuante

O capacitor flutuante (ou também chamado de *"flying capacitor"*) possui um equacionamento similar ao de saída. O procedimento de cálculo é feito com base nas equações obtidas na seção 3.3 e pela aproximação da ondulação a segmentos de retas. Em relação à perda intrínseca do capacitor, pode-se realizar dimensionamento em função da corrente total que passa pelo componente.

$$C1 = \frac{I_{saída} \cdot D}{\Delta V_{C1_{ripple}} \cdot f_{ch}} \quad (3.52)$$

$$ESR_{C1} = \frac{\Delta V_{C1_{pp}}}{\Delta I_{bat} + \Delta I_{saída}} \quad (3.53)$$

Uma vez que a corrente na linha direta do circuito passa pelo capacitor flutuante, pode-se realizar uma aproximação deste parâmetro conforme (3.54).

$$I_{C1_{RMS}} \approx I_{entrada} \cdot \sqrt{\frac{1-D}{D}} \quad (3.54)$$

Esta aproximação indicará qual capacitor comercial poderá ser utilizado, e se é necessário realizar alguma forma de associação destes componentes.

Capacitor de entrada

O capacitor de entrada é responsável por filtrar a ondulação vista pela fonte de entrada. As equações para dimensionamento são análogas às do capacitor flutuante, (3.52) e (3.53), em concordância com (3.55) e (3.56).

$$C0 = \frac{I_{saída} \cdot D}{\Delta V_{C0_{ripple}} \cdot f_{ch}} \quad (3.55)$$

$$ESR_{C0} = \frac{\Delta V_{C0_{pp}}}{\Delta I_{bat} + \Delta I_{saída}} \quad (3.56)$$

3.7.3 Dimensionamento dos componentes semicondutores - Chaves

O circuito possui duas chaves: um transistor de potência de alta eficiência (MOSFET-P) na linha principal, que é modulado via PWM e uma segunda chave que é um diodo de alta velocidade de chaveamento (Schottky).

Transistor MOSFET-P – Chave controlada

O transistor deve ser seleccionado de modo a minimizar as perdas, acomodar a tensão e corrente média em regime permanente, assim como os picos decorrentes do chaveamento.

A máxima tensão sobre as chaves ($V_{Q1_{máx}}$) será igual a soma das tensões máximas de entrada ($V_{entrada}$) e de saída ($V_{saída}$), conforme equacionamento realizado em 3.2 e 3.3.

$$V_{Q1_{min}} = V_{entrada} + V_{saída} \quad (3.57)$$

A corrente máxima que o transistor deve suportar é igual à soma das correntes de entrada, saída e ondulação.

$$I_{Q1_{pico}} = I_{bat} + I_{saída} + \Delta I_{L1_{pp}} \quad (3.58)$$

A potência suportada pelo transistor deve ser maior que o valor obtido ao somar as componentes de dissipação decorrentes da resistência intrínseca ($P_{R_{DS}}$), capacitância intrínseca ($P_{C_{gate}}$) e frequência de chaveamento (P_{gate}) 3.59.

$$P_{Q1} = P_{R_{DS}} + P_{C_{gate}} + P_{gate} \quad (3.59)$$

Portanto, cada termo pode ser representado conforme [16]:

$$P_{R_{DS}} = I_{Q1_{RMS}}^2 \cdot R_{DS} \quad (3.60)$$

$$P_{C_{gate}} = (V_{Q1_{pico}} \cdot I_{Q1_{pico}}) \cdot \left(\frac{Q_{GD}}{I_{gate}} \cdot f_{ch_{máx}} \right) \quad (3.61)$$

$$P_{gate} = V_{gate} \cdot Q_G \cdot f_{ch_{máx}} \quad (3.62)$$

Em que Q_{GD} é a carga entre porta e dreno, Q_G é a carga total acumulada na porta do MOSFET, I_{gate} é a corrente máxima que entra na porta do MOSFET e V_{gate} é a tensão de chaveamento na porta do MOSFET.

A corrente eficaz ($I_{Q1_{RMS}}$), então pode ser expressa por (3.63):

$$I_{Q1_{RMS}} = (I_{bat} + I_{saída}) \cdot \sqrt{D} \quad (3.63)$$

Para esta arquitetura de conversor, utilizou-se um MOSFET-P. Uma vez que a tensão sobre o indutor L1 é alternada ($+V_{entrada}$ e $-V_{entrada}$), adotar um PMOS facilita o projeto do *driver* utilizado na porta (ou *gate*) para comutar a chave frente as características de funcionamento do mesmo em relação à sua polarização: V_{DS} , V_{GS} , I_D e V_{TO} .

Polarização

A chave deve possuir dois estados: fechada ou aberta.

$$V_{GS} < V_{TO} \rightarrow \text{Fechada} \quad (3.64)$$

$$V_{GS} \geq V_{TO} \rightarrow \text{Aberta} \quad (3.65)$$

A Tabela apresenta as condições de V_S , V_D e V_G referentes a cada estado.

Portanto, de posse dos valores de V_D , V_S e V_{TO} é possível analisar quais os valores mínimos para V_G conforme (3.66), (3.67) e a Tabela 3.2, para projetar de forma correta o PWM que será injetado pelo *driver* ao PMOS.

Tabela 3.2: Polarização MOSFET-P

Parâmetros	Aberta	Fechada
V_S	$V_{entrada}$	$V_{entrada}$
V_D	$-(V_{entrada} - V_{D_{sat}})$	$V_{entrada} - V_{D_{sat}}$
V_G	$\geq V_{TO} + V_{S_{máx}}$	$< V_{TO} + V_{S_{máx}}$

$$V_{G_{min}} < V_{TO} + V_{S_{máx}} \rightarrow \text{Fechada} \quad (3.66)$$

$$V_{G_{min}} \geq V_{TO} + V_{S_{min}} \rightarrow \text{Aberta} \quad (3.67)$$

Diodo Schottky – Chave não controlada

O diodo deve possuir uma tensão reversa ($V_{REV_{D1}}$) admissível maior que a tensão máxima sobre a chave Q1 (3.2 e 3.3). Portanto, estima-se a potência (P_{D1}) conforme o produto da corrente *RMS* mostrada em (3.69) e a queda de tensão da junção P-N em polarização direta (V_{FWD}).

$$V_{REV_{D1}} > V_{entrada_{pico}} + V_{saída} \quad (3.68)$$

$$I_{D1_{RMS}} = (I_{bat} + I_{saída}) \cdot \sqrt{1 - D} \quad (3.69)$$

$$P_{D1} = I_{D1_{RMS}} \cdot V_{FWD} \quad (3.70)$$

Capítulo 4

Projeto de conversor Zeta

Nesta seção será realizado o projeto de um conversor Zeta, utilizando as equações obtidas anteriormente na seção 3.6, de modo que o mesmo se comporte como um regulador de tensão. A fonte conectada a entrada do conversor é uma bateria de quatro células de polímero de lítio (Li-Po 4S).

É considerada uma variação de tensão dos terminais da bateria em torno de sua tensão nominal de 14,8V, sendo a tensão mínima de 12V (quando descarregada) e máxima de 16,8V (quando possui carga total).

A frequência de chaveamento será de 40 kHz, tolerando-se o máximo de 1% sobre o valor da tensão de saída para o capacitor de saída. O valor de EMI DM não é analisado neste projeto.

4.1 Dimensionamento de componentes

Tendo como base os equacionamentos deduzidos na seção 3.6, podem ser dimensionados todos os componentes do circuito. Seguem na Tabela 4.1 os valores obtidos dos parâmetros de operação do conversor projetado: os valores mínimos admitidos aos componentes passivos conforme a Tabela 4.4, os dispositivos comerciais conforme a Tabela 4.5 e os componentes semicondutores conforme a Tabela 5.1.

Os fabricantes escolhidos como referência foram: *Coilcraft* [21] (indutores), *Fairchild* [22] [23] (semicondutores), *Murata* [24] e *Würth Elektronik* [25] (capacitores) .

Tabela 4.1: Condições de operação conversor Zeta

Parâmetro	Valores	Unidade
$V_{entrada_{min}}$	12,8	V
$V_{entrada_{max}}$	16,8	V
$P_{entrada_{max}}$	35,6	W
$V_{saída}$	15	V
$I_{saída}$	2,13	A
$P_{saída}$	32,0	W
R_{carga}	7,03	Ω
Eficiência mín. (η)	0,87	–
Frequência de chaveamento (f_{ch})	40	kHz
Temperatura máxima MOSFET (T_j)	80	$^{\circ}\text{C}$
Ondulação relativa da tensão de saída ($\Delta V_{saída_{pp}}$)	1%	–
$D_{min}@V_{entrada_{max}}$	0,4981	–
$Ganho_{min}@V_{entrada_{max}}$	0,9105	$\left[\frac{V}{V}\right]$
$D_{max}@V_{entrada_{min}}$	0,5712	–
$Ganho_{max}@V_{entrada_{min}}$	1,2123	$\left[\frac{V}{V}\right]$
$D_{min}@MCC$	0,2191	–

Tabela 4.2: Ondulação relativa de corrente e tensão sobre os componentes passivos $L1$, $L2$, $C0$, $C1$ e $C2$

Parâmetro	Valores	Unidade
$K_{I_{L1}}$	0,60	A/A
$K_{I_{L2}}$	0,60	A/A
$K_{V_{C0}}$	0,25	V/V
$K_{V_{C1}}$	0,25	V/V
$K_{V_{C2}}$	0,01	V/V

Tabela 4.3: Parâmetros de corrente sobre os componentes passivos $L1$, $L2$ e $C1$

Parâmetro	Valores	Unidade
$I_{L1}@D_{máx}$	2,842	A
$I_{L1_{pico}}$	3,695	A
$I_{L2}@D_{máx}$	2,134	A
$I_{L2_{pico}}$	2,986	A
$\Delta I_{L_{ppmáx}}@D_{máx}$	1,705	A
$I_{C1_{RMS}}@D_{mín}$	$\approx 2,456$	A

Tabela 4.4: Componentes passivos calculados $L1$, $L2$, $C0$, $C1$ e $C2$

Parâmetro	Valores	Unidade
$L1$	107	μH
$L2$	107	μH
$C0$	10	μF
$C1$	8	μF
$C2$	36	μF

A Tabela 4.4 apresenta os valores calculados de cada componente e a Tabela 4.5 explicita os componentes comerciais escolhidos. As tolerâncias foram consideradas de forma a garantir as especificações de projeto.

Tabela 4.5: Componentes passivos comerciais: $L1$, $L2$, $C0$, $C1$ e $C2$

Parâmetro	Valores	Unidade	Modelo	Fabricante
$L1$	136	μH	<i>RFS1317-683KL</i>	<i>Coilcraft</i>
$RL1$	0,068	Ω	$2x68\mu H @ 0.136\Omega$	
$L2$	136	μH	<i>RFS1317-683KL</i>	<i>Coilcraft</i>
$RL2$	0,068	Ω	$2x68\mu H @ 0.136\Omega$	
$C0$	10	μF	<i>MLCC/GRM31CR61H106MA12</i>	<i>Murata</i>
ESR_{C0}	0,002	Ω	$3x10\mu F @ 0.0007\Omega$	<i>Opcional*</i>
$C1$	10	μF	<i>MLCC/GRM31CR61H106MA12</i>	<i>Murata</i>
ESR_{C1}	0,002	Ω	$3x10\mu F @ 0.0007\Omega$	
$C2$	120	μF	<i>Eletrolítico AL/860080674010</i>	<i>Wurth Elektronik</i>
ESR_{C2}	0,073	Ω	$1x120\mu F @ 0.073\Omega$	

4.2 Considerações sobre capacitores

4.2.1 ESR, material e frequência de operação

Existem capacitores de diferentes materiais como o alumínio, o polietileno, o poliéster, a mica, o tântalo, a cerâmica, o filme metálico, dentre outros. Cada tecnologia possui uma característica específica em relação ao ESR, temperatura de operação, frequência de operação, efeito piezoelétrico, dentre outras particularidades.

Também deve-se ressaltar que para valores de capacitâncias mais elevados, menores são os valores de ESR para o dispositivo. Assim, há uma alteração e maior propensão a efeitos de ressonância ao se realizar associações de capacitores em paralelo, degradando o chaveamento e, consequentemente, a resposta desejada. Portanto, em determinados casos é essencial realizar uma equalização do ESR desses capacitores [26].

Em projetos de *driver* de corrente para o *gate* do MOSFET, deve ser dada atenção especial para os níveis EMI e filtros anti-ressonância para equalização da resposta em frequência da impedância equivalente do capacitor.

4.2.2 Encapsulamento e consequências do efeito piezoelétrico

O tamanho físico do capacitor é alterado quando existe uma tensão média não nula entre os seus terminais, uma vez que o material X5R é cerâmico, ocorrendo um efeito piezoelétrico que modifica a capacitância do componente que é proporcional à geometria do mesmo. A Figura 4.1 retrata esse comportamento.

Assim, ao serem dimensionados, a tensão média sobre os capacitores deve ser levada em consideração.

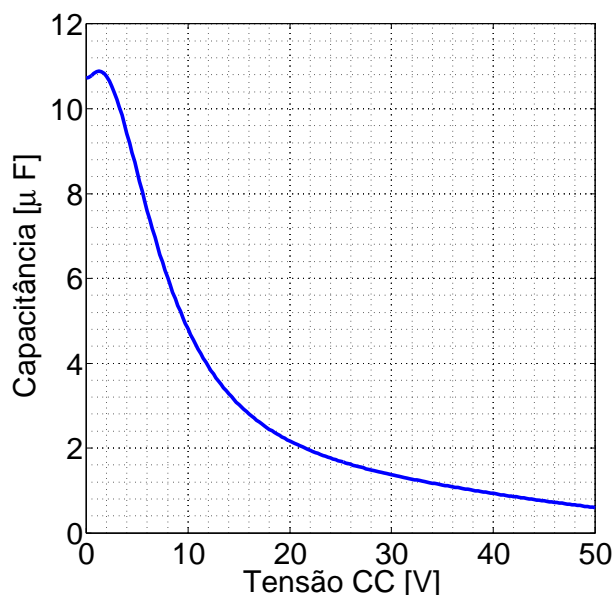
4.2.3 Capacitores de cerâmica de múltiplas camadas (MLCC)

Os capacitores MLCC possuem capacitância de até $10\mu F$ para tensões de 50V [24].

Mesmo suportando tensões de até 50V, estes dispositivos são sensíveis à componentes de tensão média, pois, como o material principal em sua construção é a cerâmica, o efeito piezoelétrico é significativo. Assim, estes capacitores possuem sua geometria alterada quando há uma tensão média entre seus terminais.

A Figura 4.1, retrata o comportamento entre capacitância e tensão média do capacitor MLCC de $10\mu F$ nominal de modelo *GRM31CR6H106KA12L* da fabricante *Murata* [24].

Figura 4.1: Resposta de capacitância versus tensão média sobre capacitor MLCC de $10\mu F$ nominal



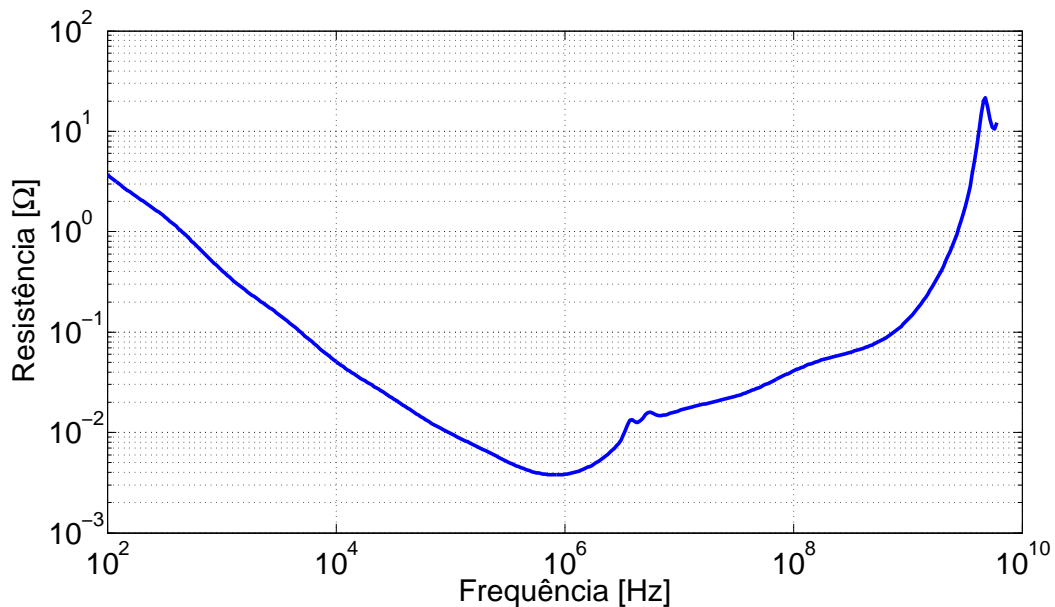
Fonte: dados obtidos de [24] [27].

Pode-se notar que para uma tensão média de 15V, a capacitância equivalente seria de $3,023\mu F$, ou seja, um terço do valor nominal. Portanto, a utilização deste capacitor como

acoplamento na saída seria inviável, pois, devido à existência de uma tensão média sobre seus terminais, seriam necessários no mínimo 33 capacitores em paralelo para se obter uma capacitância equivalente de $100\mu F$.

Além da tensão média, a temperatura de operação também influencia na variação de capacitância destes capacitores. Portanto, entre os diversos tipos de cerâmica, os materiais X5R e X7R são os que possuem comportamentos estáveis, ou seja, possuem baixa variação da sua capacitância nominal em relação à variação de temperatura [28] [29] .

Figura 4.2: Resposta de ESR em função da frequência de capacitor MLCC de $10\mu F$ nominal

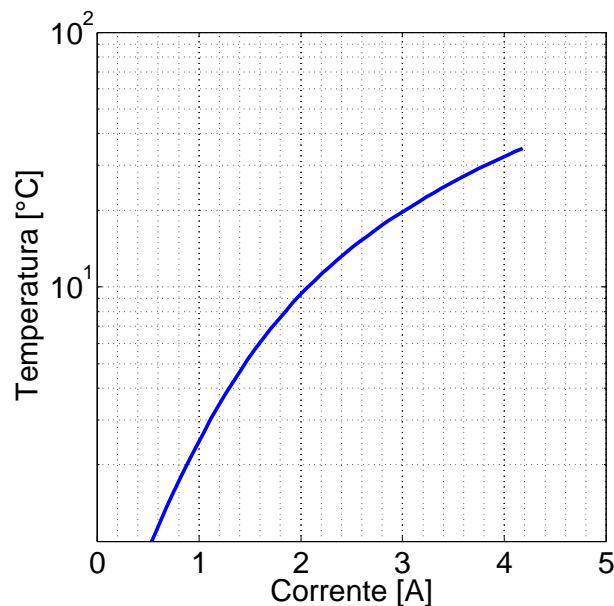


Fonte: dados obtidos de [24] [27].

Estes capacitores possuem valores de ESR baixos, menores que $0,05\Omega$ para frequências superiores à 10 kHz, conforme a Figura 4.2.

Quando uma corrente circula pelo dispositivo, há uma dissipação de calor devido à resistência intrínseca do capacitor, aumentando sua temperatura [28]. Portanto, uma vez que o ESR é baixo, estes capacitores MLCC suportam níveis de corrente de ondulação da ordem de 4A, considerando-se um aumento de $35^\circ C$ sobre o dispositivo, conforme a Figura 4.3.

Figura 4.3: Resposta da corrente versus a temperatura intrínseca sobre capacitor MLCC de $10\mu F$ nominal



Fonte: dados obtidos de [24] [27].

As perdas intrínsecas também estão relacionadas à frequência de chaveamento do dispositivo. Sendo considerados os valores de frequências menores, entende-se que a influência das perdas no comportamento geral do circuito é pequena. No entanto, para frequências de chaveamento altas, superiores a 150 kHz, é essencial acrescentar as perdas intrínsecas aos componentes no modelo, havendo impactos diretos ao ganho do circuito.

Utilizando-se 40 kHz como frequência de chaveamento do circuito, é investigado que o valor de ESR é de aproximadamente $0,02\Omega$, enquanto que em 300 kHz o ESR é de $0,003\Omega$; cerca de 7 vezes menor [29] [30] [31]. Esta variação de ESR não justifica adotar-se uma frequência de chaveamento superior a esse valor, avaliando-se a dificuldade de fabricação e desenvolvimento da PCI.

Portanto, para o circuito Zeta projetado, é viável utilizar esta tecnologia para os capacitores: flutuante e acoplamento de entrada, principalmente por possuírem valores baixos de ESR, permitindo níveis de corrente eficaz elevados. Conforme a Figura 4.1, seria conveniente utilizar 3 capacitores associados em paralelo de modo a se obter a capacitância equivalente desejada, conforme explicitado na Tabela 4.5.

4.2.4 Capacitores MLCC de baixo ESL (Indutância equivalente em série)

Os capacitores MLCC, de baixo ESL e ESR controlado, possuem a função de corrigir eventuais picos de impedância quando múltiplos capacitores são dispostos em um arranjo, conforme motivado no sub-tópico 4.2.3.

Portanto, utilizar esta tecnologia de capacitores é uma forma de reduzir o índice EMI e condicionar um sinal de alta frequência, devido a diminuição da ressonância proveniente dos picos de impedância equivalente à associação.

4.2.5 Capacitores *Feedthru*

Em projetos eletrônicos cuja frequência de chaveamento é elevada, acima de 150 kHz, o nível de EMI torna-se bastante significativo. Portanto, torna-se viável, senão necessário, filtrar o sinal de chaveamento (PWM) presente no *gate* do MOSFET.

Uma opção bastante atrativa para este caso é a utilização de capacitores *Feedthru*. Estes capacitores são adequados para serem utilizados como filtros de supressão de EMI, projetados para suportarem, especificamente, um alto valor de corrente sobre os mesmos, assim como da respectiva variação.

Algumas aplicações típicas para este componente são: linhas de potência de alta corrente, conversores CC-CC e reguladores de tensão, pois, uma vez que a resistência intrínseca de capacitores MLCC de uso geral são baixas, menores que $0,6\Omega$ [32], existem picos de impedância e efeitos de ressonância que podem deteriorar o sinal desejado. Portanto, os capacitores de *Feedthru* podem ser utilizados como filtros ou compensadores de ESR. O sinal é amortecido de maneira controlada, diminuindo a ressonância e os níveis de EMI.

4.2.6 Capacitores Eletrolíticos

Por viabilidade de construção, julgou-se uma melhor alternativa utilizar um capacitor eletrolítico na saída do conversor que comportasse o valor de ondulação de corrente de pico, determinada por $L2$.

No entanto, a resistência intrínseca destes dispositivos são mais elevadas em relação aos capacitores MLCC, conforme mencionado no tópico 4.2.3. Esta limitação do dispositivo também influencia no nível de ondulação relativa na saída, sendo necessário realizar um cálculo a priori de qual o máximo ESR admissível.

Para este projeto, utilizou-se apenas um capacitor eletrolítico de alumínio, da fabricante

Würth Elektronik e modelo 860080674010 [25].

Uma outra possibilidade seria utilizar um banco de capacitores eletrolíticos genéricos.

4.2.7 Considerações sobre indutores

4.2.8 Indutores de potência blindados

Foram dimensionados indutores blindados, intendendo-se a obter menores níveis de EMI. Além disso, a corrente média máxima sobre os indutores também foi considerada, de forma que não houvesse uma queda significativa do valor nominal em função da saturação do núcleo ferromagnético.

Portanto, foram dimensionados dois indutores de $68\mu H$ em série, modelo RFS1317-683KL, da fabricante *Coilcraft* [21]. Em que foram adequadas aos valores de indutância calculados, de forma que a ondulação de pico de corrente máxima é menor ou igual à 60%.

Tabela 4.6: Componentes semicondutores: *Q1* e *D1*

Parâmetro	Valores	Unidade
$V_{DS_{off}}$	-31,95	V
$V_{DS_{offQ1}} @ V_{entrada_{máx}}, \eta = 0,9$	-35,5	V
$I_{Q1_{pico}}$	-6,681	A
$I_{Q1_{RMS}}$	3,760	A
P_{Q1}	0,382	W
V_G	14 ~ 16,8	V
Q1	P-MOS	FDS4685 - Fairchild
$V_{DSS_{máx}}$	-40	V
$V_{GSS_{máx}}$	± 20	V
$I_{D_{máx}}$ (contínua)	-8,2	A
$P_{Diss_{máx}}$	2,5	W
$V_{TO_{máx}}$	-3	V
$R_{DS_{Q1}} @ I_D = -8,2A, V_{GS} = -10$	27	$m\Omega$
$V_{FWD_{Q1}}$	1,2	V
Q_{GD}	6,1	nC
Q_G	27	nC
$I_{D1_{pico}}$	6,681	A
$I_{D1_{RMS}}$	3,258	A
$V_{D1} @ V_{entrada_{máx}}$	31,95	V
P_{D1}	1,8573	W
D1	Schottky	MBR745 - Fairchild
$V_{FWD_{D1}} @ 7,5A, 125^\circ C$	0,57	V

Capítulo 5

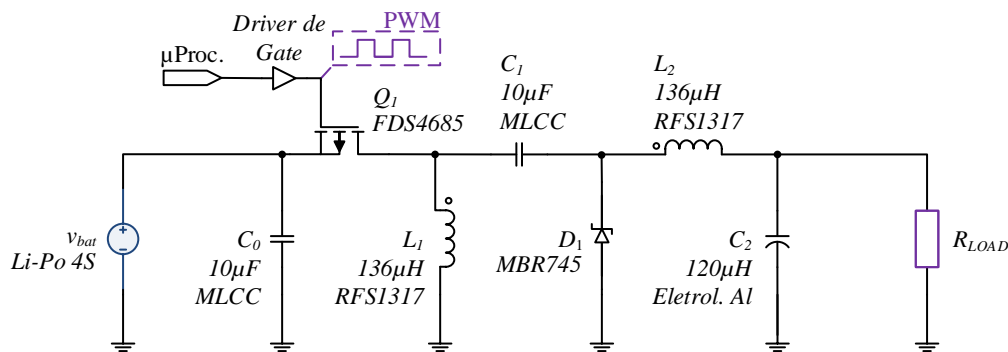
Resultados

Neste capítulo serão realizadas comparações entre os parâmetros de projeto do conversor obtidos via modelagem matemática e simulação, ganho de tensão e eficiência do circuito ideal e com perdas, bem como a dinâmica do circuito modelado no software MATLAB e simulado em software LTSpice.

Considerações iniciais

Nas simulações em LTSpice, foi utilizada, neste trabalho, a nomenclatura de *modelo*, para o circuito, conforme a Figura A.1. Em que foram consideradas as perdas pré-estabelecidas: R_{L1} , R_{L2} , R_G e V_{FWD} , assim como o modelo ideal da chave controlada. A nomenclatura dada para o circuito *dimensionado*, conforme a Figura A.2, refere-se àquele em que foram considerados os componentes comerciais. O circuito *matematicamente modelado* é aquele obtido via equacionamento em ambiente MATLAB, pelas matrizes de espaço de estados.

Figura 5.1: Circuito Zeta dimensionado com componentes comerciais



5.1 Especificações técnicas

Tabela 5.1: Especificações técnicas de conversor CC-CC Zeta projetado versus simulado

Parâmetro	Cálculo	Simulação @ D_{max}	Unidade
$V_{saida_{nominal}}$	$15,000 \pm 0,075$	$14,925 \pm 0,046$	V
$I_{saida_{max}}$	2,130	2,122	A
$P_{saida_{max}}$	32,0	31,67	W
$V_{entrada}$	$12,8 \sim 16,8$	12,8	V
$P_{entrada}$	$< 36,8$	33,72	W
Eficiência (η)	$> 0,87$	0,94	–
f_{ch}	40	40	kHz
Razão Cíclica (D)	$0,4981 \sim 0,5712$	0,5712	–
Ondulação relativa ($\Delta V_{saida_{pp}}$)	1,0	0,6	%
Ganho (A_v)	$0,910 \sim 1,212$	1,145	$\left[\frac{V}{V}\right]$
$I_{L1_{pico}}$	3,695	3,462	A
$\Delta I_{L_{pp}}$	1,71	1,24	A
$\Delta V_{C2_{pp}}$	$< 0,150$	0,092	V
$I_{C1_{RMS}} @ D_{min}$	$\approx 2,456$	2,465	A
$I_{Q1_{pico}}$	-6,681	-6,169	A
$I_{Q1_{RMS}}$	3,760	3,744	A
P_{Q1}	0,382	0,314	W
$I_{D1_{pico}}$	6,681	6,169	A
$I_{D1_{RMS}}$	3,258	3,245	A
P_{D1}	1,857	1,208	W

5.2 Formas de onda

O modelo foi desenhado em LT Spice, e suas formas de onda, relativas aos armazenadores de energia foram obtidas, assim como a corrente fornecida pela bateria e dos semicondutores.

Logo foi possível confirmar, que o equacionamento realizado na seção 3.2 e 3.3 está coerente com as equações do modelo. As formas de onda obtidas em LTSpice referentes aos estados dos componentes armazenadores de energia e semicondutores, são ilustradas no apêndice D.

5.2.1 Tensão de saída e cálculo da razão cíclica

Nesta sub-seção, os resultados obtidos para as condições do circuito modelado e dimensionado, são comparados com os valores calculados de razão cíclica e tensão de saída média.

Segundo o equacionamento em 3.25, foi possível encontrar um valor de razão cíclica para cada uma das duas situações limite de funcionamento do circuito, ou seja, quando a tensão nos terminais da bateria é mínima ou máxima.

Analisando-se a Tabela 5.2, observa-se que os valores de erro obtidos são menores que 1% ao valor de referência de 15V desejado na saída. Estes valores indicam que o erro é baixo e que a estimativa calculada da razão cíclica é próxima do valor teórico.

Tabela 5.2: Comparação da tensão de saída entre o modelo e o circuito dimensionado, razão cíclica e respectivo erro sobre o valor desejado igual à 15V

Circuito	Tensão entrada (V)	Razão cíclica	Tensão saída média (V)	Erro (%)
Modelado	12,8	0,5712	14,864	0,907
Dimensionado	12,8	0,5712	14,925	0,500
Modelado	16,8	0,4981	14,958	0,280
Dimensionado	16,8	0,4981	15,079	0,527

Deve-se notar que o circuito está em malha aberta e não há compensação alguma na simulação. Logo, para uma situação em malha fechada, utilizando-se um controle adequado, o valor de tensão na saída estaria fixo em 15V.

O cálculo do valor mínimo e máximo para a razão cíclica permite afirmar qual será a região na qual o conversor irá operar. Assim, as análises de ganho e eficiência nestas condições de operação acusarão a viabilidade do circuito projetado para determinada aplicação.

5.3 Análise do modelo dinâmico

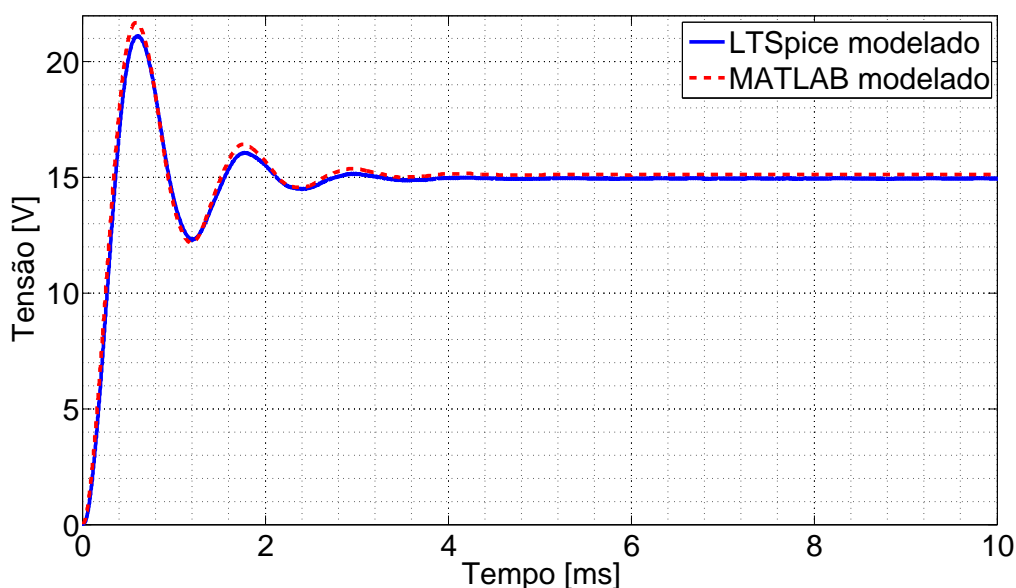
O modelo dinâmico foi obtido conforme as matrizes em espaço de estados, descritas na seção 3.5: conforme (3.17), (3.18), (3.19), (3.20), (3.21) e (3.22).

Aplicando-se o comando *"Step"* via MATLAB, é possível obter a resposta dinâmica do circuito modelado em espaço de estados referente à saída y desejada, em relação à uma excitação degrau na entrada u .

A Figura 5.2 mostra uma comparação entre a resposta obtida do circuito modelado em MATLAB e LTSpice em relação à tensão de saída do conversor (y_{51}). É observada a mesma dinâmica para ambos os casos, indicando coerência nos cálculos realizados e validando a modelagem equacionada. Deve-se atentar à uma pequena diferença entre ambas as respostas, decorrente da utilização de chaves não completamente ideais em ambiente LTSpice impostas por limitações do software de simulação.

Uma vez que o principal objetivo deste trabalho é a regulação da tensão de saída, o elemento y_{51} do vetor de saída y (tensão sobre o capacitor C2) é explicitado neste tópico e analisado com maior detalhamento. Porém, nos apêndices B e C são apresentadas todas as respostas ao degrau referentes aos estados do circuito de interesse, que são as correntes sobre os indutores e tensões sobre os capacitores.

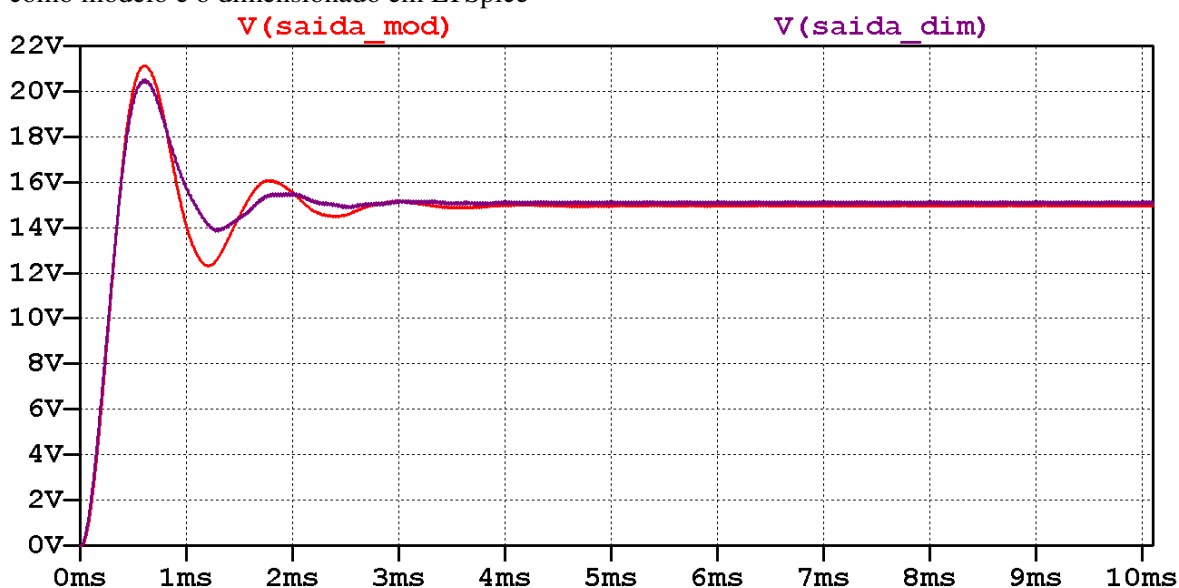
Figura 5.2: Comparação da dinâmica do transiente de tensão de saída do circuito matematicamente modelado em MATLAB e em simulado em LTSpice



Também é possível comparar a dinâmica do circuito modelado com o dimensionado, apre-

sentado na Figura 5.3, em que são consideradas todas as perdas como os modelos do transistor e diodo. O resultado entre ambos é diferente conforme esperado, porém similares, de forma a expor a necessidade, ou não, de uma investigação mais complexa, por adicionar mais perdas e tornar o modelo mais detalhado. Neste projeto, notou-se que o modelo obtido é satisfatório.

Figura 5.3: Comparação da dinâmica do transiente de tensão de saída entre os circuitos utilizados como modelo e o dimensionado em LTSpice



Em apêndice B estão as figuras relativas as outras respostas das demais saídas em y obtidas em MATLAB conforme o modelo linearizado.

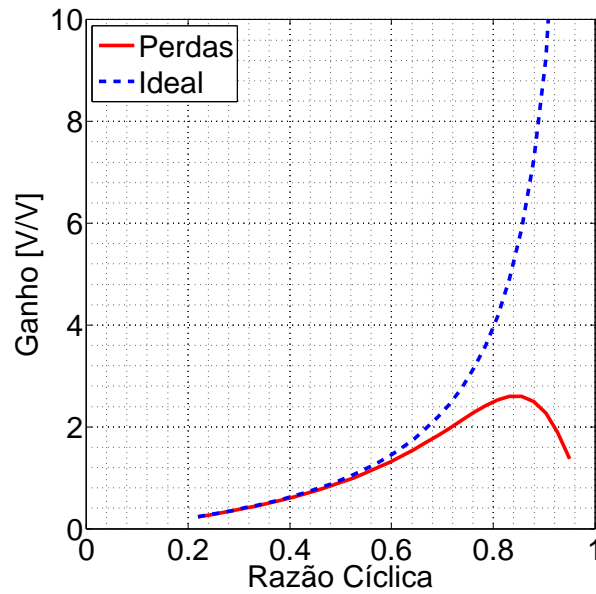
5.4 Análise de ganho do conversor Zeta

Nesta seção serão analisados os resultados referentes ao comportamento do ganho de tensão do conversor Zeta. Será realizada uma comparação entre o comportamento do ganho considerando o circuito como ideal e o comportamento do conversor considerando as perdas nos indutores, resistência intrínseca da fonte e a tensão reversa do diodo *Schottky*.

Conforme o equacionamento realizado em 3.23 e 3.25, foi possível traçar os gráficos de ganho de tensão alterando-se a razão cíclica, em modo de condução contínua.

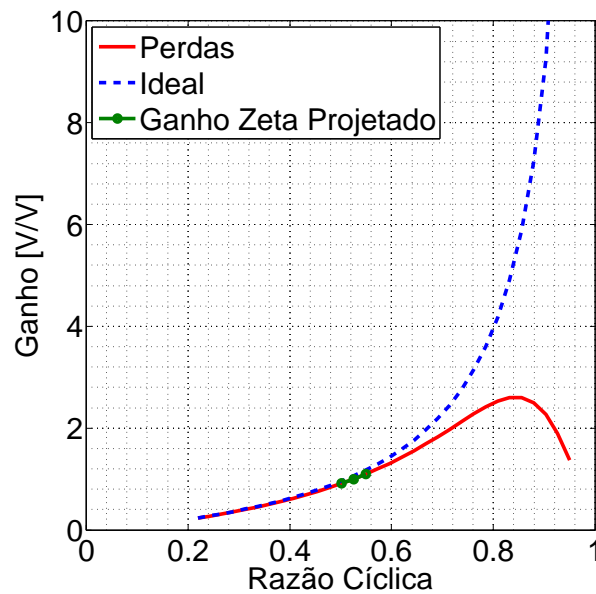
Primeiramente, através da Figura 5.12, pode-se notar um comportamento do ganho muito diferente entre a curva ideal e o modelo incluindo as perdas intrínsecas do conversor Zeta. Esta divergência é importante para verificar o comportamento do conversor projetado, assim como os valores de ganho calculados frente à região de contorno (tensão mínima e máxima de entrada).

Figura 5.4: Comparação do ganho do conversor Zeta ideal e do circuito considerando-se as perdas intrínsecas: R_{L1} , R_{L2} , R_G e V_{FWD}



Portanto, com base na Figura 5.5 e Tabela 5.3, pode-se analisar a região de operação. A Figura 5.5 mostra a região de ganho em que o conversor operará, conforme calculado na seção 3.6.

Figura 5.5: Ganho do conversor Zeta projetado em respectiva região de operação;.



A Tabela 5.3 indica qual é a faixa de valores da variação de razão cíclica de operação do conversor, assim como o respectivo ganho em cada situação. O termo descrito que descreve o

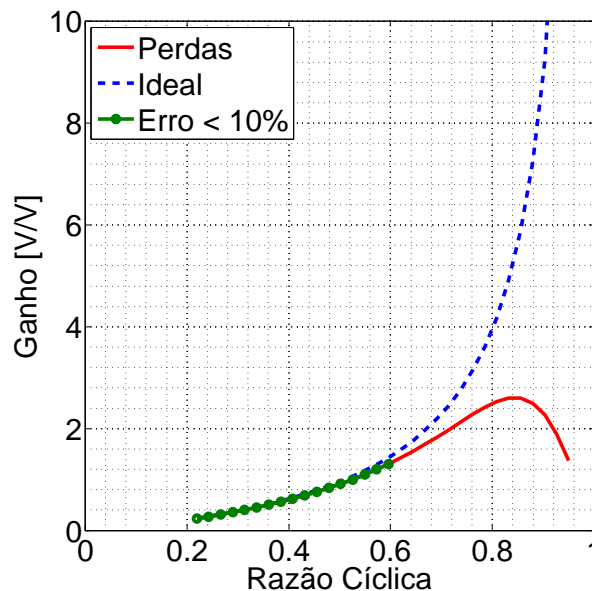
valor mínimo de razão cíclica para que o conversor continue operando em modo de condução contínua ($D_{min}@MCC$) é apresentado.

Tabela 5.3: Parâmetros de operação conversor Zeta: razão cíclica e ganho

Parâmetro	Valores	Unidade
$D_{min}@V_{entrada_{max}}$	0,4871	–
$Ganho_{min}@V_{entrada_{max}}$	0,9105	$\left[\frac{V}{V}\right]$
$D_{max}@V_{entrada_{min}}$	0,5712	–
$Ganho_{max}@V_{entrada_{min}}$	1,2123	$\left[\frac{V}{V}\right]$
$D_{min}@MCC$	0,2189	–

Uma vez que o conversor se comporta de maneira próxima a ideal para uma razão cíclica de até 0,6199, exposto em Figura 5.6, é concluído que o conversor projetado possui uma construção factível, possuindo um intervalo de razão cíclica contida em uma região em que a diferença, entre os comportamentos ideal e com perdas, é menor que 10%.

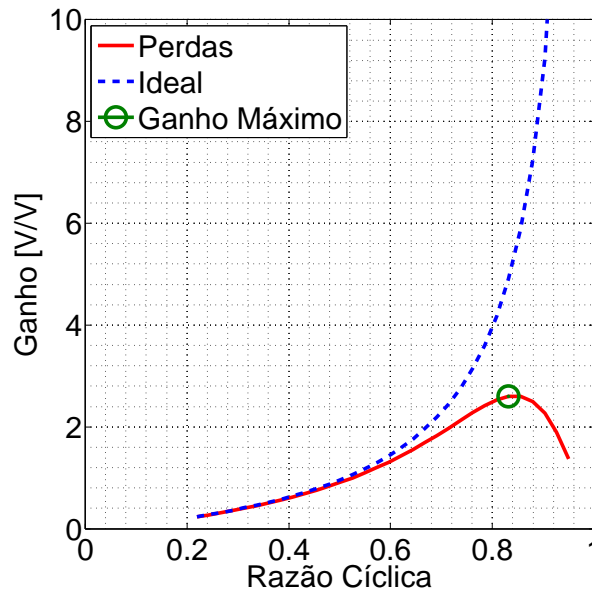
Figura 5.6: Ganho do conversor Zeta cujo erro em comparação ao comportamento ideal é de no máximo 10%.



Nota-se, conforme a Figura 5.7, que o ganho máximo desta topologia de conversor, considerando-se as perdas já mencionadas, é igual a 2,5986, com razão cíclica de 0,8321. De forma que a componente da equação (3.23) que se relaciona às perdas torna-se cada vez

mais significativa à medida em que a razão cíclica aumenta.

Figura 5.7: Ganho do conversor Zeta máximo sobre comportamento considerando-se as perdas intrínsecas



Desta maneira, a análise mais importante desse trabalho é mostrar que o conversor possui um comportamento muito limitado em comparação ao seu equacionamento ideal. Logo, uma vez que se deseja projetar um conversor Zeta deve-se atentar aos valores de ganho que serão possíveis de serem alcançados, ou seja, pontualmente para valores específicos de componentes e suas respectivas perdas.

5.5 Análise do efeito das perdas sobre o ganho de tensão do conversor Zeta

Nesta seção serão analisados os resultados referentes à influência das perdas: R_{L1} , R_{L2} e R_G sobre o ganho do conversor projetado.

O intuito dessa análise é determinar qual resistência possui o impacto mais significativo sobre o ganho do conversor. De forma que é possível investir mais, ou menos, em determinado componente a fim de se obter a menor perda possível para que se aumente o ganho estático do circuito em determinado ponto de operação.

5.5.1 Perdas intrínsecas da fonte R_G

Com a variação do valor da resistência intrínseca R_G e a razão cíclica, é possível calcular o ganho do conversor a partir da modelagem realizada em MATLAB.

As figuras 5.8 e 5.8 apresentam o efeito da resistência intrínseca da fonte sobre o ganho do conversor Zeta.

Figura 5.8: Efeito da resistência intrínseca da fonte R_G no ganho do conversor Zeta

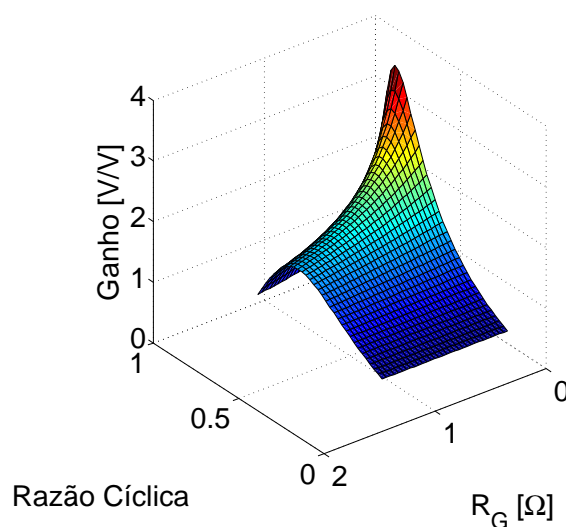
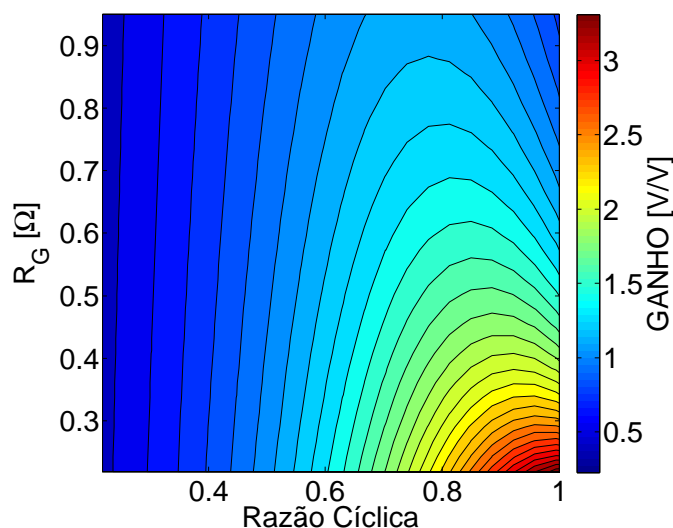


Figura 5.9: Curvas de nível do efeito da resistência intrínseca da fonte R_G no ganho do conversor Zeta



Com base nos resultados obtidos é possível observar qual seria a limitação de ganho para determinado valor de R_G . Também vale o contrário, ou seja, determinar qual é o valor máximo de R_G para se obter um ganho específico. Assim, é possível escolher uma fonte que permita

alcançar o ganho desejado nesta configuração.

Percebe-se que uma resistência superior a $0,4\Omega$ compromete de forma significativa o ganho estático máximo do conversor. Sendo que nesta condição o valor máximo de ganho é igual à 1,96 para razão cíclica de 0,92.

No entanto, realizar um chaveamento com esta razão cíclica é inviável na prática, uma vez que a eficiência é bastante pequena, inferior à 0,15, segundo as figuras 5.15 e 5.16. A análise de eficiência será realizada posteriormente na seção 5.6.

5.5.2 Perdas intrínsecas dos indutores R_{L1} e R_{L2}

Variando-se os valores das resistências intrínsecas R_{L1} e R_{L2} e a razão cíclica, é possível calcular o ganho do conversor a partir da modelagem realizada em MATLAB, de forma análoga à subseção 5.5.1.

As figuras 5.10 e 5.11 apresentam o efeito das resistências intrínsecas dos indutores sobre o ganho do conversor Zeta, em que se observa a limitação de ganho de tensão estático para determinados valores de R_{L1} e R_{L2} .

Logo, é possível determinar qual é o modelo de indutor a ser utilizado, com resistência intrínseca máxima admitida, para que o ganho de tensão desejado seja alcançado.

Figura 5.10: Efeito da resistência intrínseca da fonte R_{L1} e R_{L2} no ganho do conversor Zeta

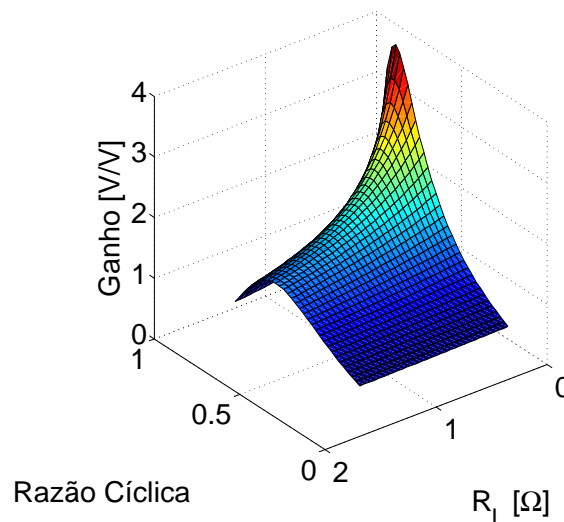
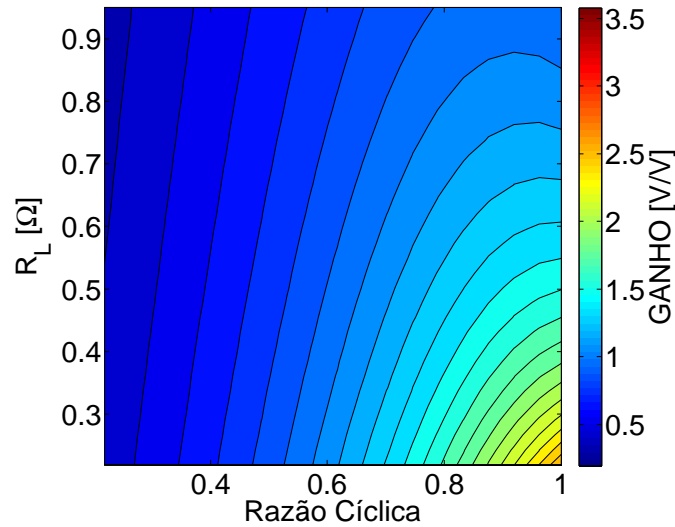


Figura 5.11: Curvas de nível do efeito da resistência intrínseca da fonte R_{L1} e R_{L2} no ganho do conversor Zeta



A partir dos gráficos 5.10 e 5.11, percebe-se que uma resistência superior a $0,3\Omega$ compromete o ganho do conversor de forma ainda mais significativa, em comparação com o efeito da resistência da fonte.

Considerações sobre o efeito das resistências no ganho do conversor Zeta

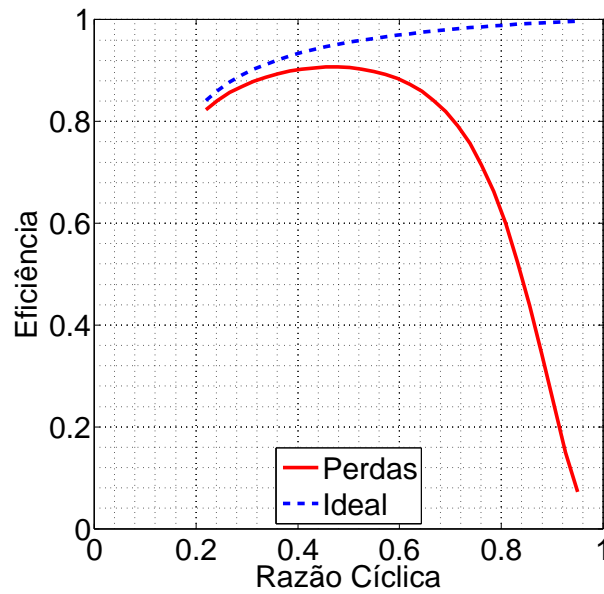
Assim como a resistência da fonte (R_G), as resistências dos indutores (R_{L1} e R_{L2}) possuem um impacto significativo sobre o ganho de tensão do conversor Zeta, de forma que a escolha indevida destes componentes podem inviabilizar o projeto do conversor.

5.6 Análise de eficiência do conversor Zeta

Nesta seção serão analisados os resultados referentes à eficiência do conversor Zeta projetado. Será observado o comportamento da eficiência entre o circuito modelado ideal e com perdas. Em ambas as situações será considerada a tensão de entrada mínima, uma vez que esta condição é a que o conversor possui a menor eficiência.

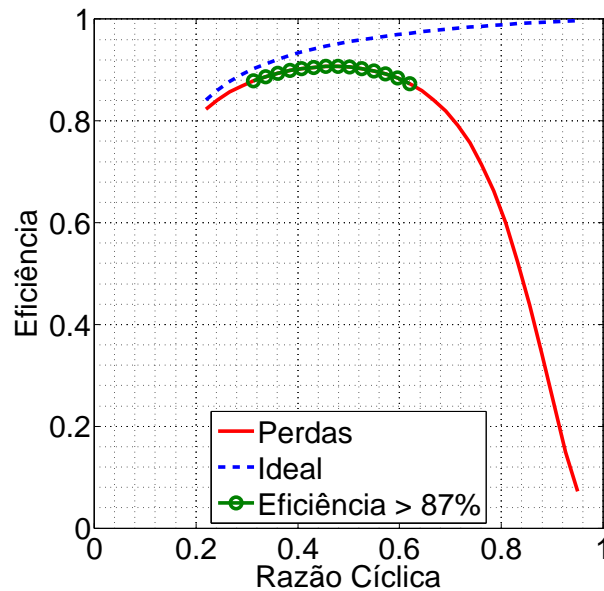
Segundo análise da Figura 5.4, na região em que o ganho não se comporta de maneira ideal (para valores de D maiores que 0,6199), nota-se na Figura 5.12 que há uma queda brusca de eficiência, pois a parcela da equação referente as perdas se torna bastante significativa.

Figura 5.12: Comparação da eficiência do conversor Zeta ideal e do circuito considerando-se as perdas intrínsecas: R_{L1} , R_{L2} , R_G e V_{FWD}



Conforme a Figura 5.12, é possível extrair o intervalo em que a eficiência do circuito é maior que a mínima admitida. Os dados obtidos constam na Tabela 5.4 e na Figura 5.13.

Figura 5.13: Região cuja eficiência do conversor Zeta projetado é maior que a mínima admitida de 87%



Portanto, como os valores de razão cíclica calculados na seção 3.6, para operação do circuito conforme desejado, estão contidos dentro do intervalo que consta na Tabela 5.4, conclui-se que o circuito funcionará com eficiência maior que 87%, cumprindo as especifica-

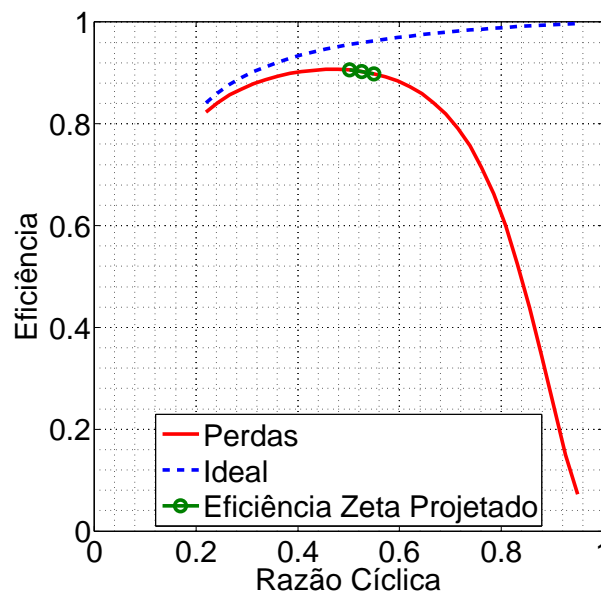
Tabela 5.4: Razão cíclica para operação em eficiência mínima de 87% e ponto de máxima eficiência

Eficiência(η) mínima = 0,87	
D_{min}	0,3134
D_{max}	0,6199
Eficiência(η) máxima = 0,91	
D	0,4784

ções propostas. A Figura 5.14 explicita a eficiência do conversor projetado em sua respectiva região de operação.

Também, é possível observar que para os componentes escolhidos a eficiência máxima é de 91%. Assim, caso fosse desejada uma eficiência maior, deveriam ser utilizados outros indutores, bateria e transistores, que possuam perdas intrínsecas menores.

Figura 5.14: Região de operação do conversor Zeta projetado



Deve-se ressaltar que os gráficos foram traçados somente no intervalo de valores de razão cíclica em que se garante o modo de condução contínua.

5.7 Análise do efeito das perdas sobre a eficiência do conversor Zeta

Nesta seção serão analisados os resultados referentes à influência das perdas: R_{L1} , R_{L2} e R_G sobre a eficiência do conversor projetado.

O objetivo desta análise é de investigar qual é o efeito das perdas da fonte e dos indutores sobre a eficiência do conversor, de forma a saber qual é a razão cíclica máxima admissível determinado nível de eficiência.

Este resultado está diretamente relacionado à dissipação de potência do circuito em seus componentes. Uma vez que a eficiência é baixa, o circuito pode ir à falha.

5.7.1 Efeito das perdas intrínsecas da fonte R_G

Variando-se o valor da resistência intrínseca R_G e a razão cíclica, também é possível calcular a eficiência do conversor a partir da modelagem realizada em MATLAB.

As figuras 5.15 e 5.16 apresentam o efeito da resistência intrínseca da fonte sobre a eficiência do conversor Zeta.

Figura 5.15: Efeito da resistência intrínseca da fonte R_G na eficiência do conversor Zeta

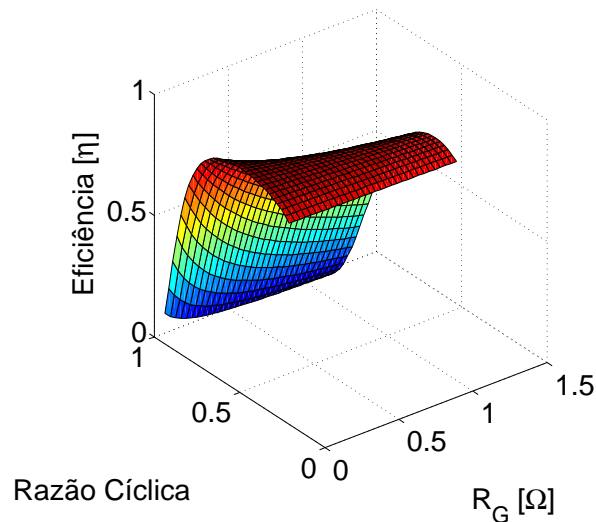
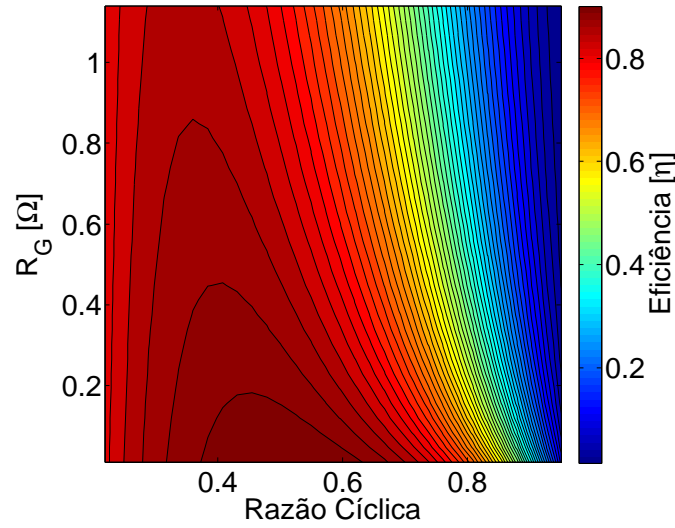


Figura 5.16: Curvas de nível do efeito da resistência intrínseca da fonte R_G na eficiência do conversor Zeta



Com base nos gráficos obtidos, considerando-se valores de R_G acima de $0,3\Omega$, a razão cíclica máxima admissível é reduzida a 0,53 de forma que a eficiência ainda seja maior que 87%.

Portanto, fica evidente que o impacto do aumento da resistência da fonte é significativo, tanto para o ganho como para a eficiência do conversor, pois, a limitação da razão cíclica frente à eficiência limita também o ganho máximo do conversor.

Logo, há uma relação direta entre eficiência e ganho que indicará quais são os valores máximos admissíveis para as perdas intrínsecas dos componentes do conversor.

5.7.2 Efeito das perdas intrínsecas dos indutores R_{L1} e R_{L2}

Variando-se os valores das resistências intrínsecas R_{L1} e R_{L2} e a razão cíclica, é possível calcular a eficiência do conversor a partir da modelagem realizada em MATLAB.

As figuras 5.17 e 5.18 apresentam o efeito das resistências intrínsecas dos indutores L1 e L2 sobre a eficiência do conversor Zeta.

Figura 5.17: Efeito da resistência intrínseca da fonte R_{L1} e R_{L2} na eficiência do conversor Zeta

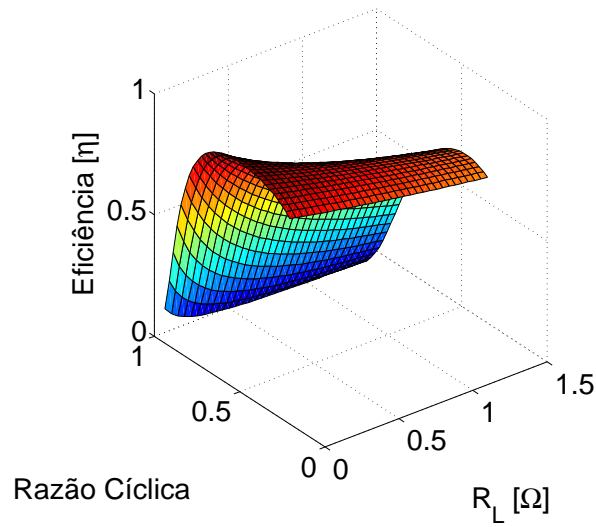
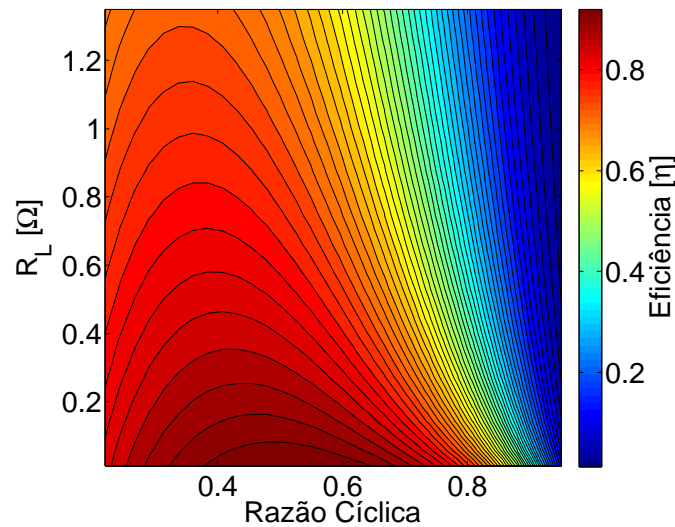


Figura 5.18: Curvas de nível do efeito da resistência intrínseca da fonte R_{L1} e R_{L2} na eficiência do conversor Zeta



As perdas intrínsecas dos indutores é mais significativa, conforme as Figuras 5.17 e 5.18, pois a eficiência reduz ainda mais em comparação com o mesmo efeito em relação as resistências da fonte, apresentado nas figuras 5.15 e 5.16.

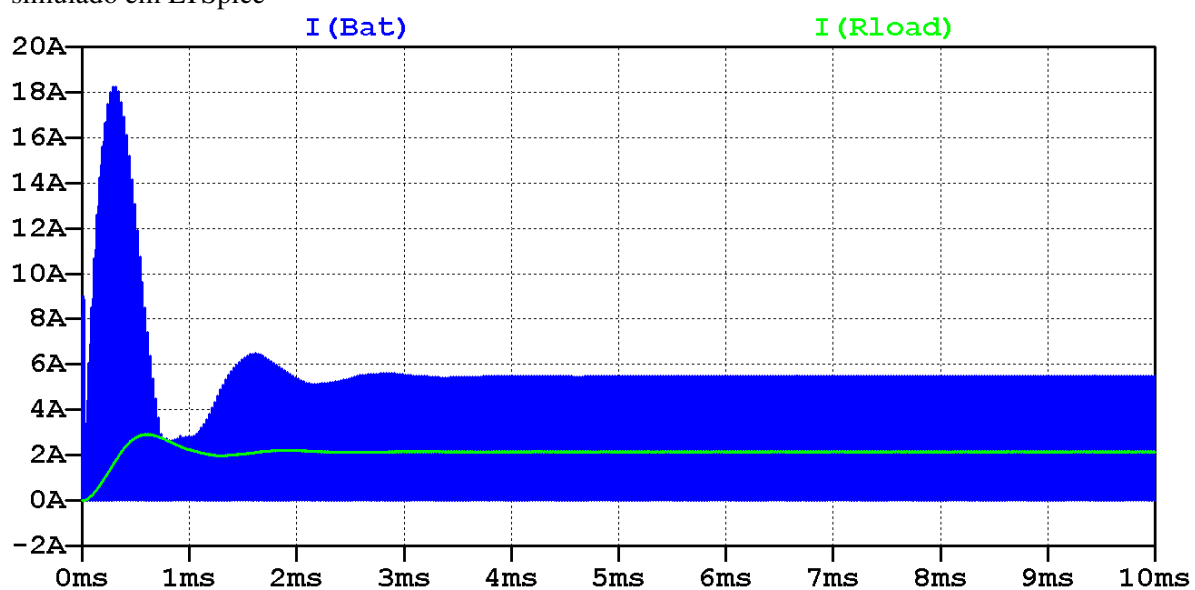
Considerações sobre a corrente de entrada fornecida pela fonte e a de saída

Pode-se analisar a característica da corrente de entrada e de saída pela Figura 5.19, de acordo com a Tabela 2.3, que apresenta as características da topologia do conversor Zeta na seção ??.

A corrente de entrada é pulsada e sofre bastante efeito do chaveamento. No entanto, como foi proposto utilizar uma bateria como fonte, não é um problema haver uma corrente de entrada altamente ondulada.

Por outro lado, a corrente de saída possui um nível de ondulação baixo, conforme especificação do projeto.

Figura 5.19: Corrente de entrada fornecida pela fonte e corrente de saída do circuito dimensionado, simulado em LTSpice



Capítulo 6

Conclusões

Este trabalho mostrou-se importante para que a técnica de análise, modelagem matemática e dimensionamento de componentes em circuitos chaveados fosse estudado a fundo.

A partir de uma motivação prática, do projeto de uma fonte de alimentação com baixa ondulação de tensão de saída e alta eficiência envolvendo aplicações de baixa potência, foi necessário estudar diversos temas da área de eletrônica de potência. Nesse contexto, em uma primeira etapa, foi realizada uma revisão bibliográfica em que foi analisado o procedimento de modelagem de sistemas elétricos dinâmicos representados em espaço de estados, a técnica de linearização, características de diferentes topologias de conversores CC-CC, assim como características dos componentes armazenadores de energia (capacitores e indutores).

Após realizado um estudo sobre algumas arquiteturas de conversores *Buck-Boost* de segunda geração já consolidadas na literatura (Ćuk, SEPIC e Zeta), foi determinado que a topologia Zeta era a mais indicada para a aplicação proposta.

Assim, o conversor Zeta foi equacionado e modelado matematicamente, cujas perdas nos indutores, na bateria e no diodo *Schottky*, foram consideradas. Desta forma, a partir do modelo linearizado do conversor, as matrizes da representação em espaço de estados foram obtidas. Essa representação permitiu, realizar a análise da dinâmica do conversor. Ao comparar a dinâmica modelada com a simulada, notou-se uma enorme similaridade entre os resultados, e assim o modelo foi validado.

Portanto, foi possível dimensionar todos os componentes do circuito em relação à ondulação máxima admitida em cada componente armazenador de energia. Assim, com base em documentos de especificações, os respectivos componentes comerciais foram encontrados. Além das especificações técnicas, foi levado em consideração o custo, o tamanho e a viabilidade de construção do projeto.

Durante o processo de dimensionamento foi necessário analisar o comportamento de cada componente no circuito, assim como as relações de causa e consequência entre os mesmos. De forma que foi possível depreender quantitativamente sobre os níveis de ondulação de corrente e tensão sobre os indutores e capacitores.

Verificou-se que para a aplicação cuja fonte de entrada é uma bateria com elevada taxa de descarga, torna-se opcional manter o capacitor de acoplamento de entrada no circuito caso a redução de custos seja prioridade. Porém, ao mantê-lo no circuito, consegue-se aumentar a eficiência do conversor.

O capacitor de acoplamento deve possuir uma baixíssima resistência intrínseca, sendo esta a principal restrição em relação à escolha deste componente, usualmente cerâmica X5R (MLCC) e filme metálico.

De acordo com a proposta do projeto de que haja uma ondulação de tensão baixa na saída do conversor, os capacitores de saída devem possuir valores de capacitância elevados e portanto, a restrição em relação ao material e modelo do dispositivo também é significativa. Logo, após pesquisa sobre diversos tipos de capacitores, o modelo que melhor atende as especificações é o eletrolítico de alumínio.

Por outro lado, os indutores possuem uma relação direta com o capacitor de saída. Uma vez que os indutores são dimensionados com base na ondulação de corrente, deveu-se atender à máxima ondulação de corrente admitida pelos capacitores de saída como valor de referência para o dimensionamento dos indutores, já que tal ondulação é filtrada por estes dispositivos. Além disso, por serem eletrolíticos, possuem valores de ESR significativos. Estas perdas limitam a ondulação mínima sobre a carga. Logo, foi necessário estabelecer uma relação de custo benefício entre ondulação de corrente e ondulação de tensão, ou seja, uma relação entre indutores e o capacitor de saída.

Após o dimensionamento, foi possível simular o circuito em LT Spice. Os valores das variáveis de interesse calculados foram comparados com os valores obtidos pelo simulador. Foi observado que todos os valores estavam dentro das especificações e que o projeto do circuito chaveado foi bem sucedido.

O modelo calculado também foi validado com base na simulação por possuir um desvio da tensão de saída em relação ao valor de referência em menos de 1%. Assim, julgou-se o modelo como suficientemente satisfatório para aplicações que envolvam projetos práticos a nível industrial.

Após a validação do modelo, foram explorados os resultados de ganho e eficiência do

conversor. Primeiramente, em relação ao equacionamento, pode ser notada uma complexidade maior em relação à modelagem em que são incluídas as perdas no circuito, tornando a equação que descreve o ganho mais complexa, assim como as respectivas matrizes de espaço de estados.

No entanto, após análise gráfica do comportamento do ganho do circuito em ambas as condições, percebeu-se uma imensa diferença qualitativa e quantitativa. Logo, uma vez que deseja-se realizar o projeto do conversor, a equação de ganho em que se consideram as perdas revelou uma imensa importância em ser adotada. De forma que para valores de razão cíclica elevados, o circuito na realidade entraria em colapso.

Assim, foi estabelecida uma relação direta entre ganho e eficiência, ou seja, na região em que o sistema real entraria em colapso, a eficiência cairia de maneira brusca. Em termos físicos, a bateria poderia não suportar a potência exigida pelo circuito, o transistor de potência e ou o diodo poderiam superaquecer e ficarem sobrecarregados, e os indutores esquentariam ao dissipar potência em suas resistências intrínsecas, levando o circuito à falha.

Portanto, sabendo-se das limitações do circuito, projetou-se o conversor considerando-se as perdas para que o mesmo operasse em uma região cuja eficiência fosse maior que 87% e o ganho próximo da unidade, com disparidade de até 10% ao ideal.

Uma vez que esta região de operação possui a máxima eficiência do conversor e analisando-se que todas as especificações foram alcançadas, ao comparar o modelo com a simulação do circuito pode-se afirmar que a modelagem e dimensionamento foram concluídos com sucesso.

Trabalhos futuros

Para trabalhos futuros, espera-se realizar a construção do conversor Zeta projetado de forma a comparar os resultados obtidos via simulação com resultados práticos, projetar diferentes arquiteturas de controladores e implementar uma malha de controle de tensão e corrente, a partir de técnicas de controle moderno. Também é desejado explorar novas estruturas de conversores CC-CC que utilizem a topologia Zeta como base.

Referências Bibliográficas

- [1] Eldho Joy. A Brief History of Power Electronics and Drives. *International Journal of Engineering Research & Technology (IJERT)*, 3(4):2571–2576, 2014.
- [2] Ian M Ross. The Foundation of the Silicon Age. *Physics Today*, 50(12):34, 1997.
- [3] J J Sparkes. The first decade of transistor development : a personal view. 43(1), 1973.
- [4] Masao Yano, Shigeru Abe, and Eiichi Ohno. History of Power Electronics for Motor Drives in Japan. *IEEE Conference on the History of Electronics (CHE)*, pages 1–11, 2004.
- [5] Robert W. Ericksson; and Dragan Maksimovic. *Fundamentals of Power Electronics*. Second edition, 2000.
- [6] M. Jeffrey Oakes. A Brief History of Batteries and Stored Energy, 2006.
- [7] Jürgen Fricke. The World of Batteries, 2007.
- [8] David G. Vutetakis. 10.1 Introduction. In Cary R. Spitzer, editor, *The Avionics Handbook*, number 1888. CRC Press LLC, 2001.
- [9] Chester Simpson. Characteristics of Rechargeable Batteries. *National Semiconductor; Texas Instruments*, pages 1–12, 2011.
- [10] Renan Fernandes Bastos. *Sistema de Gerenciamento para Carga e Descarga de Baterias (Chumbo- Ácido) e para Busca do Ponto de Máxima Potência Gerada em Painéis Fotovoltaicos Empregados em Sistemas de Geração Distribuída*. Dissertação de mestrado, Universidade de São Paulo, 2013.
- [11] Jarno D. Dogger, Bart Roossien, and Frans D J Nieuwenhout. Characterization of li-ion batteries for intelligent management of distributed grid-connected storage. *IEEE Transactions on Energy Conversion*, 26(1):256–263, 2011.

- [12] Kokam. KOKAM Li-ion Polymer Cells Brochure. 2017.
- [13] Fran Hoffart. Proper care extends Li-ion battery life, 2008.
- [14] J. Falin. Designing DC / DC converters based on SEPIC topology. *Analog Applications Journal Texas Instruments Incorporated*, pages 18–23, 2008.
- [15] J.A. Pomilio. 4. Conversor Abaixador-Elevador De Tensão Como Pré- Regulador De Fator De Potência. In *Pré Reguladores de Fator de Potência*, pages 1–5. Campinas, 2016.
- [16] J. Falin. Designing DC/DC converters based on ZETA topology. *Analog Applications Journal Texas Instruments Incorporated*, 2Q:16–21, 2010.
- [17] J.A. Pomilio. 6. Conversores Cuk, Sepic E Zeta Como Pfp. In *Pré Reguladores de Fator de Potência*, chapter 6, pages 1–13. Campinas, 2016.
- [18] J.A. Pomilio. Fontes Chaveadas. In *Topologias básicas de conversores CC-CC não-isolados*, chapter 1, pages 1–19. Campinas, Brasil.
- [19] G H F Fuzato, C R Aguiar, K D A Ottoboni, R F Bastos, and R Q Machado. Voltage gain analysis of the interleaved boost with voltage multiplier converter used as electronic interface for fuel cells systems. *IET Power Electronics*, 9(9):1842–1851, 2016.
- [20] F.S. Dos Reis, J.C.M. De Lima, V.M. Canalli, J.A. Pomilio, J. Sebastián, and J. Uceda. Matching conducted EMI to International standards. In *PESC Record - IEEE Annual Power Electronics Specialists Conference*, volume 1, pages 388–393, 2002.
- [21] Coilcraft. Shielded Power Inductors - RFS1113 Datasheet. 2012.
- [22] Fairchild Semiconductor. MBR735 - MBR760 - Schottky Rectifiers Datasheet. 2008.
- [23] Fairchild Semiconductor. FDS4685 40V P-Channel PowerTrench ® MOSFET Datasheet. 2005.
- [24] Murata Manufacturing Co. Chip Monolithic Ceramic Capacitors Datasheet and Application Notes. 2006.
- [25] Würth Elektronik. 860080674010 WCAP-ATLI Aluminum Electrolytic Capacitors Datasheet. 2014.

- [26] Masaaki Togashi. ESR Control Multilayer Ceramic Capacitors Product Section; TDK Corporation - Capacitors Business Group. 2008.
- [27] MuRata Manufacturing Co. Product details for GRM31CR61H106MA12, Murata capacitor.
- [28] Rohm. The Important Points of Multi-layer Ceramic Capacitor Used in Buck Converter circuit. Technical Report 13027, 2013.
- [29] Holy Stone. Multilayer Ceramic Chip Capacitors. 2002.
- [30] T. Roy, L. Smith, and J. Prymak. ESR and ESL of ceramic capacitor applied to decoupling applications. *IEEE 7th Topical Meeting on Electrical Performance of Electronic Packaging (Cat. No.98TH8370)*, pages 213–216, 1998.
- [31] YAGEO Corporation. High Capacitance MLCCs Brochure. 2012.
- [32] AVX. AVX Multilayer Ceramic SMD Feedthru Capacitor Datasheet.

Apêndice A

Circuitos utilizados para simulação em LTSpice

Circuitos utilizados para simulação em LTSpice: *modelado e dimensionado*.

Figura A.1: Circuito *modelado*

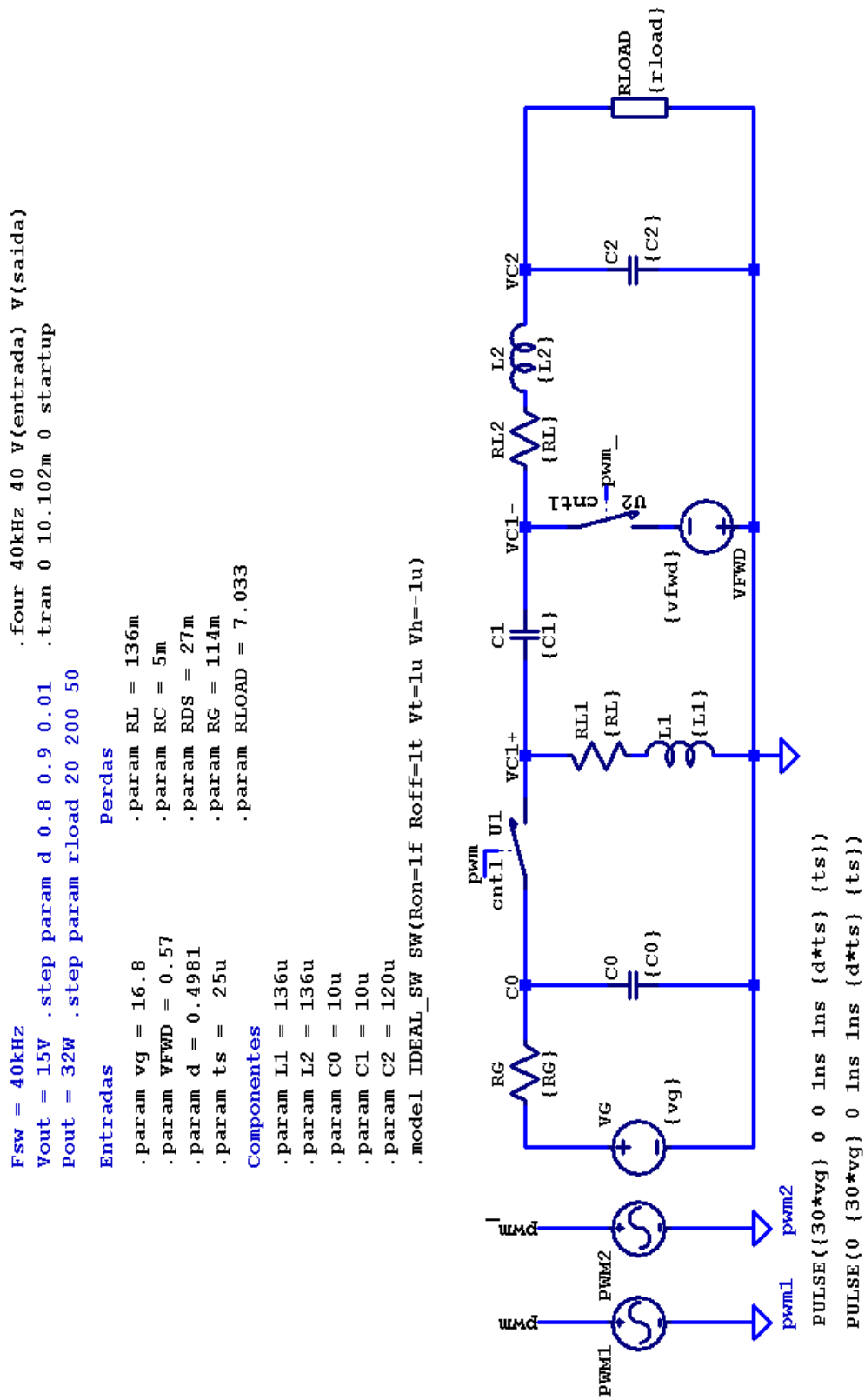
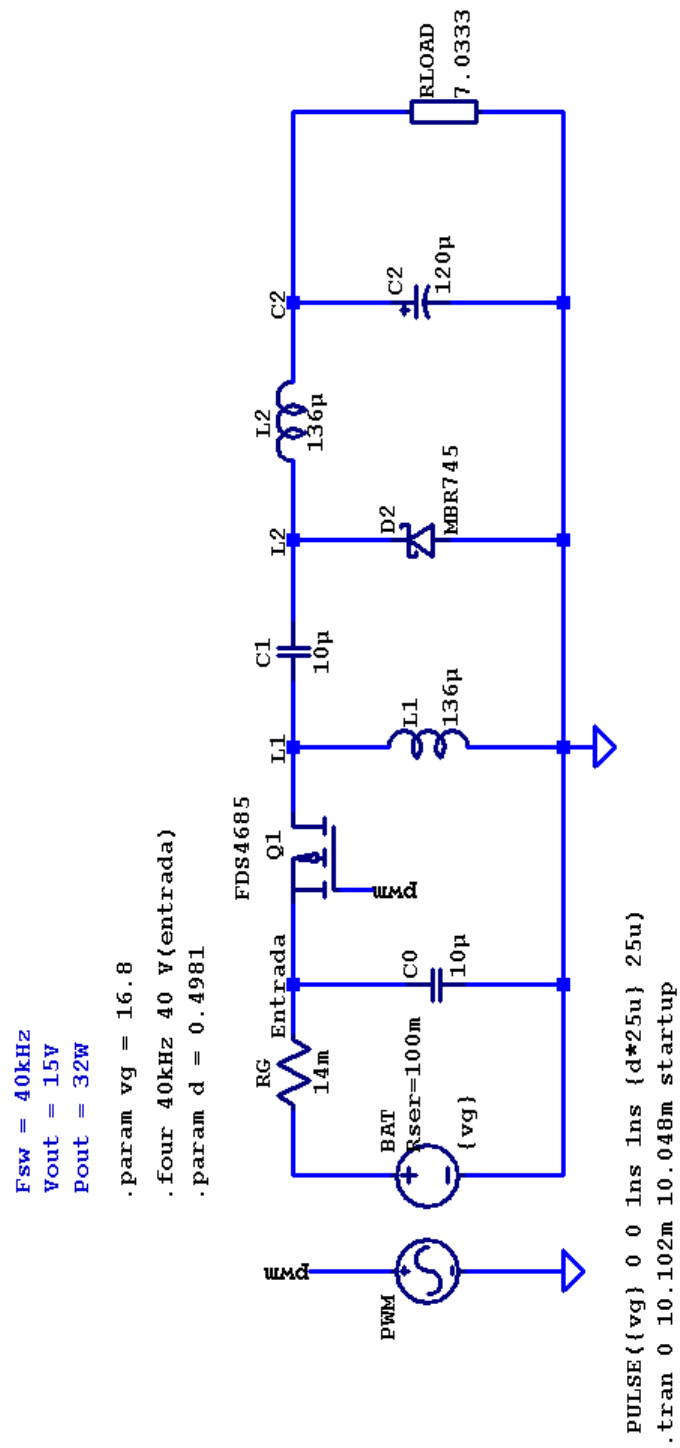


Figura A.2: Circuito *dimensionado* em que foram utilizados semicondutores de modelos comerciais



Apêndice B

Respostas ao degrau do modelo em MATLAB

Respostas ao degrau das variáveis de saída de interesse referentes ao circuito modelado em MATLAB.

Figura B.1: Transiente de corrente sobre o indutor L1 do circuito modelado em MATLAB (y_{11})

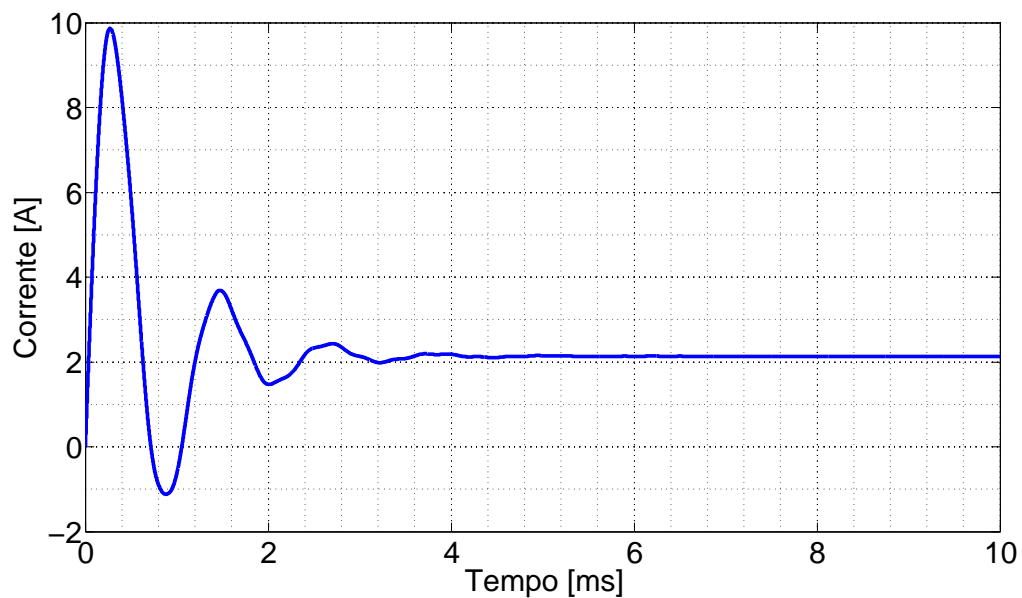


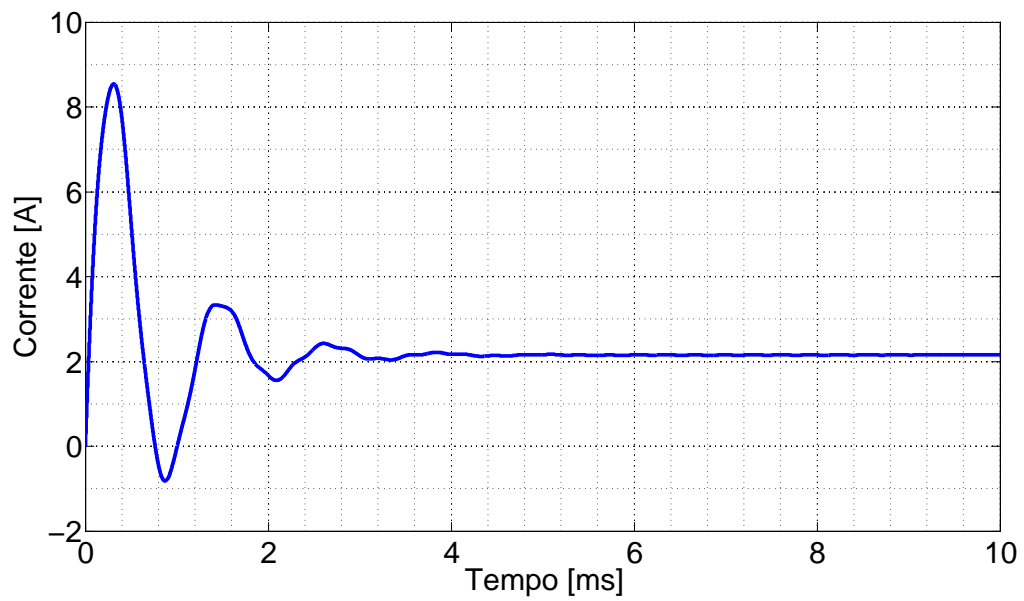
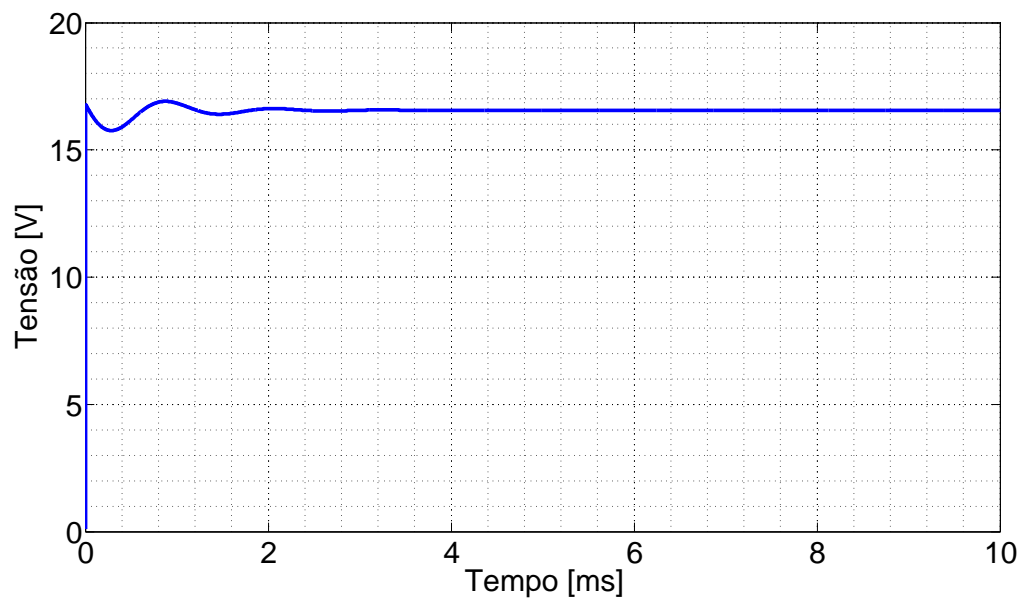
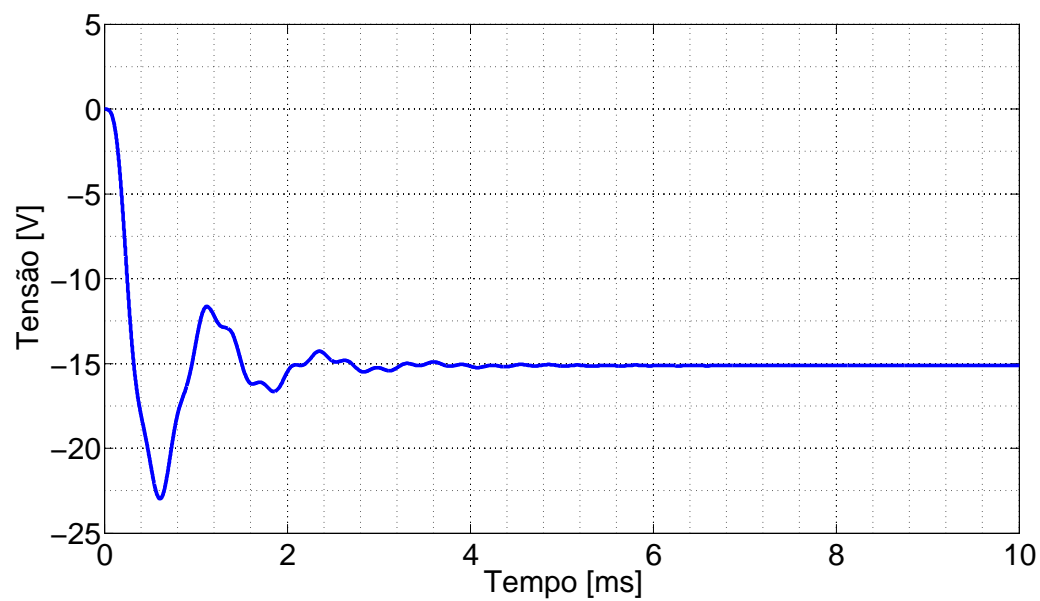
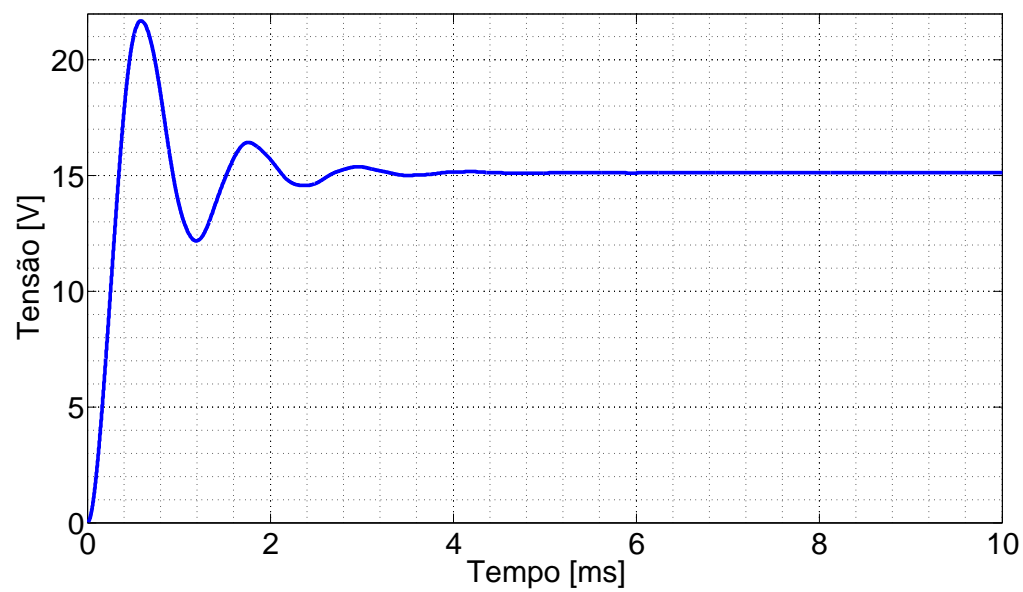
Figura B.2: Transiente de corrente sobre o indutor L2 do circuito modelado em MATLAB (y_{21})Figura B.3: Transiente de tensão sobre o capacitor C0 do circuito modelado em MATLAB (y_{31})

Figura B.4: Transiente de tensão sobre o capacitor C1 do circuito modelado em MATLAB (y_{41})Figura B.5: Transiente de tensão sobre o capacitor C2 do circuito modelado em MATLAB (y_{51})

Apêndice C

Respostas ao degrau do modelo em LTSpice

Respostas ao degrau das variáveis de saída de interesse referentes ao circuito modelado em LTSpice.

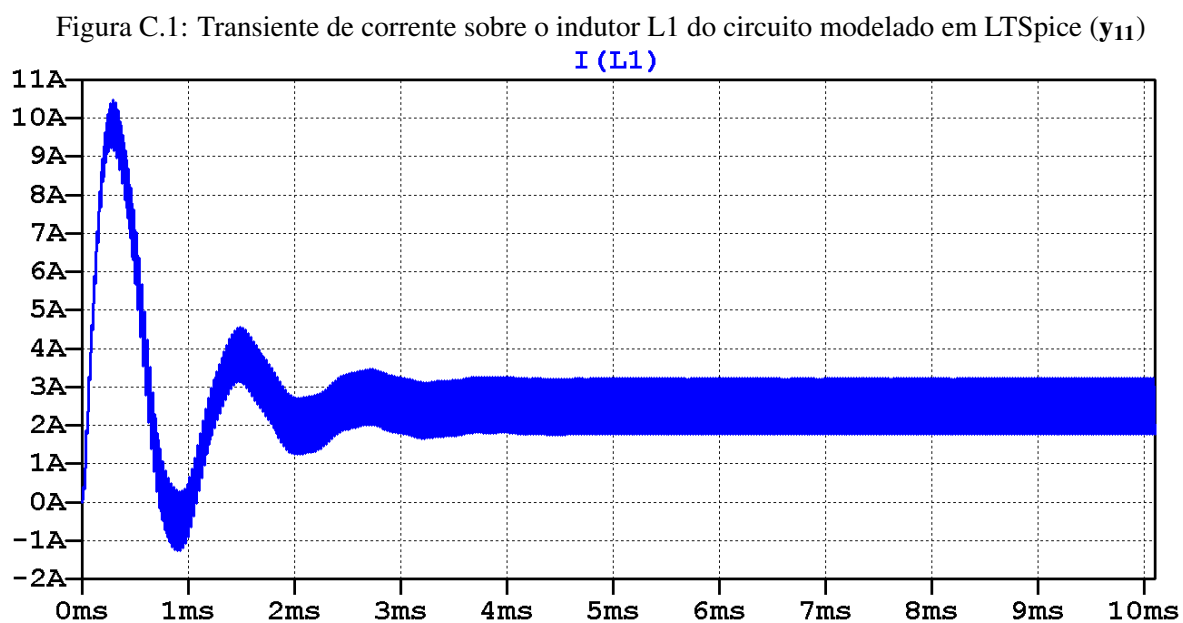


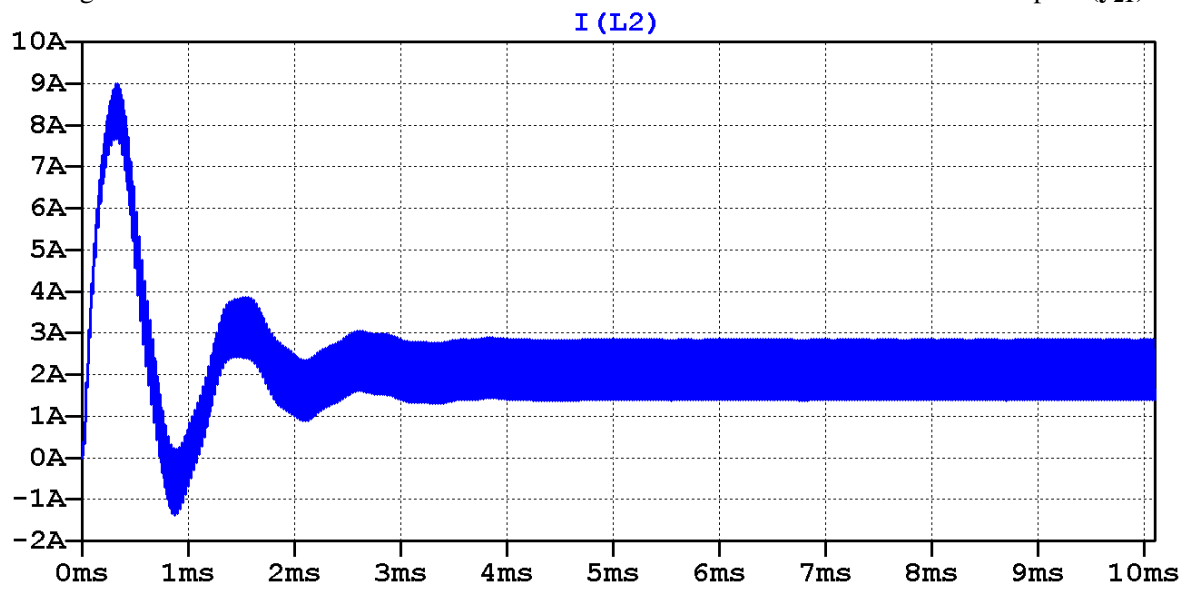
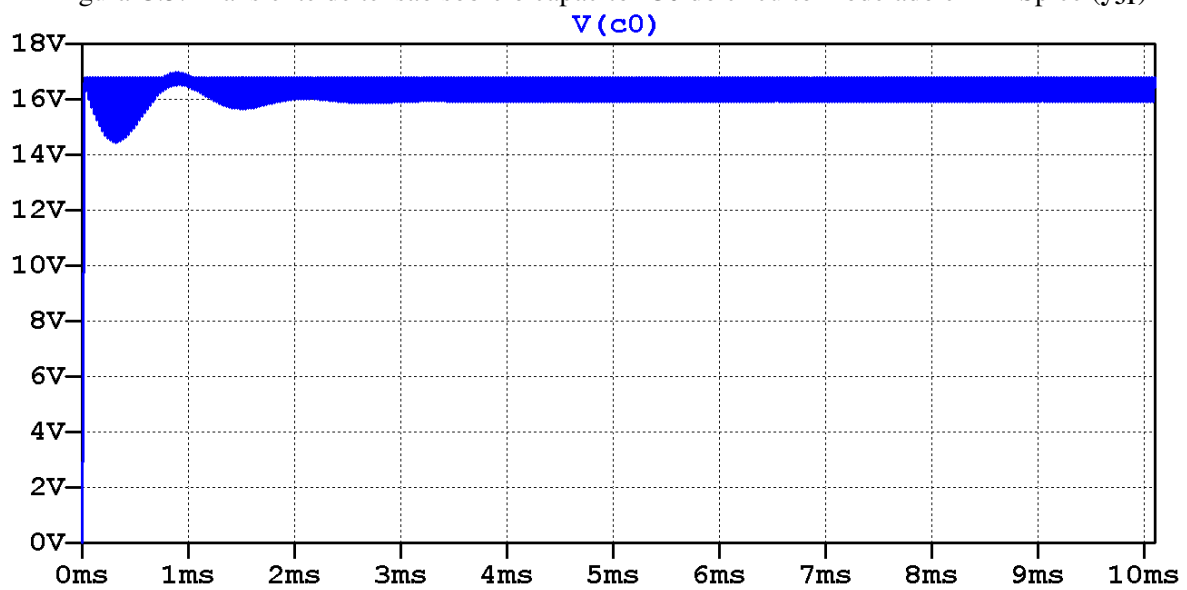
Figura C.2: Transiente de corrente sobre o indutor L2 do circuito modelado em LTSpice (y₂₁)Figura C.3: Transiente de tensão sobre o capacitor C0 do circuito modelado em LTSpice (y₃₁)

Figura C.4: Transiente de tensão sobre o capacitor C1 do circuito modelado em LTSpice (y₄₁)

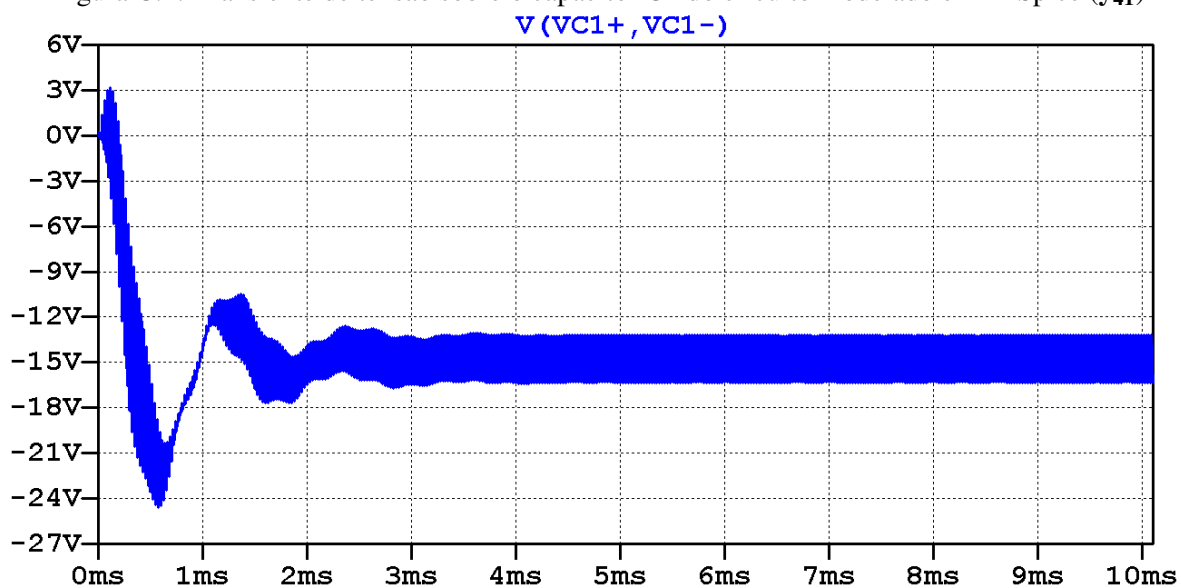
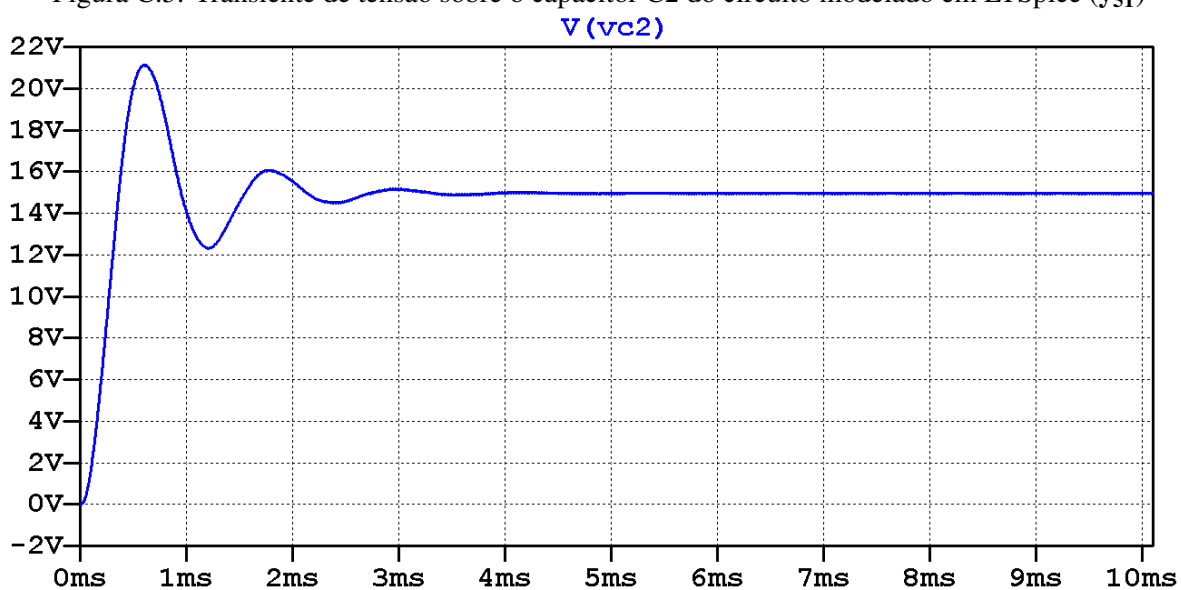


Figura C.5: Transiente de tensão sobre o capacitor C2 do circuito modelado em LTSpice (y₅₁)



Apêndice D

Formas de onda do circuito simulado em LTSpice

Formas de onda das variáveis de interesse referentes ao circuito dimensionado, em que se utilizaram modelos de componentes comerciais, simulado em LTSpice.

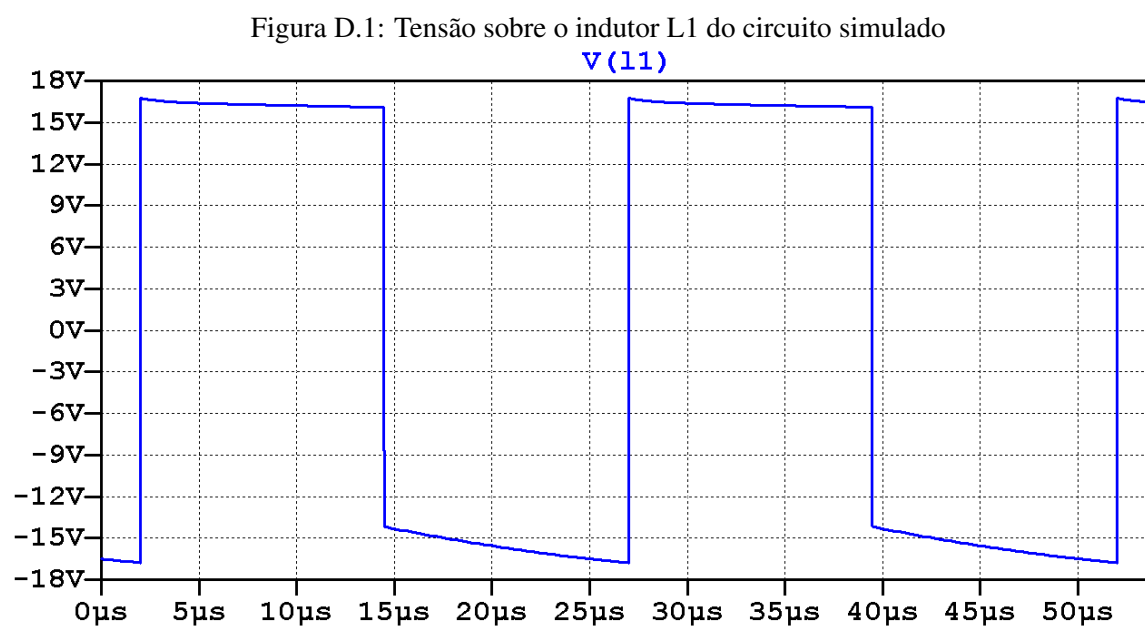


Figura D.2: Corrente sobre o indutor L1 do circuito simulado

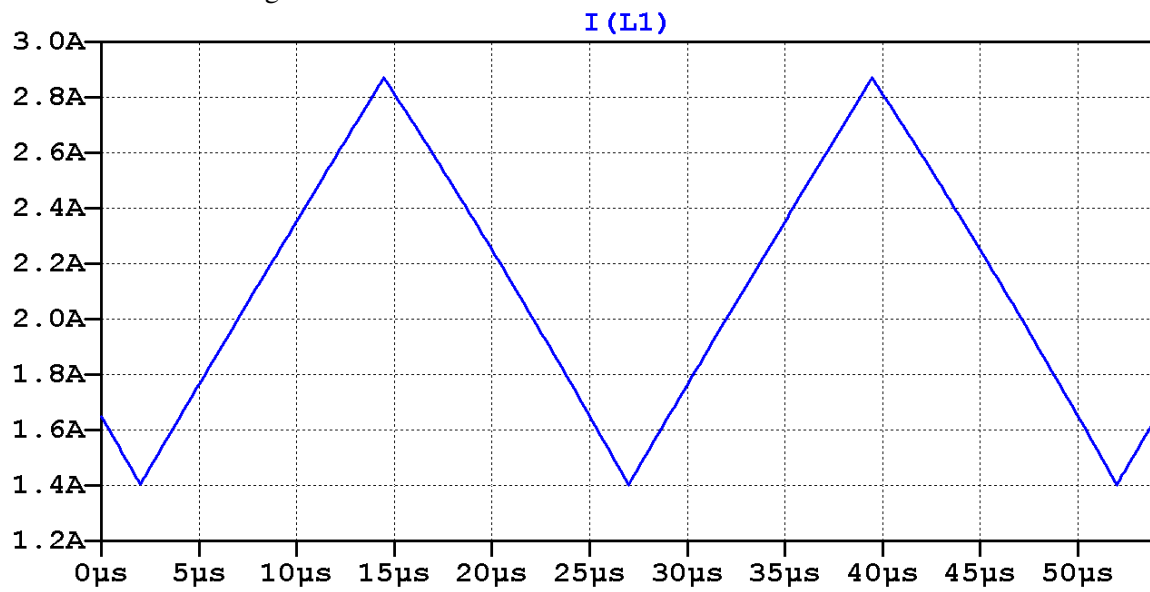


Figura D.3: Tensão sobre o indutor L2 do circuito simulado

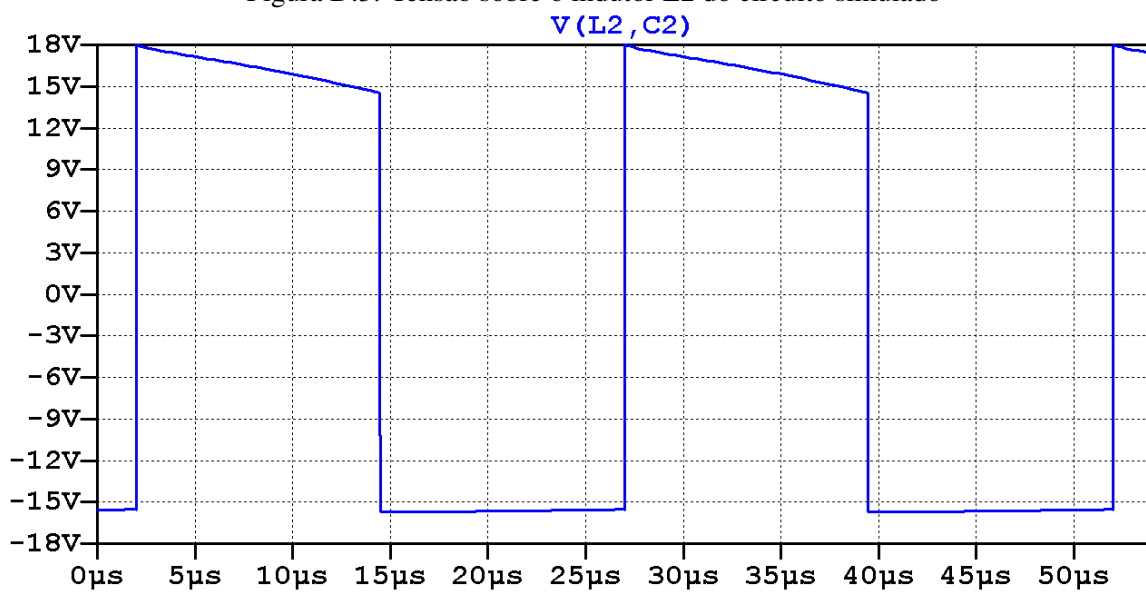


Figura D.4: Corrente sobre o indutor L2 do circuito simulado

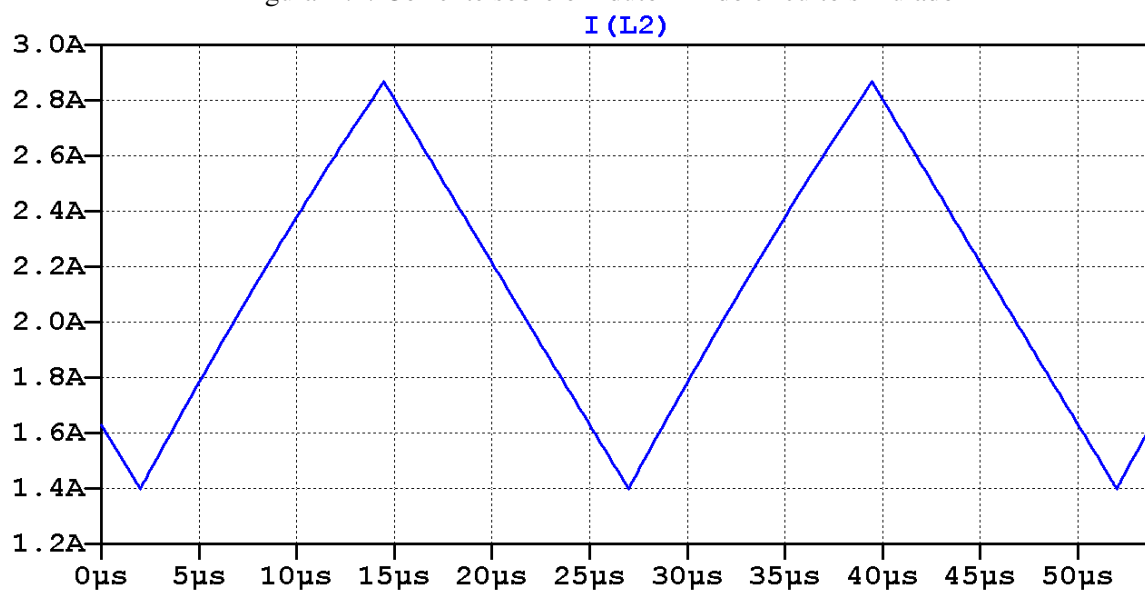


Figura D.5: Tensão sobre o capacitor C0 do circuito simulado

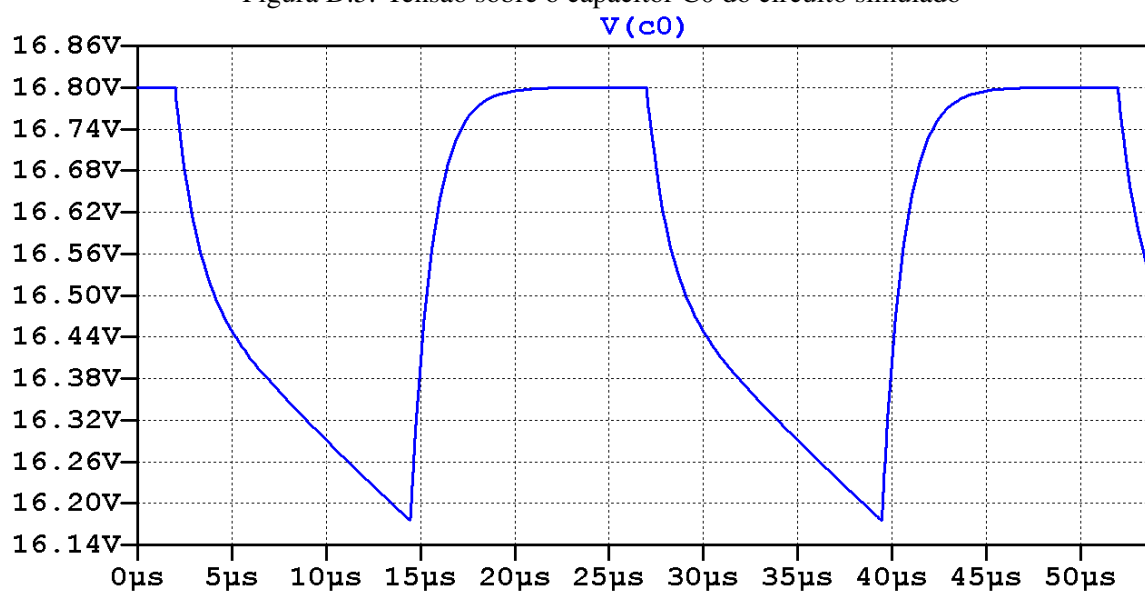


Figura D.6: Corrente sobre o capacitor C0 do circuito simulado

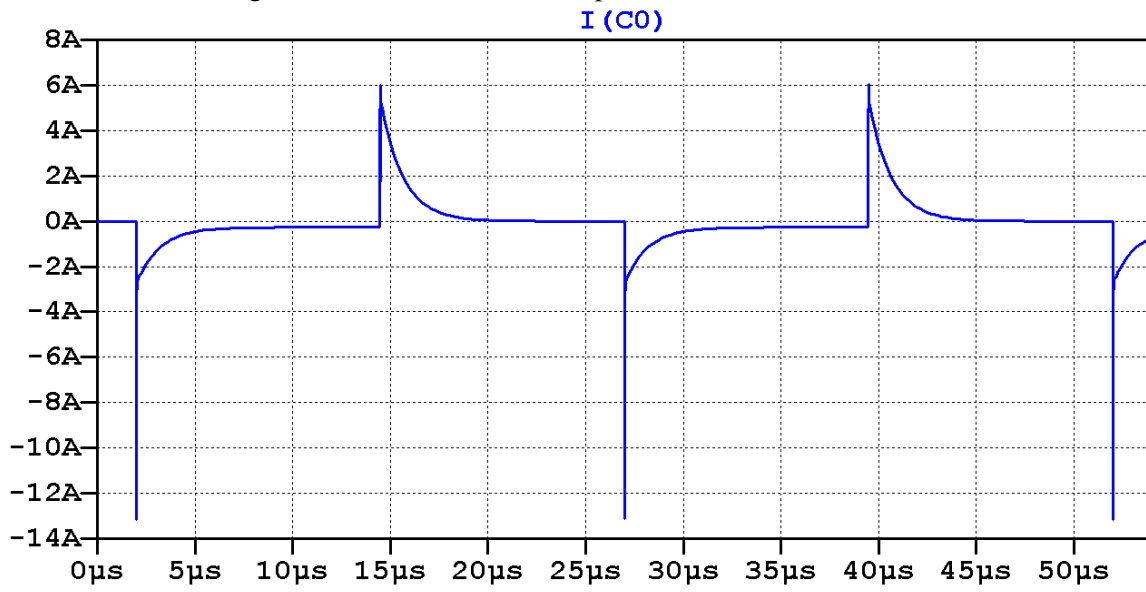


Figura D.7: Tensão sobre o capacitor C1 do circuito simulado

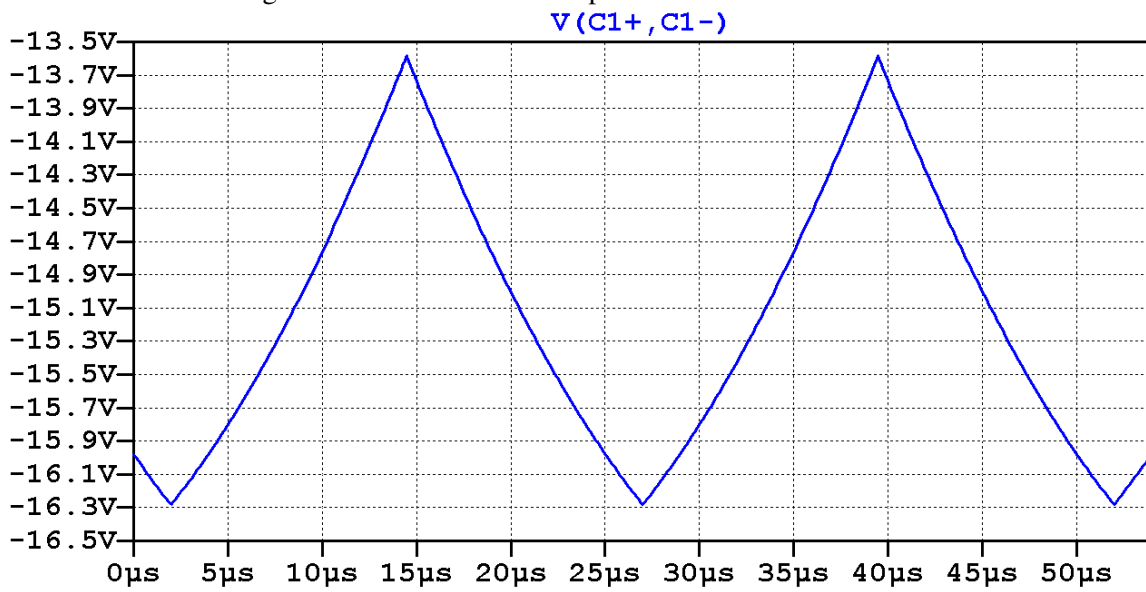


Figura D.8: Corrente sobre o capacitor C1 do circuito simulado

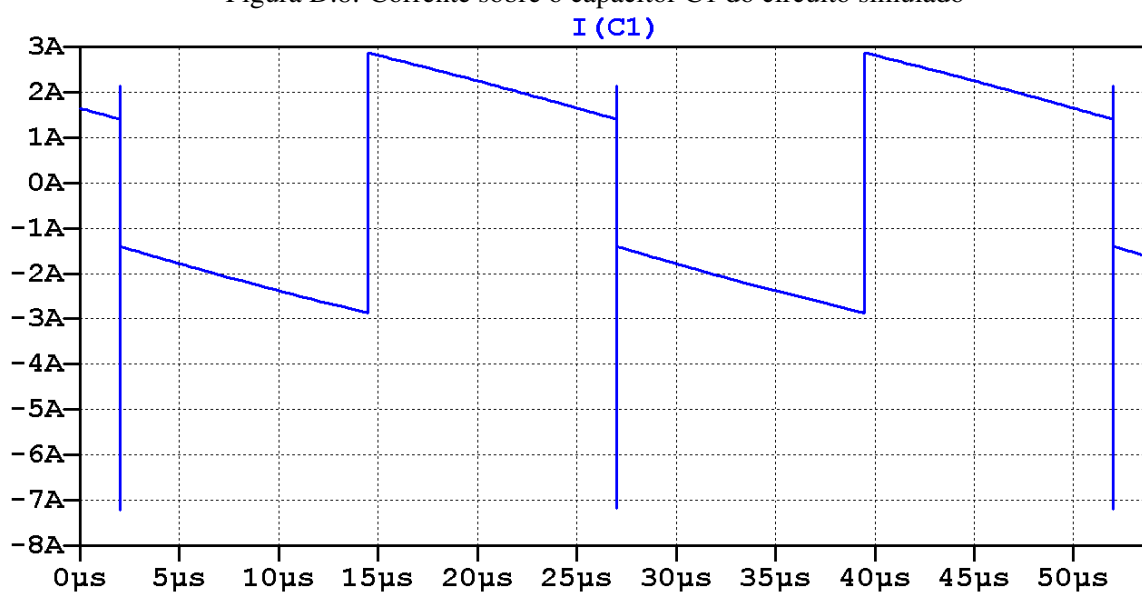


Figura D.9: Tensão sobre o capacitor C2 do circuito simulado

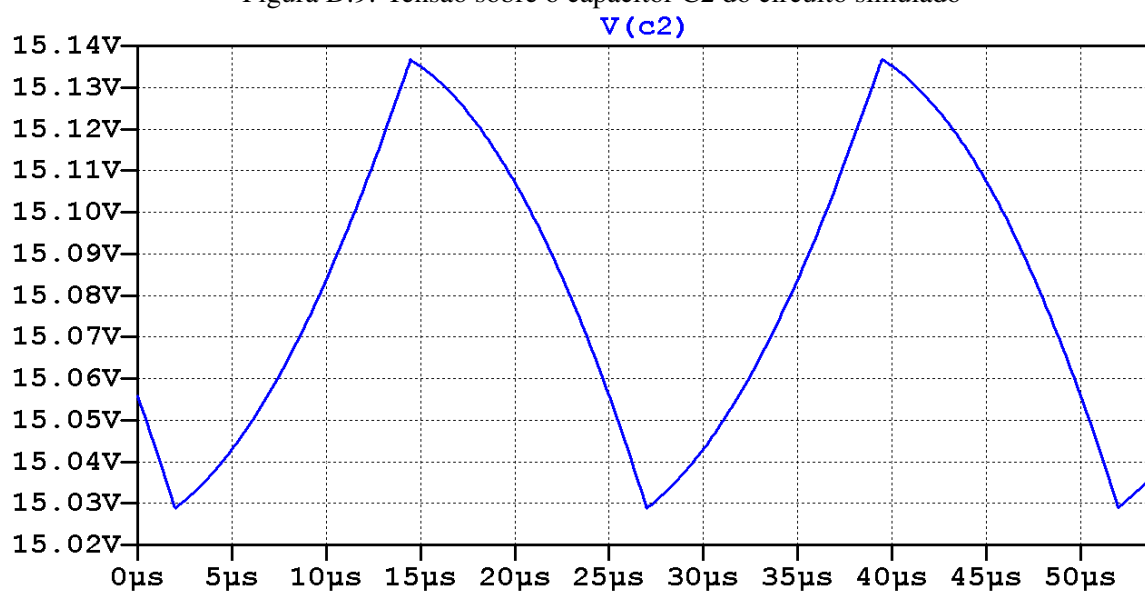


Figura D.10: Corrente sobre o capacitor C2 do circuito simulado

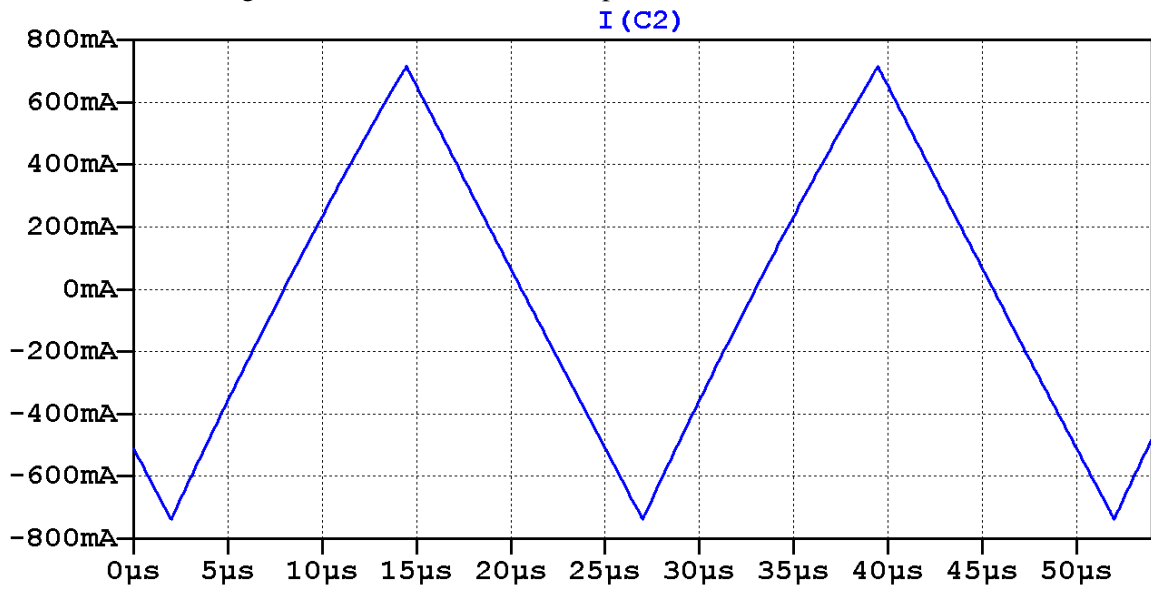
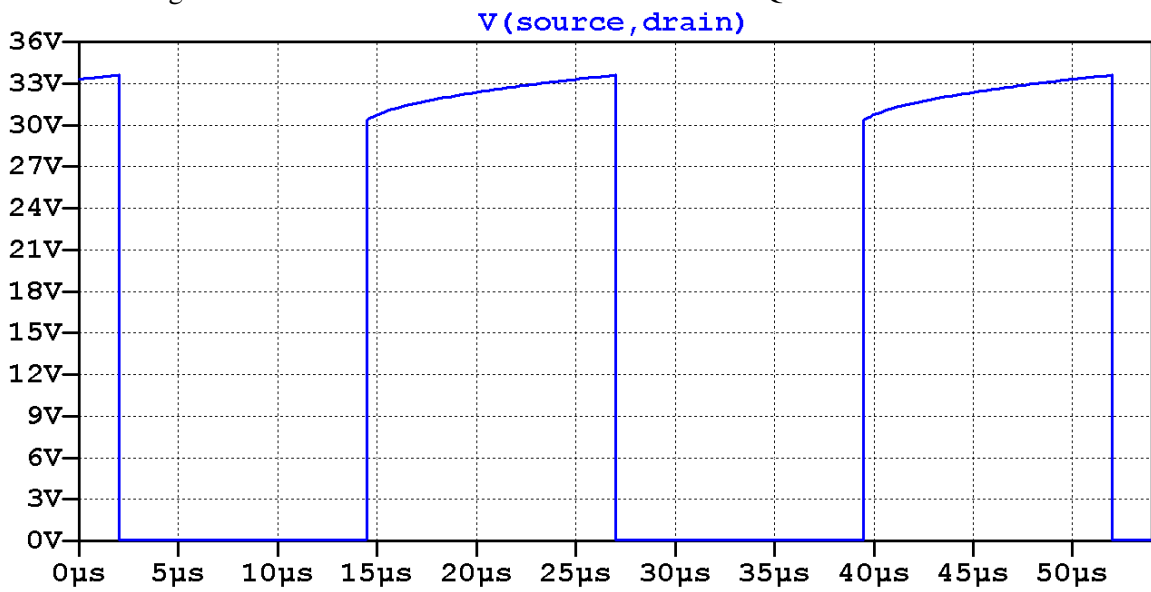
Figura D.11: Tensão *source-drain* sobre o MOSFET Q1 do circuito simulado

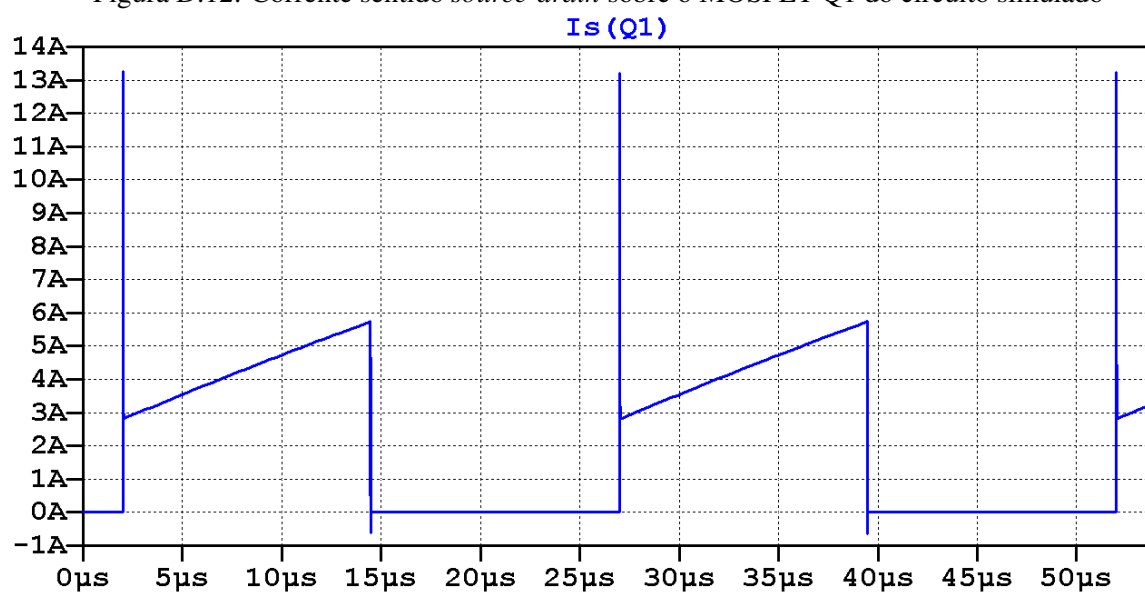
Figura D.12: Corrente sentido *source-drain* sobre o MOSFET Q1 do circuito simulado

Figura D.13: Tensão sobre o diodo D1 do circuito simulado

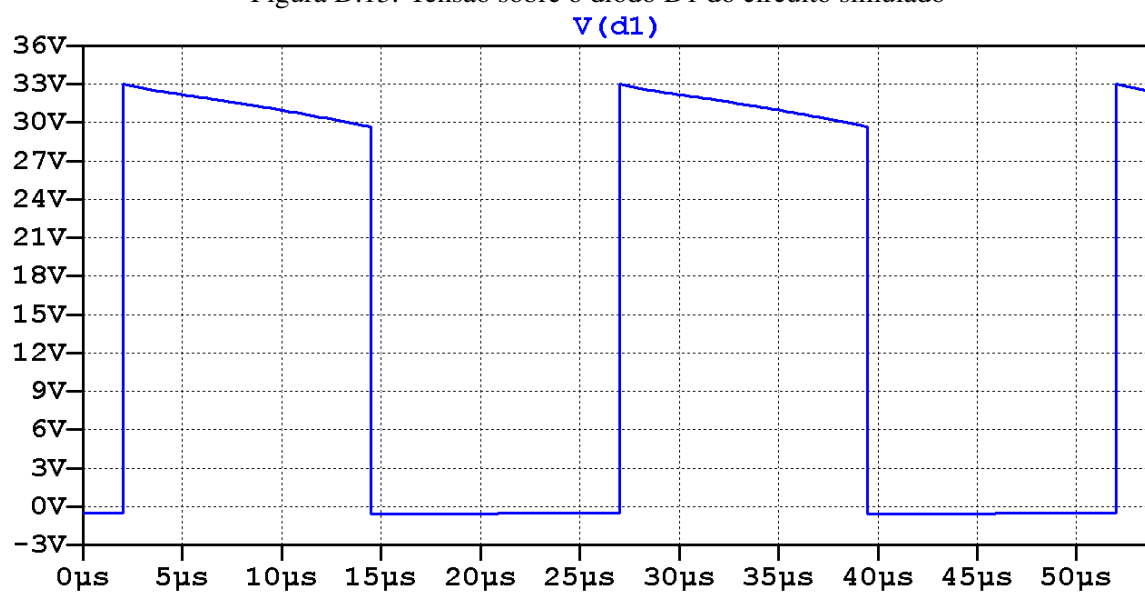


Figura D.14: Corrente sobre o diodo D1 do circuito simulado

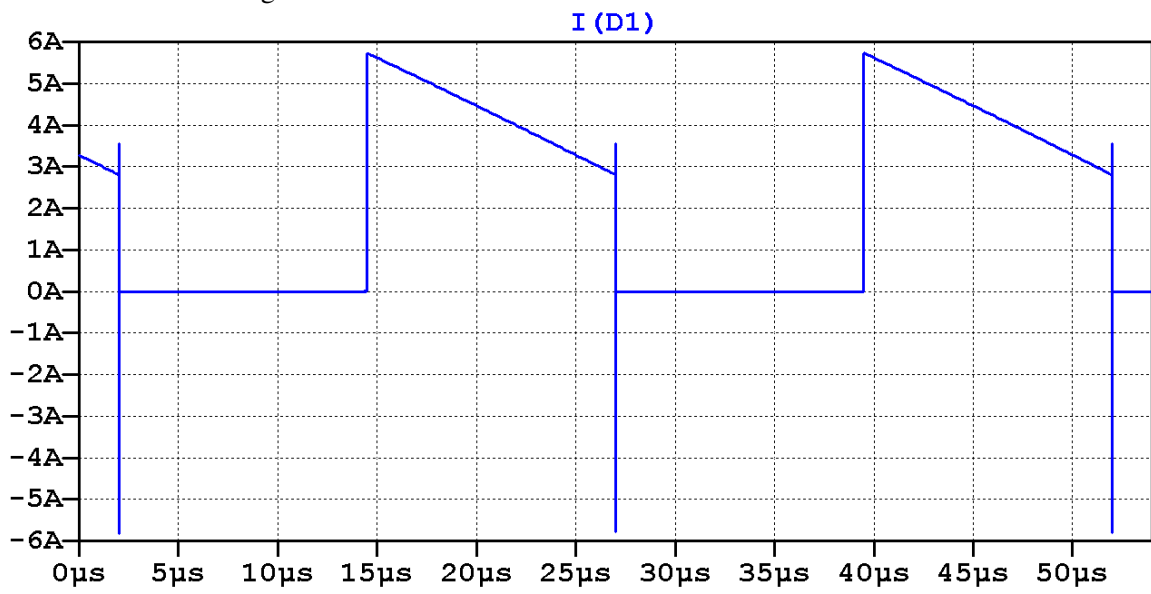


Figura D.15: Corrente fornecida pela bateria do circuito simulado

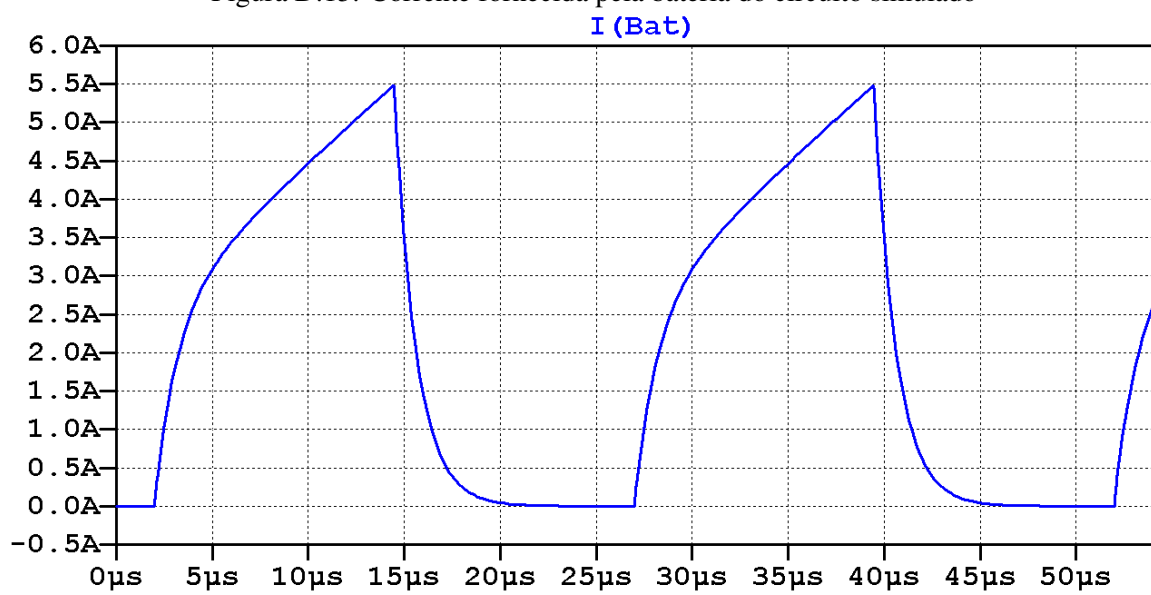


Figura D.16: Tensão de saída do circuito simulado regulada em 15V em diferente escala

