

EDUARDO SILVESTER DE CARVALHO SILVA

**PROJETO DE FONTES DE
REFERÊNCIA DE BAIXA TENSÃO
EM TECNOLOGIA CMOS**

Trabalho de Conclusão de Curso
apresentado à Escola de Engenharia de São
Carlos, da Universidade de São Paulo

Curso de Engenharia da Computação

ORIENTADOR: Prof. Doutor João Navarro Soares Jr.

São Carlos
2008

FICHA CATALOGRÁFICA

Resumo do Projeto de Formatura apresentado à EESC-USP como parte dos requisitos necessários para a obtenção da conclusão do curso de Engenharia de Computação.

PROJETO DE FONTES DE REFERÊNCIA DE TENSÃO EM TECNOLOGIA CMOS

Eduardo Silvester de Carvalho Silva

12 / 2008

Orientador: Prof. Dr. João Navarro Soares Jr.

Área de Concentração: Microeletrônica

Palavras-chave: Circuitos integrados MOS, referência *bandgap*, fonte de referência de tensão.

RESUMO

Fontes de referência são circuitos de grande importância, pois fornecem tensões estáveis, independente da temperatura e tensão de alimentação, para outros circuitos. Neste trabalho apresenta-se o projeto de uma fonte de tensão de referência que opere com baixa tensão de alimentação. Este tipo de fonte é cada vez mais requerido pela indústria por estar presente em circuitos portáteis, médicos e nos com baixo consumo de potência. A tecnologia utilizada será a CMOS 0,35 μm da AMS (AustriaMicroSystem). Tecnologias CMOS são hoje utilizadas na maior parte das aplicações, sendo encontradas em cerca de 75% dos circuitos eletrônicos. A fonte projetada é do tipo *bandgap* e utiliza transistor bipolar e resistores de silício policristalino de alta resistividade. O projeto envolve a escolha das especificações, dimensionamento dos componentes através de cálculos, simulações e desenho do *layout*. A maioria das fontes de tensão do tipo *bandgap* trabalha no domínio da tensão, porém o circuito proposto trabalha no domínio da corrente, o que permite obter tensões de alimentação mais baixas.

Resultados de simulações obtidos a partir do *netlist* extraído do *layout* mostraram que a fonte de tensão de 0,5 V funciona para alimentação tão baixa quanto 1,1 V, consome corrente inferior a 14 μA e apresenta variação tensão de saída de aproximadamente 50 ppm/ $^{\circ}\text{C}$, considerando os piores casos.

Abstract of the Under-Graduated Project presented to EESC-USP as a partial fulfillment of the requirements to conclude the Computer Engineering course.

DESIGN OF A VOLTAGE REFERENCE SOURCE USING CMOS TECHNOLOGY

Eduardo Silvester de Carvalho Silva

12 / 2008

Advisor: Prof. Dr. João Navarro Soares Jr.

Concentration Area: Microelectronics

Keywords: MOS integrated circuits, *bandgap* reference, voltage reference.

ABSTRACT

Reference voltage sources are important circuits, because they provide steady voltage, independent of temperature and power supply voltages. The main objective of this work is to design a voltage source that works with low power supply voltage. This type of source has been required by industry as it is applied in portable, medical and low power consumption circuits. The used technology is the AMS (AustriaMicroSystem) CMOS 0.35 μm . The CMOS technologies are nowadays used in many applications, and they are found in about 75% of electronic circuits. The designed voltage source is a bandgap type and uses bipolar transistors and polycrystalline silicon high-resistivity resistors. The design involves the definition of specifications, calculation of component dimensions, simulations and the layout design. Most of the bandgap voltage sources work in the voltage domain. However, the designed circuit works in the current domain, so it needs a lower power supply voltage.

Simulations results obtained from the layout netlist shown that a 0.5 V voltage source operates with a power supply voltage as low as 1.1 V, with current consumption of 14 μA , and presents output voltage variation of approximately 50 ppm/ $^{\circ}\text{C}$, considering the *worst* cases.

SUMÁRIO

SUMÁRIO	5
LISTA DE FIGURAS	6
LISTA DE TABELAS	7
1. INTRODUÇÃO	8
1.1 CONTEXTUALIZAÇÃO	8
1.2 OBJETIVO	8
1.3 ORGANIZAÇÃO	9
2. FERRAMENTAS E ASPECTOS TEÓRICOS	10
2.1 FERRAMENTAS MENTOR-GRAPHICS	10
2.1.1 DESIGN ARCHITECT IC	10
2.1.2 IC STATION	10
2.1.3 CALIBRE DRC E LVS	11
2.1.4 HSPICE	11
2.2 TECNOLOGIA CMOS	12
2.3 FONTES DE REFERÊNCIA	14
2.3.1 FONTES DE REFERÊNCIA <i>BANDGAP</i>	14
2.3.2 FONTES DE CORRENTE	16
2.3.2 FONTE DE CORRENTE COM ESPELHO DE WILSON	18
3 MÉTODOS E IMPLEMENTAÇÕES	21
3.1 ESPECIFICAÇÕES INICIAIS	21
3.2 FUNCIONAMENTO DO CIRCUITO	21
3.2.2 O CIRCUITO PROJETADO	23
3.2.3 SIMULAÇÕES E AJUSTES	29
3.3 LAYOUT	32
4. RESULTADOS E CONCLUSÕES	35
4.1 RESULTADOS	35
4.2 CONCLUSÕES	39
ANEXO A	41
A.1 MÉTODO DE CÁLCULO DE V_{BE} DESENVOLVIDO POR TSIVIDIS [17]	41
A.2 EQUAÇÕES DO SIMULADOR	43
ANEXO B	45
ANEXO C	51
ANEXO D	53
5. REFERÊNCIAS BIBLIOGRÁFICAS	61

Lista de Figuras

Figura 1 - Tela do AvanWaves.....	11
Figura 2 - Transistor NMOS – Corte lateral.....	12
Figura 3 - Representações dos transistores NMOS e PMOS.....	13
Figura 4 - Funcionamento do <i>Bandgap</i>	15
Figura 5 - Fonte de corrente PTAT CMOS.....	16
Figura 6 - Fonte de Corrente com Espelho de Wilson.	19
Figura 7 - Corrente da fonte de Wilson por Tensão de Alimentação. [3]	20
Figura 8 - Fonte de Corrente para Aplicações de Baixa Tensão de Alimentação.	22
Figura 9 - Corrente da Fonte para Baixas Tensões de Alimentação.....	23
Figura 10 - Circuito Esquemático Completo.....	24
Figura 11 - Tensão de Saída pela Temperatura para os modelos típico, Worst Power e <i>Worst Speed</i>	31
Figura 12 - <i>Layout</i> do Circuito.(área ocupada 118 μm por 215 μm)	34
Figura 13 - Tensão de Saída pela Temperatura para Arquivos Extraídos do <i>Layout</i>	36
Figura 14 - Corrente Gerada pela Fonte de Corrente.	37
Figura 15 - Corrente Total Consumida pelo Circuito em Função da Temperatura.	38

Lista de Tabelas

Tabela 1 - Região de Operação do Transistor.....	13
Tabela 2 - Vantagens e desvantagens dos circuitos com Zener e <i>Bandgap</i>	16
Tabela 3 - Especificações Iniciais.....	21
Tabela 4 - Resumo das Dimensões dos Componentes e Ajustes por Simulações.	30
Tabela 5 - Camadas disponíveis para implementar resistores e respectivas resistividades e coeficientes de temperatura.	33
Tabela 6 - Máximas, Mínimas e Coef. de Temperatura para a Tensão de Saída.	39
Tabela 7 - Resultados Finais Obtidos para o Projeto	40

1. Introdução

1.1 Contextualização

O projeto de circuitos integrados (C/Is) trouxe grandes avanços para as aplicações eletrônicas. Em geral os C/Is foram a base para a computação e comunicação modernas, pois permitiram a redução do tamanho dos equipamentos, o aumento do desempenho dos sistemas e a redução dos preços das máquinas.

O desenvolvimento da tecnologia de C/Is se deu principalmente pelo mercado de circuitos digitais (microprocessadores e memórias). Recentemente, entretanto, a tecnologia CMOS se tornou extensivamente utilizada no projeto de circuitos analógicos devido ao baixo custo de fabricação e a compatibilidade para integrar circuitos analógicos e digitais num mesmo integrado, o que aumenta o desempenho geral e a confiabilidade [1].

Fontes de referência são utilizadas por aplicações que necessitam de um valor de referência externo para operarem de forma correta. Referências de tensão são importantes em aplicações de precisão que necessitam de uma tensão que não se altere. Elas devem fornecer uma tensão com variações aceitáveis, que dependem de cada tipo de aplicação, para variações de fatores como tensão de alimentação, temperatura, tempo de operação, etc.

Para uma grande gama de circuitos práticos tais como circuitos de instrumentação, conversores analógico-digitais, microprocessadores, amplificadores operacionais e reguladores lineares, é necessário o uso de fontes de referência de tensão. Estes circuitos exemplificados estão presentes na maioria das aplicações eletrônicas, o que intensifica a importância das fontes de referência.

Este trabalho apresenta o projeto de uma fonte de referência de baixa tensão de alimentação, pouco dependente da temperatura e da tensão de alimentação. Para tanto, tomou-se como base os trabalhos desenvolvidos por Hamanaka em [2] e por Engelbrecht em [3].

1.2 Objetivo

Neste trabalho apresenta-se o projeto de uma fonte de tensão de referência de baixa tensão de alimentação na tecnologia CMOS (*Complementary Metal Oxide Silicon*). A fonte projetada é do tipo *bandgap* e utiliza dispositivos MOS em inversão

fraca, um transistor bipolar parasita e resistores de silício policristalino de alta resistividade. A tecnologia utilizada é a CMOS 0,35 μm da AMS (*AustriaMicroSystem*) [4]. Essa tecnologia especifica a largura mínima da porta do transistor, 0,35 μm . Ela também oferece uma série de componentes, como transistores, resistores e blocos mais complexos prontos para serem utilizados durante o projeto. Todas as especificações de distância e tamanho mínimo dos componentes, assim como os materiais disponíveis são descritos pela tecnologia. Este projeto envolve a definição das especificações, escolha da topologia, dimensionamento dos transistores, simulação, otimização e desenho do *layout* de um protótipo para fabricação.

1.3 Organização

O restante desta monografia está organizado da seguinte forma: na seção 2 são apresentados os recursos tecnológicos envolvidos no trabalho; na seção 3 encontra-se a descrição do trabalho realizado; na seção 4 são analisados os resultados obtidos; por fim, na seção 5, a conclusão é apresentada.

2. Ferramentas e Aspectos teóricos

2.1 Ferramentas Mentor-Graphics

O sistema Mentor Graphics é composto por diversas ferramentas responsáveis pela síntese, validação e teste de circuitos integrados, sendo algumas delas o *Design Architect-IC*, o *IC-Station*, o *Calibre DRC* (*Desing Rule Check*) e o *Calibre LVS* (*Layout Versus Schematic*) [5].

2.1.1 Design Architect IC

Com o *Design Architect-IC* é possível construir um circuito de forma rápida através do desenvolvimento do esquemático, que servirá de base para iniciar automaticamente o desenvolvimento do *layout* do circuito. Nesta ferramenta encontram-se as representações para diversos componentes como transistores, resistores, portas de entrada/saída, VDD e VSS.

A ferramenta possibilita extrair arquivos *Netlist* que servem para simular o circuito e validar o seu funcionamento.

A habilidade de simular componentes analógicos de forma rápida e precisa é alcançada por meio de uma interface com a ferramenta *Mentor Graphics Eldo*, criando um laço estreito para captura, simulação e análise de projetos [6].

2.1.2 IC Station

A ferramenta *IC-Station* é utilizada para a geração do *layout*. Pode-se usar essa ferramenta para desenhar o *layout* dispositivo por dispositivo, utilizar células de biblioteca, *standard cells*, ou utilizar blocos mais complexos. É possível também gerar automaticamente o *layout* a partir de esquemáticos previamente implementados no *Design Architect*.

O IC Station possui um completo fluxo de projeto do tipo A/MS (do inglês, *Analog/Mixed-Signals*), de captura do esquemático ao *layout* físico, simulações e análises [6].

2.1.3 Calibre DRC e LVS

O *Calibre DRC* e o *Calibre LVS* fazem parte do conjunto de ferramentas para verificação do *layout*. Com eles é possível garantir que o *layout* segue as regras de determinada tecnologia, no caso a CMOS 0,35 μm da AMS (*AustriaMicroSystem*), e obedece a topologia descrita em um esquemático. O DRC é responsável por verificar, entre outros, as dimensões e as distâncias das estruturas, enquanto o LVS verifica a compatibilidade, tanto em termos de ligações como parâmetros dos dispositivos, do *layout* com o esquemático.

2.1.4 HSPICE

O HSPICE é uma ferramenta de simulação de arquivos de descrição de circuitos elétrico-eletrônicos. O arquivo de entrada possui formato similar aos arquivos utilizados no SPICE. Com este software pode-se fazer análises em corrente contínua, corrente alternada e transiente, variar parâmetros e descobrir o melhor ponto de operação.

Uma ferramenta de análise gráfica, AvanWaves, é utilizada em conjunto com o simulador para apresentar a saída da simulação na forma de gráficos.

A figura 1 apresenta a tela do AvanWaves [7].

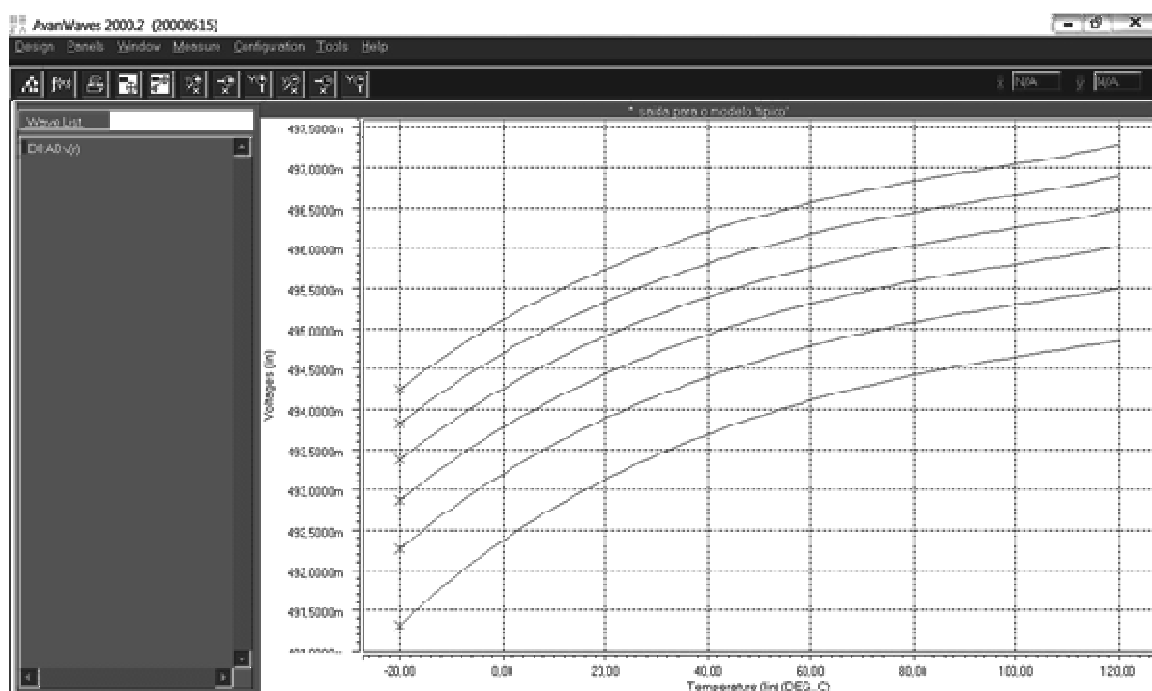


Figura 1 - Tela do AvanWaves.

2.2 Tecnologia CMOS

Até os anos 70 os transistores bipolares eram os mais utilizados. Hoje, estes transistores são apenas utilizados em circuitos que demandam alta velocidade de operação. Dentro da indústria de microeletrônica, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) tem sido, nos últimos anos, e continuará a ser, nos próximos, a mais importante devido às diversas vantagens que proporciona, tais como: baixo consumo de potência, elevado nível de integração, simplicidade de projeto e menor custo [8].

Esta tecnologia disponibiliza tanto transistores NMOS (com canal de elétrons ou N) como transistores PMOS (com canal de lacunas ou P).

No final dos anos 70 o tamanho da porta dos transistores, que era de 10 μm , começou a ser reduzido gradualmente. No ano 2000 transistores com porta de 0,18 μm foram produzidos em larga escala [9]. Hoje há tecnologias que oferecem circuitos com transistores que possuem largura de porta igual a 45 nm.

Um transistor NMOS consiste de duas regiões dopadas com impurezas N, fonte e dreno, que estão isoladas do substrato, tipo P, através de dois diodos reversamente polarizados. A região entre a fonte e o dreno é coberta por uma estrutura de metal ou silício policristalino, a porta, e um isolante, normalmente óxido de silício. A estrutura básica do NMOS é mostrada a seguir na figura 2 [9].

Podem-se observar quatro terminais: porta ou *gate* (G), fonte ou *source* (S), dreno (D) e corpo ou *Bulk* (B). Os terminais de fonte e dreno são permutáveis, uma vez que os transistores são normalmente simétricos.

Tensões aplicadas à porta causam o aparecimento ou não de um canal condutor entre fonte e dreno, o que é utilizado para o funcionamento de circuitos.

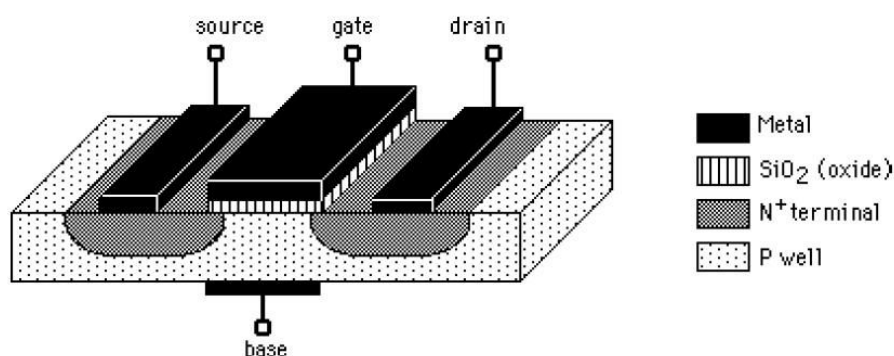


Figura 2 - Transistor NMOS – Corte lateral.

A figura 3 mostra as representações dos transistores PMOS e NMOS.

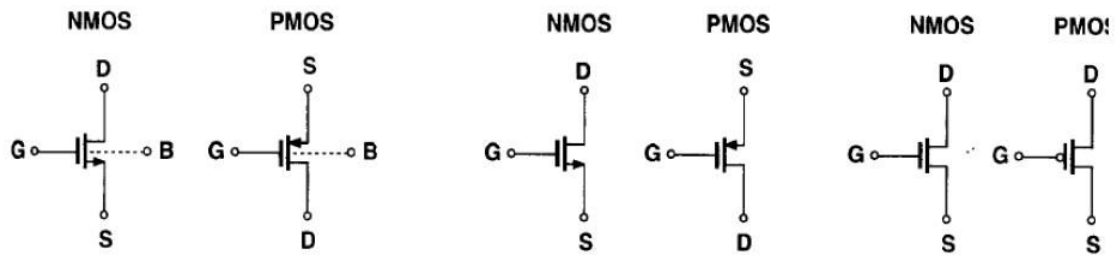


Figura 3 - Representações dos transistores NMOS e PMOS.

Quando um transistor MOS está conduzindo, diz-se que está em fraca, moderada ou forte inversão. Em cada uma destas situações, as equações que modelam o transistor são diferentes. Duas regiões interessantes de trabalho são a Fraca Inversão e a Forte Inversão. A região de operação do transistor pode ser determinada seguindo a relação na tabela 1:

Tabela 1 - Região de Operação do Transistor

$0,1 >$	$\frac{I_D}{\beta 2n(U_T)^2}$	>10
Inversão Fraca		Inversão Forte

onde $\beta = \frac{W}{L} \mu C_{ox}$ é o fator de ganho do transistor MOS, μ é a mobilidade dos portadores no canal, C_{ox} é a capacitância por área na estrutura porta-óxido-substrato, W e L são o comprimento e a largura do canal do transistor, respectivamente, n é o fator de *slope* e $U_T = \frac{KT}{q}$ é a tensão térmica, onde K é a constante de Boltzmann,

T é a temperatura em graus Kelvin e q é a carga do elétron.

Esta relação nos mostra que a região de operação depende dos valores da corrente de dreno, dos parâmetros geométricos (W/L), da mobilidade, etc. Apenas os parâmetros geométricos do transistor podem ser modificados pelo projetista, mas são suficientes para controlar o seu estado [10].

2.3 Fontes de Referência

Fontes de referência são circuitos que devem fornecer sempre uma tensão ou corrente com o mesmo valor, ou com variações aceitáveis para cada tipo de aplicação, independente de variações na temperatura e na tensão de alimentação.

Vários fatores devem ser considerados na escolha do circuito de tensão de referência, dentre eles os que mais se destacam são:

- O quanto as variações na temperatura e na tensão de alimentação afetam a estabilidade;
- A área utilizada (deve normalmente ser a menor possível para permitir uma maior integração);
- O consumo de potência;
- O excesso de ruído que limita a resolução do sistema.

Observa-se que a tensão de saída das fontes de referência não varia apenas com a temperatura e com a tensão de alimentação, mas também com o tempo e com os fatores ambientais tais como umidade e pressão. Por isso, a maioria dos conversores A/D e D/A (analógico/digital e digital/analógico) tem referências internas adequadas somente para aplicações com resolução igual ou inferior a 12 bits, mesmo que o conversor em si seja capaz de resoluções maiores [11].

Os circuitos de tensão de referência mais utilizados pela indústria são os circuitos com diodos zener e os circuitos *bandgap*.

Os circuitos com diodo zener possuem baixa sensibilidade ao ruído ($< 10 \mu\text{V}$ em 0,1 a 10 Hz) e um bom desempenho em relação à temperatura (1 a 10 ppm/°C). Eles, porém, necessitam de uma tensão de alimentação com valor mais elevado e diodos zener não estão disponíveis, normalmente, em processos CMOS.

2.3.1 Fontes de Referência *Bandgap*

A idéia básica por trás do circuito conhecido como *bandgap*, largamente utilizado em fontes de tensão de referência, foi introduzida por Widlar em 1971 [12].

O circuito de *bandgap* trabalha com dois elementos que se comportam de forma inversa com a temperatura. O primeiro é um transistor bipolar, para o qual a tensão base-emissor decresce quase linearmente com o aumento da temperatura

absoluta. O segundo elemento é um circuito, implementado de diversas formas, para o qual a tensão aumenta com a temperatura absoluta (*Proportional to Absolute Temperature* - PTAT). A figura 4 ilustra o funcionamento do *bandgap*. A tensão de referência é obtida somando-se a tensão base-emissor com a tensão PTAT, representado pela tensão térmica, multiplicada por um coeficiente que garante que a saída seja independente da temperatura.

O circuito recebe o nome de *bandgap* porque ajustando o coeficiente de multiplicação pode-se obter um coeficiente de temperatura próximo de 0 ppm/°C e, neste caso, a tensão de referência atingida fica próxima da tensão V_{G0} do transistor, chamada de tensão *de bandgap*, 1,2 V, que é a diferença de potencial da banda proibida do silício extrapolada para 0 K.

O circuito gerador de tensão do tipo *bandgap* é um componente chave para sistemas analógicos. Com estruturas simples é possível implementá-lo [13].

Existe uma preocupação constante com o consumo de potência nos circuitos eletrônicos. Além disso, o desenvolvimento da tecnologia possibilitou a produção de circuitos com espessura de óxido cada vez mais fina e para evitar a sua ruptura deve-se trabalhar com tensões mais baixas. Porém, a tensão mínima necessária para o transistor começar a conduzir não diminuiu com a mesma velocidade. Desta maneira, novas tecnologias e formas de desenvolver o circuito devem ser utilizadas para desenvolver componentes que trabalhem com baixa tensão.

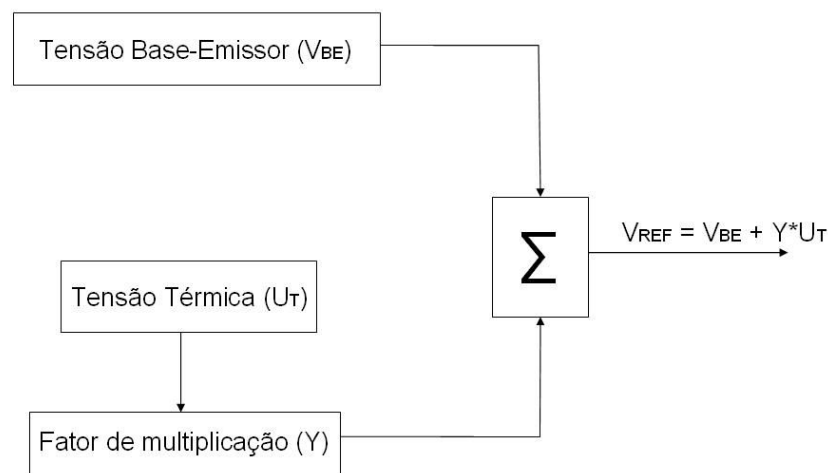


Figura 4 - Funcionamento do *Bandgap*.

A tabela 2 mostra as vantagens e desvantagens dos circuitos com diodo zener e *bandgap* [14].

Tabela 2 - Vantagens e desvantagens dos circuitos com Zener e *Bandgap*.

Vantagens	Desvantagens
Referência Zener	
Baixo ruído Desvio de temperatura pequeno Excelente estabilidade a longo prazo Alta precisão	Necessita de tensões de alimentação acima de 5V Consumo de potência alto Projeto é caro pois utiliza normalmente um componente discreto
Referência <i>Bandgap</i>	
Baixo consumo de potência Boa precisão, que pode ser aumentada por ajuste Opera com tensões de alimentação abaixo de 1V	Ruído moderado Desvio de temperatura limitado

2.3.2 Fontes de Corrente

Uma forma de se obter uma tensão PTAT, necessária em um circuito *bandgap*, é através do uso de fontes de corrente que geram correntes PTAT (a tensão PTAT é obtida forçando a corrente por um resistor). Na figura 5 é considerado um exemplo destas fontes de corrente [15].

Uma corrente PTAT é gerada, a qual pode então, ser replicada por espelhos de corrente para diversos blocos a fim de promover a polarização em diversos estágios.

Abaixo, segue o equacionamento deste circuito proposto por [2].

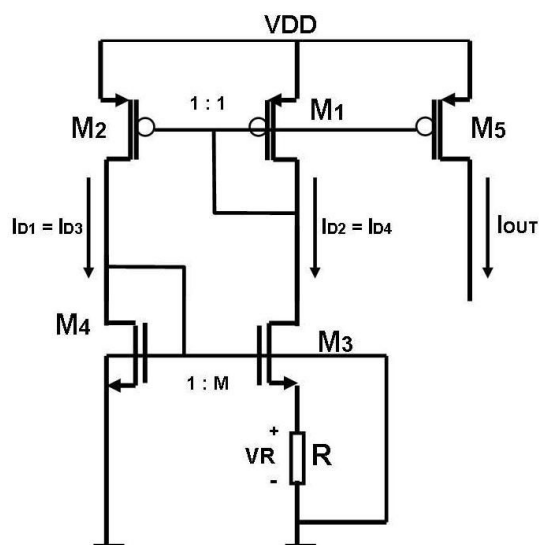


Figura 5 - Fonte de corrente PTAT CMOS.

É necessário determinar a corrente I_{D1} no circuito que é espelhada para I_{OUT} . Para isso deve-se determinar a tensão V_R no resistor R . Para os transistores NMOS, que devem operar em inversão fraca, utiliza-se a equação (1) para corrente.

$$I_D = S * I_{DO} * e^{V_G/nV_T} * (e^{V_S/V_T} - e^{-V_D/V_T}) \quad (1)$$

Onde I_D é a corrente de dreno, I_{DO} é uma corrente característica da tecnologia, n é o fator *slope*, S é a relação entre a largura e o comprimento do canal do transistor (W/L), V_G , V_D , V_S e U_T são respectivamente as tensões de porta-substrato, dreno-substrato, fonte-substrato e térmica.

Assim, as correntes nos transistores são dadas por:

$$I_{D1} = I_{D3} = I_{DO} * \left(\frac{W_3}{L_3} \right) * e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_{S3}}{U_T} \right)} = I_{DO} * S_3 * e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_{S3}}{U_T} \right)} \quad (2)$$

e

$$I_{D2} = I_{D4} = I_{DO} \left(\frac{W_4}{L_4} \right) e^{\left(\frac{V_{G4}}{nU_T} \right)} = I_{DO} S_4 e^{\left(\frac{V_{G4}}{nU_T} \right)} \quad (3)$$

onde, I_{D1} , I_{D2} , I_{D3} e I_{D4} são as correntes de dreno dos transistores M_1 , M_2 , M_3 e M_4 respectivamente, V_{G3} e V_{G4} são as tensões de porta dos transistores M_3 e M_4 , V_{S3} é a tensão fonte-substrato do transistor M_3 e S_3 e S_4 é a relação (W/L) dos transistores M_3 e M_4 .

Observe na figura 5 que as tensões de porta dos transistores M_3 e M_4 são iguais, ou seja, $V_{G3} = V_{G4}$, e que a tensão fonte-substrato do transistor M_3 é igual à queda de tensão sobre o resistor R , ou seja, $V_{S3} = V_R$. Assim,

$$\frac{I_{D2}}{I_{D1}} = \frac{I_{D4}}{I_{D3}} = \frac{S_4 I_{DO} e^{\left(\frac{V_{G4}}{nU_T} \right)}}{S_3 I_{DO} e^{\left(\frac{V_{G3}}{nU_T} - \frac{V_R}{U_T} \right)}} = \frac{S_4}{S_3} e^{\left(\frac{V_{G4}}{nU_T} - \frac{V_{G3}}{nU_T} + \frac{V_R}{U_T} \right)} = \frac{S_4}{S_3} e^{\left(\frac{V_R}{U_T} \right)} \quad (4)$$

Caso os transistores PMOS M_1 e M_2 sejam iguais, teremos $I_{D1} = I_{D2}$ e

$$\frac{S_4}{S_3} e^{\left(\frac{V_R}{U_T} \right)} = 1 \quad (5)$$

Isolando V_R obtêm-se a equação para a queda de tensão no resistor R:

$$V_R = U_T \left[\ln \left(\frac{S_3}{S_4} \right) \right] \quad (6)$$

Veja que esta tensão é proporcional a U_T e independente da tensão de alimentação. A corrente I_{D1} por fim tem seu valor dado por:

$$I_{D1} = \frac{V_R}{R} = \frac{U_T \ln \left(\frac{S_3}{S_4} \right)}{R} \quad (7)$$

Assim as correntes que passam no circuito, e que podem servir para polarização de outros blocos, ficam independentes, ou praticamente independentes, da tensão de alimentação e são proporcionais a tensão térmica U_T (são PTAT).

2.3.2 Fonte de corrente com espelho de Wilson

A fonte de corrente apresentada na figura 6 apresenta uma séria limitação: a modulação de canal dos transistores faz com que a corrente tenha uma dependência grande da tensão de alimentação V_{DD} [3].

O trabalho desenvolvido por [3] utilizou um espelho de corrente com uma alta impedância de saída e que reduz o efeito de modulação de canal dos transistores, o que garante uma corrente mais independente da tensão V_{DD} .

A Figura 6 mostra a fonte de corrente com espelho de Wilson.

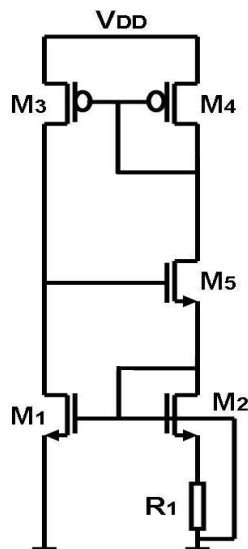


Figura 6 - Fonte de Corrente com Espelho de Wilson.

Um problema apresentado na fonte com espelho de Wilson é que ele necessita de uma tensão de alimentação mais elevada para seu funcionamento. Como se pode ver na figura 7 apresentada por [3], que apresenta a corrente de saída pela tensão de alimentação em uma fonte de corrente com espelho de Wilson, o circuito apenas opera corretamente com tensões de alimentação acima de aproximadamente 1,7 V.

Este projeto utiliza outra solução para o problema da modulação de canal: um espelho modificado que também possui alta impedância de saída, assim como o de Wilson, o que garante independência da tensão de alimentação, mas necessita de uma tensão de alimentação menor para funcionar. Esta solução será mostrada mais adiante no trabalho.

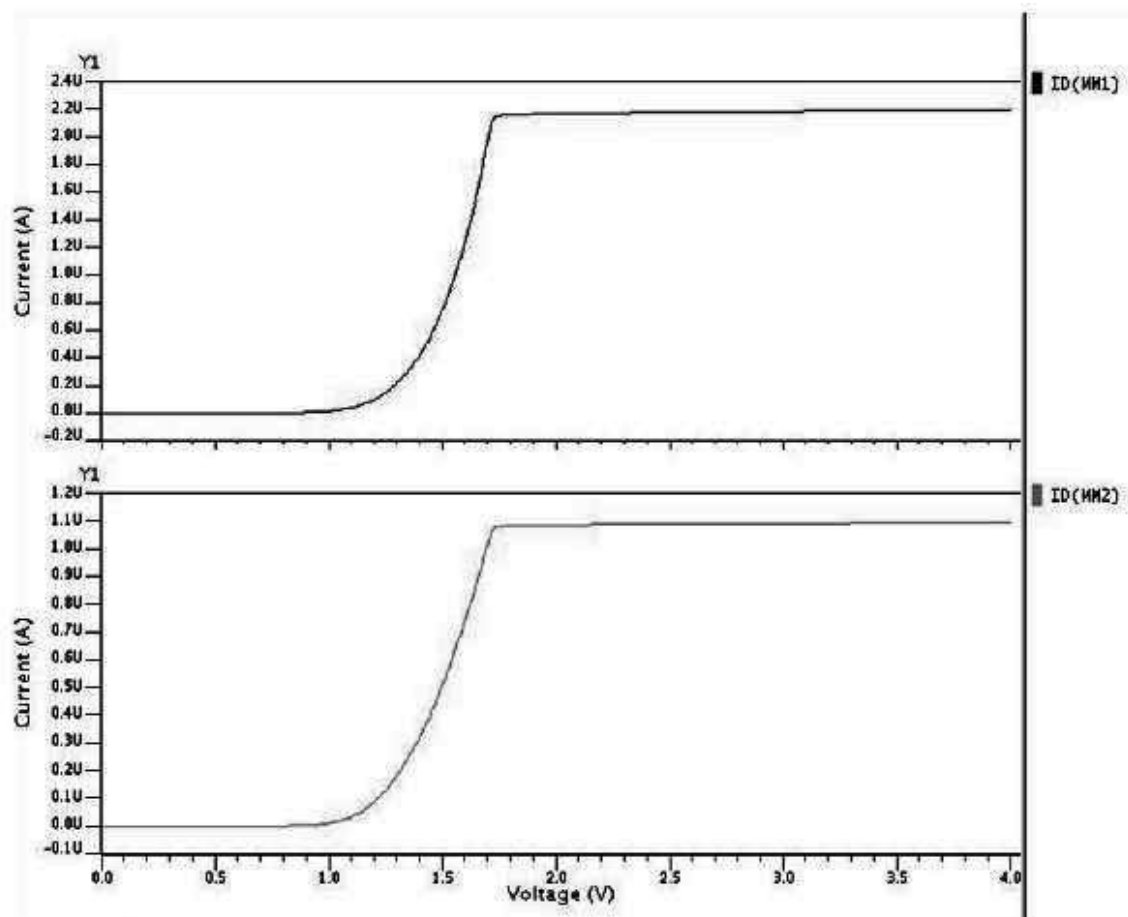


Figura 7 - Corrente da fonte de Wilson por Tensão de Alimentação [3].

3 Métodos e Implementações

O desenvolvimento do projeto iniciou-se com a determinação das especificações. Para isso, foram realizados estudos sobre as fontes de tensão e os trabalhos desenvolvidos por [2] e [3]. Após a definição das especificações e da topologia utilizada no projeto, foram feitos os dimensionamentos dos dispositivos e os ajustes necessários, através de simulações. A etapa seguinte consistiu em desenhar o esquemático e fazer o *layout* na ferramenta de desenvolvimento. Simulações finais foram feitas a partir do *layout* para verificar os resultados obtidos.

3.1 Especificações Iniciais

O objetivo do projeto é desenvolver uma fonte que trabalhe com baixas tensões de alimentação e seja totalmente integrado. Pensando nisto e considerando os pontos abordados no segundo capítulo, a topologia *Bandgap* foi escolhida juntamente com uma fonte de corrente de alta impedância de saída adequada para circuitos que trabalham com baixas tensões de alimentação.

Para se trabalhar com baixas tensões de saída e com uma faixa de temperatura mais extensa, adotou-se um coeficiente de temperatura maior para o projeto.

A tabela 3 apresenta as especificações definidas.

Tabela 3 - Especificações Iniciais.

	Min.	Típ.	Max.	Unidades
Tensão de saída ($T_R = 40^\circ\text{C}$)	0,45	0,5	0,55	V
Coeficiente de Temperatura	20	35	50	ppm/°C
Tensão de alimentação	1	1,5	-	V
Faixa de temperatura de Operação	-20	40	120	°C

3.2 Funcionamento do Circuito

Em circuitos analógicos convencionais que trabalham com tensão de alimentação superior a 3 V, o uso da configuração “*Cascode*” para adquirir uma alta impedância na saída dos circuitos é uma técnica atrativa e fácil de se utilizar. No entanto, para circuitos com tensão de alimentação abaixo de 2 V o uso desta técnica,

muitas vezes, não é factível. Isto significa a utilização de transistores colocados em série (desenvolvimento vertical), o que exige uma tensão de alimentação maior, não é uma prática indicada para circuitos aplicados a baixa voltagem. A opção natural e aconselhada é o trabalho com transistores em paralelo (desenvolvimento horizontal) [16].

3.2.1 Fonte de Corrente para Aplicações de Baixa Tensão de Alimentação

Os objetivos de algumas estruturas de espelhos de corrente são:

- I. Na saída, aumentar a impedância, manter a tensão a menor possível e manter uma corrente com variações aceitáveis;
- II. Diminuir a resistência e a queda de tensão na entrada;
- III. Ter uma taxa de transferência de corrente adequada;
- IV. Fornecer boa resposta em frequência para aplicações de alta frequência [16].

O espelho de corrente proposto em [16], oferece como principais vantagens os itens I, II e III citados acima e foi aplicado na implementação da nova fonte de corrente mostrada na figura 5. A figura 8 mostra essa implementação. Os transistores Mn1 a Mn4 formam o novo espelho de corrente e o transistor Mn5 serve para a sua polarização.

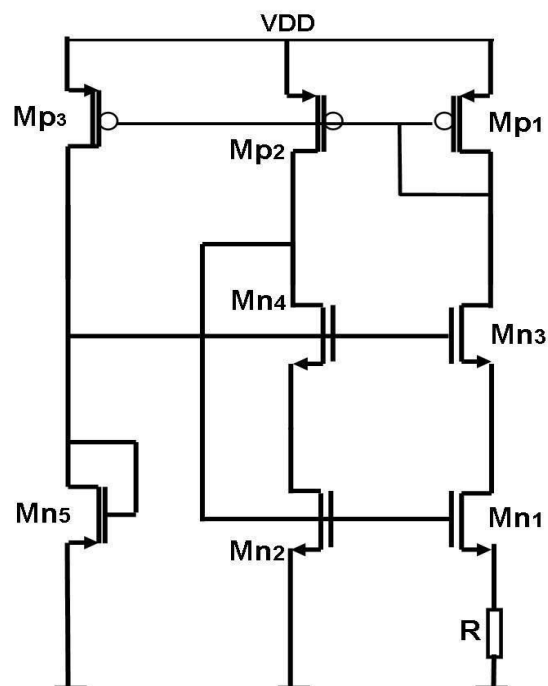


Figura 8 - Fonte de Corrente para Aplicações de Baixa Tensão de Alimentação.

A figura 9 mostra a corrente de saída da fonte de corrente apresentada na figura 8.

Comparando a fonte de corrente apresentada na figura 9 com a fonte de corrente com espelho de Wilson, sub-capítulo 2.3.2, percebe-se que elas apresentam uma estabilidade similar para a corrente de saída, porém a nova fonte de corrente começa a operar com uma tensão de alimentação de 0,9 V, enquanto a fonte com espelho de Wilson começa a operar com 1,7 V. Esta é a principal vantagem desta fonte em relação à fonte de Wilson e por esta razão foi utilizada.

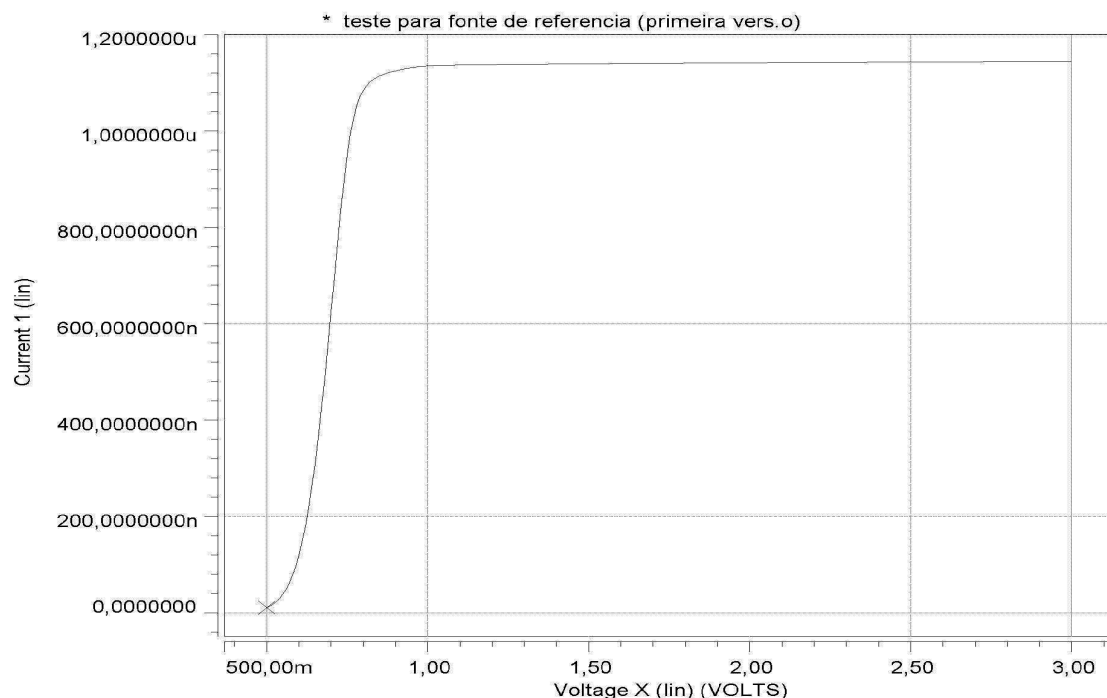


Figura 9 - Corrente da Fonte para Baixas Tensões de Alimentação.

3.2.2 O Circuito Projetado

O circuito projetado utiliza a topologia *Bandgap*, apresentando então um transistor Bipolar. A fonte de corrente utilizada foi a nova fonte de corrente para baixas tensões, apresentada anteriormente.

A figura 10 mostra o esquemático do circuito. Este possui ao todo 5 transistores PMOS, 5 transistores NMOS, 1 transistor Bipolar e 3 Resistores.

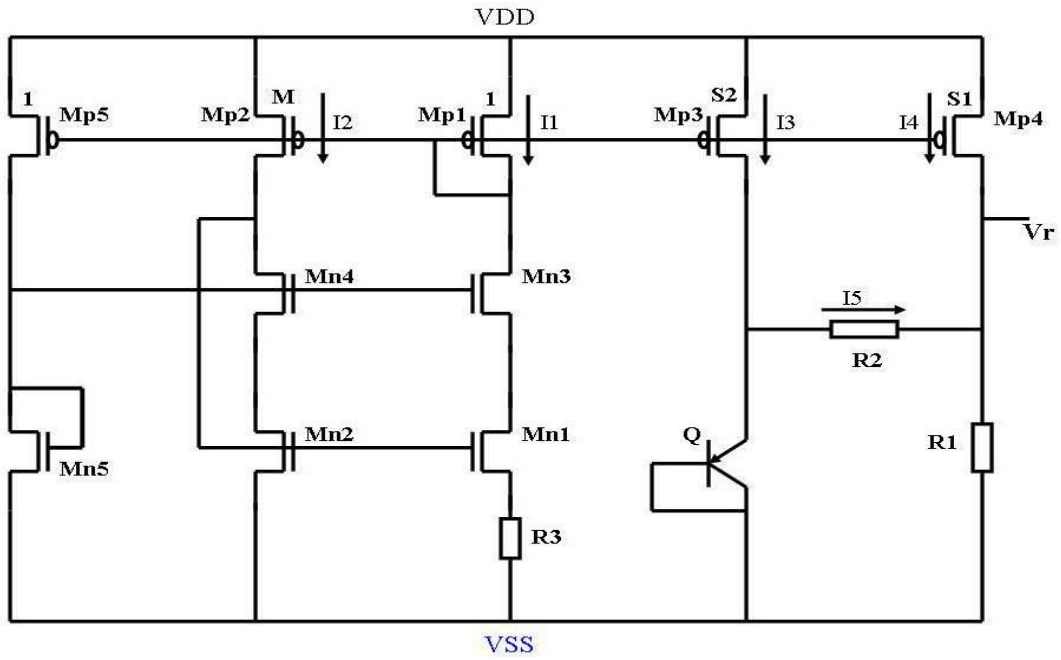


Figura 10 - Circuito Esquemático Completo.

Os transistores Mp3 e Mp4 formam espelhos de corrente. A corrente que será espelhada é gerada e estabilizada pela nova fonte de corrente, apresentada na figura 9. Esta corrente é então espelhada para o transistor bipolar e para o resistor R1. Através da corrente que passa pelo transistor R2, gera-se uma tensão de saída Vr que depende da tensão do VBE do transistor bipolar e da corrente espelhada por Mp4. A tensão VBE do transistor bipolar é inversamente proporcional à temperatura e a corrente em Mp4 é diretamente proporcional à temperatura. Assim, é possível ajustar os valores dos resistores R1 e R2 para que a tensão Vr seja independente da temperatura. Os cálculos para o dimensionamento dos resistores serão realizados mais adiante.

A relação de tamanho entre os transistores são dadas pelas constantes M, S1 e S2 abaixo:

$$M = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad S1 = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1} \quad S2 = \frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_1} \quad (8)$$

Os Ls de todos os transistores PMOS devem ser iguais para se ter um bom casamento entre eles, assim:

$$M = \frac{W_2}{W_1} \quad S1 = \frac{W_4}{W_1} \quad S2 = \frac{W_3}{W_1} \quad (9)$$

Para que a fonte de corrente funcione corretamente e para que a corrente I_3 seja maior que I_5 , de forma que passe corrente pelo transistor bipolar, adotou-se que M , $S1$ e $S2$ são iguais 2.

Analisando-se o circuito, a tensão de saída V_r e a corrente I_5 podem ser dadas por:

$$V_r = R1(I_4 + I_5) \quad (10)$$

$$I_5 = \frac{V_{BE}(Q) - V_r}{R2} \quad (11)$$

Onde $V_{BE}(Q)$ é a tensão base-emissor do transistor bipolar.

Usando a relação (7) pode-se calcular I_1 , dado por:

$$I_1 = \frac{U_T \ln(M)}{R3} \quad (12)$$

Utilizando a fórmula (12) e lembrando que o transistor $Mp4$ é $S1$ vezes maior que o $Mp1$, I_4 será dado por:

$$I_4 = \frac{S1 U_T \ln(M)}{R3} \quad (13)$$

Substituindo as fórmulas (10) e (11) em (13), V_r será dada por:

$$V_r = \frac{R1}{R1 + R2} (V_{BE}(Q) + S1 \frac{U_T}{R3} \ln(M)) \quad (14)$$

No anexo A, uma formulação completa de V_{BE} é apresentada.

Utilizando a fórmula a(13), do anexo A, e substituindo na fórmula (14), V_r será dada por:

$$V_r = \frac{R1}{R1 + R2} \left[V_{go}(T) - \frac{1}{Tr} (V_{go}(Tr) - V_{BE}(Tr)) + \frac{KTr}{q} (4 - \eta) - \frac{KTr}{q} \frac{\partial}{\partial t} \ln \left(\frac{I_b(T)}{I_b(Tr)} \right) \right] + S1R2 \frac{KT}{qR3} \ln(M) \quad (15)$$

$$\text{em que } I_b = I_3 + I_4 - \frac{V_r}{R2}$$

A relação (15) representa a formulação final para V_r . Para que o circuito seja o mais estável possível, a curva de tensão deve possuir derivada igual a zero no ponto sobre a temperatura adota com referência para o projeto.

Desta forma, para que a derivada da fórmula (15) seja zero na temperatura Tr , a condição a ser obedecida será:

$$S1R2 \frac{KT}{qR3} \ln(M) = (V_{go}(Tr) - V_{BE}(Tr)) + \frac{KTr}{q} (4 - \eta) - \frac{KTr}{q} \frac{\partial}{\partial t} \ln \left(\frac{I_b(T)}{I_b(Tr)} \right) \quad (16)$$

Sabendo que os termos

$$\frac{KTr}{q} (4 - \eta) - \frac{KTr}{q} \frac{\partial}{\partial t} \ln \left(\frac{I_b(T)}{I_b(Tr)} \right) \quad (17)$$

são da ordem de 25 mV e que $V_{go}(Tr) = 1,2V$ e $V_{BE}(Q) = 0,7V$, uma aproximação da relação (16) pode ser feita, obtendo-se:

$$S1R2 \frac{U_T}{R3} \ln(M) \approx (V_{go}(Tr) - V_{BE}(Tr)) \approx 0,5 \text{ V} \quad (18)$$

Com as relações acima é possível determinar os valores iniciais dos resistores. $R3$ é calculado de forma a ajustar a corrente que passa pela fonte de corrente, (19); $R2$ é calculado para zerar a derivada da tensão sobre TR , (20); e $R1$ é calculado para ajustar o valor da tensão de saída do circuito, (22).

Tendo a relação (18) e utilizando a corrente $I_1 = 1 \mu A$, R_3 será dado por:

$$R_3 = \frac{U_T \ln(M)}{I_1} = 17,3 K\Omega \quad (19)$$

Utilizando a relação (18) e o valor obtido para R_3 é possível determinar R_2 :

$$R_2 = \frac{R_3 * 0,5}{S1 U_T \ln(M)} = 250,8 K \Omega \quad (20)$$

Para encontrar o valor do resistor R_1 utilizam-se a relação (14) e a aproximação (18). Lembrando que $V_{go}(Tr) = 1,2 V$:

$$V_r = \frac{R_1}{R_1 + R_2} \left(V_{BE}(Q) + S1 R_2 \frac{U_T}{R_3} \ln(M) \right) = \frac{R_1 * 1,2}{R_1 + R_2} \quad (21)$$

Portanto, substituindo o valor já encontrado para $R_2 = 250,8 K \Omega$, e lembrando que o valor típico de V_r definido para o projeto é de $0,5 V$, o valor de R_1 será:

$$R_1 = \frac{R_2}{(1,2 / V_r) - 1} = 179,1 K \Omega \quad (22)$$

Para determinar os valores dos W s e dos L s dos transistores PMOS algumas decisões de projeto foram feitas. Para fornecer uma tensão estável na saída do circuito é necessário que o L dos transistores PMOS seja grande. Por outro lado, para que o circuito consiga trabalhar com tensões de alimentação baixas é necessário que a relação (W/L) destes transistores também seja grande. Sendo assim, W deve ser muito maior que L . Surge então o compromisso de projetar um circuito que trabalhe com baixas tensões de alimentação, forneça uma tensão estável, seja o menor possível, garantindo integrabilidade com outros componentes, e que consuma baixa potência.

Foram feitas algumas simulações, variando o tamanho dos componentes, para descobrir qual o melhor custo benefício entre dimensão, estabilidade e baixa tensão. Após fazer as simulações e análises posteriores, os valores escolhidos para o W_{Mp1} e para o L_{Mp1} foram:

$$W_{Mp1} = 100 \mu m \quad e \quad L_{Mp1} = 30 \mu m$$

Considerando os valores adotados para M, S1 e S2, e lembrando que os Ls dos transistores devem ser iguais, como dito anteriormente, as dimensões encontradas para os transistores PMOS foram:

$$L_{Mp1} = L_{Mp2} = L_{Mp3} = L_{Mp4} = L_{Mp5} = 30\mu m$$

$$W_{Mp1} = W_{Mp5} = 100\mu m \quad \text{e} \quad W_{Mp2} = W_{Mp3} = W_{Mp4} = 200\mu m$$

Os transistores Mn1 e Mn2 devem trabalhar na região de “Frac Inversão”, como dito anteriormente. Para garantir essa situação, as condições da tabela 1 devem ser obedecidas.

Assim, as dimensões dos transistores Mn1 e Mn2 devem seguir a seguinte relação:

$$I_D < \frac{0,1}{2C_{ox}\mu\frac{W}{L}(U_T)^2n} \quad (23)$$

Para a tecnologia CMOS 0,35 μ da AMS, utilizada neste projeto, tem-se que $C_{ox}\cdot\mu = 220 \mu A / V^2$, para o NMOS, e usando a relação obtida em (23), considerando $n = 1$, a expressão para garantir a fraca inversão é dada por:

$$\left(\frac{W}{L}\right) > I_D * 36,5 * 10^{-6} \quad (24)$$

Note que quanto maior for o L dos transistores, maior deverá ser também o W, para manter a proporção encontrada. Sendo assim, foi escolhido $L = 2 \mu m$ que fornece uma boa relação entre a área utilizada e a estabilidade da corrente na saída.

Aplicando a fórmula (24) ao transistor M_{n2} e lembrando que a corrente que passa por ele deve ser M vezes maior que a corrente I1, ou seja, igual a $2 \mu A$, então o W_{Mn2} será dado por:

$$W_{Mn2} > 146 \quad (25)$$

Com este resultado, o valor escolhido foi $W_{Mn2} = 150 \mu m$.

Neste circuito foi considerado que os transistores M_{n1} e M_{n2} possuem a mesma relação W/L . Para o casamento correto entre estes dois transistores deve-se utilizar $W_{Mn1} = W_{Mn2}$ e $L_{Mn1} = L_{Mn2}$. Os transistores M_{n3} e M_{n4} por simetria devem também possuir a mesma relação W/L . Para facilitar o desenho do *layout* foi adotado $W_{Mn1} = W_{Mn3} = W_{Mn4}$. Algumas simulações mostraram que a fonte de corrente é mais estável quando L_{Mn3} e L_{Mn4} possuem valor igual a $6 \mu\text{m}$.

Para o transistor M_{n5} foi usado $L = 6 \mu\text{m}$, para fazer o melhor casamento com os transistores M_{n3} e M_{n4} que ele polariza. Porém, o W foi determinado através de simulações, para encontrar o ponto mais estável da fonte de corrente. O valor encontrado foi $W_{Mn5} = 30 \mu\text{m}$.

Os valores dos W s e dos L s dos transistores NMOS são mostrados abaixo:

$$L_{Mn1} = L_{Mn2} = 2 \mu\text{m} \text{ e } L_{Mn3} = L_{Mn4} = L_{Mn5} = 6 \mu\text{m}$$

$$W_{Mn1} = W_{Mn2} = W_{Mn3} = W_{Mn4} = 150 \mu\text{m} \text{ e } W_{Mn5} = 30 \mu\text{m}$$

Para o transistor bipolar, foi usado o dispositivo “VERT10 PNP” presente na biblioteca da AMS.

3.2.3 Simulações e Ajustes

Para simular o circuito foi utilizada a ferramenta HSPICE. O arquivo de simulação, para o caso típico, utilizado no HSPICE encontra-se no anexo B.

O intuito da simulação é verificar o funcionamento do circuito e ajustar o tamanho dos resistores para garantir que a curva tenha a menor variação possível e que a tensão de saída fique próxima do valor especificado, $V_r = 0,5 \text{ v}$. O valor do resistor $R3$ não foi alterado nas simulações.

As simulações foram feitas com 3 modelos de operação dos dispositivos: Típico, *Worst Speed* (pior velocidade) e *Worst Power* (maior consumo), presentes no anexo D. Os valores encontrados devem garantir que a saída do circuito seja satisfatória para os 3 casos.

Os valores encontrados por simulação para os resistores $R1$ e $R2$ foram:

$$R1 = 162K\Omega \text{ e } R2 = 224,3K\Omega$$

A tabela 4 resume as dimensões de todos os componentes, obtidas através dos cálculos e dos ajustes por simulações.

Tabela 4 - Resumo das Dimensões dos Componentes e Ajustes por Simulações.

Componente	(W/L) Calculado	(W/L) Ajuste Simulação	Unidades
M_{P1}	100/30	----	μm/ μm
M_{P2}	200/30	----	μm/ μm
M_{P3}	100/30	----	μm/ μm
M_{P4}	200/30	----	μm/ μm
M_{P5}	200/30	----	μm/ μm
M_{n1}	150/2	----	μm/ μm
M_{n2}	150/2	----	μm/ μm
M_{n3}	150/2	150/6	μm/ μm
M_{n4}	150/2	150/6	μm/ μm
M_{n5}	----	30/6	μm/ μm
R1	179,1	162	KΩ
R2	250,8	224,3	KΩ
R3	17,3	17,3	KΩ

A figura 11 representa a saída da tensão por temperatura para os casos Típico, *Worst Power* e *Worst Speed*, respectivamente.

As curvas presentes no gráfico representam tensões de alimentação com os seguintes valores: 1,0 V, curva que está mais abaixo; 1,1 V; 1,2 V; 1,3 V; 1,4 V e 1,5 V, a curva que está mais acima.

Note que para o *Worst Speed* aparecem apenas 5 linhas, pois neste caso o circuito não funciona com 1,0 V de alimentação.

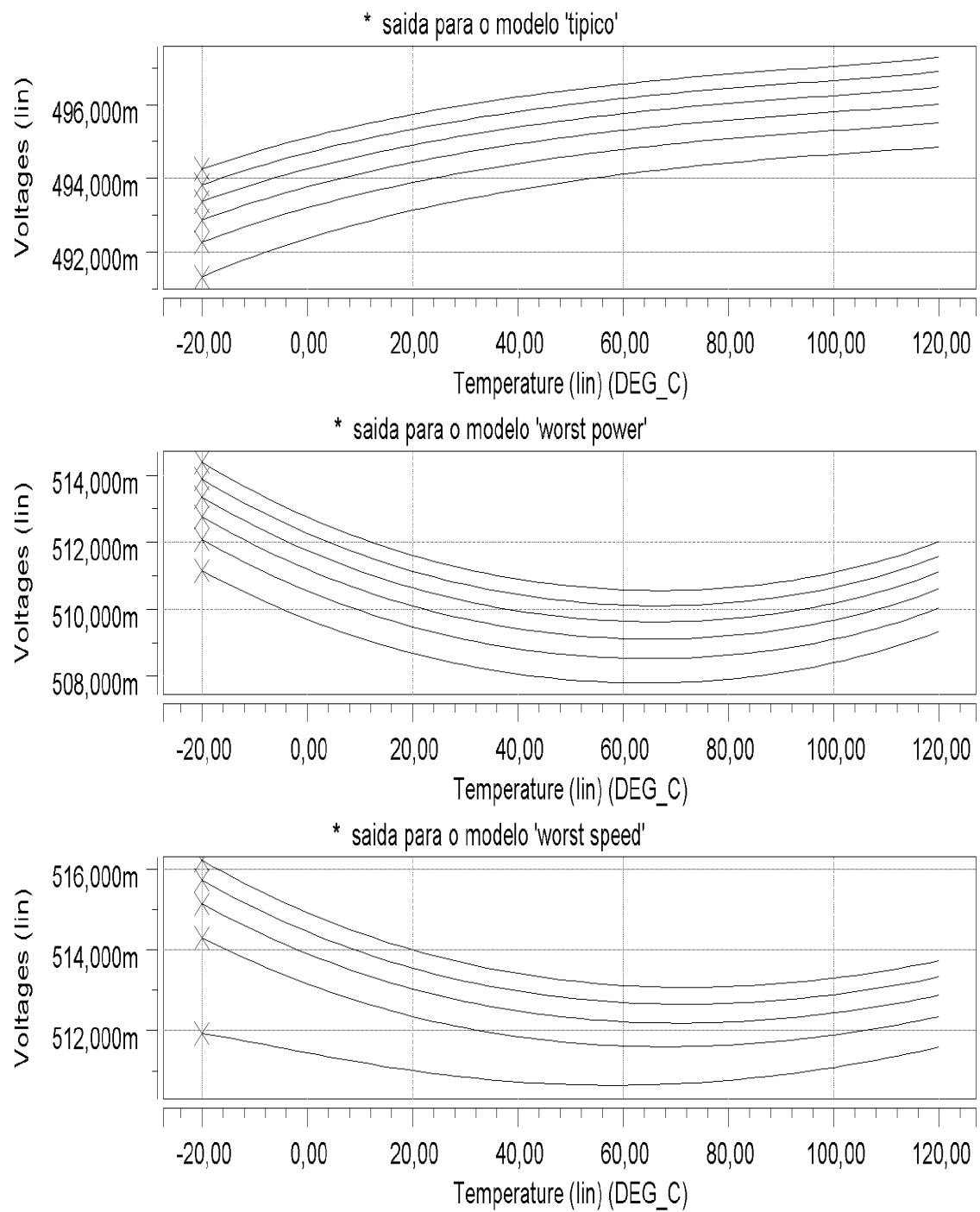


Figura 11 - Tensão de Saída pela Temperatura para os modelos típico, *Worst Power* e *Worst Speed*.

3.3 Layout

O *layout* é uma etapa importante no desenvolvimento de circuitos integrados analógicos, pois existem diversos cuidados a serem tomados. Para os circuitos digitais a preocupação maior será com o tempo de propagação do sinal e com a área utilizada pelo circuito. Algumas ferramentas como o *Leonardo Spectrum* são capazes de sintetizar circuitos digitais a partir de descrições em VHDL de modo que tenha a menor área ou o menor *delay* de sinal. Além disso, estes circuitos sintetizados podem ser colocados como *layout* de forma automática. A mesma facilidade não existe para os circuitos analógicos.

Vários cuidados foram tomados para a confecção do *layout* deste projeto, entre eles:

- Os transistores M_{p2} , M_{p3} e M_{p4} foram divididos em dois transistores, com metade do W original, e colocados em paralelo. Isto foi feito para melhorar o casamento destes transistores PMOS com M_{p1} , que possui um $W = 100 \mu\text{m}$. Observe que quando dois transistores são colocados em paralelo o efeito é similar a dobrar o tamanho do W ;
- Os transistores PMOS foram agrupados e colocados próximos entre si para melhorar o casamento e reduzir as dimensões do circuito;
- Os transistores NMOS foram quebrados em 4 transistores, com W de $\frac{1}{4}$ do tamanho original, e colocados em paralelo utilizando a estrutura chamada de “dedos”. Isto foi feito, pois os transistores NMOS possuíam um W muito grande, o que deixaria o circuito desproporcional, dificultando a confecção do *layout* e reduzindo o casamento entre eles;
- Os transistores NMOS também foram colocados próximos entre si para melhorar o casamento.
- Foram colocados vários contatos de poço e substrato, para garantir um bom contato a VDD e VSS, respectivamente. Com isso reduz-se problemas de ruído e de *Latch-up*. A AMS garante que na tecnologia utilizada não haverá problemas de *Latch-up*, desde que os contatos de poço-substrato estejam a menos de $20 \mu\text{m}$ de qualquer transistor. Os transistores PMOS utilizados neste projeto têm um L igual a $30 \mu\text{m}$, o que deixa o circuito sujeito ao aparecimento de *Latch-up*;
- Os resistores, que possuem valores muito grandes, foram construídos com silício-policristalino, RPOLYH, que possui alta resistência de folha e baixo coeficiente

de temperatura. A tabela 5 fornece as resistividades e os coeficientes de temperatura das camadas que a *foundry* disponibiliza para implementar resistores [2].

Tabela 5 - Camadas disponíveis para implementar resistores e respectivas resistividades e coeficientes de temperatura.

Tipo	Mínimo	Típico	Máximo	Unidade	Coef. de Temperatura
RPOLYH	0,9	1,2	1,5	K $\Omega/\square$	-0,4 $10^{-3}/K$
RPOLY2	40	50	60	$\Omega/\square$	0,7 $10^{-3}/K$
RDIFFN	55	70	85	$\Omega/\square$	1,5 $10^{-3}/K$
RDIFFP	100	130	160	$\Omega/\square$	1,5 $10^{-3}/K$
RNWEEL	0,8	1,0	1,2	K $\Omega/\square$	6,2 $10^{-3}/K$
RPOLY	1	8	15	$\Omega/\square$	0,9 $10^{-3}/K$

- Os resistores foram posicionados próximos entre si e construído com largura de 4 μm para melhorar o casamento entre eles.

- As ligações entre os dispositivos foram feitas com largura grossa nos metais para aumentar as capacitâncias parasitas e diminuir as resistências entre os dispositivos.

A figura 12 mostra o *layout* final do circuito. Os dois blocos maiores na parte superior são os transistores PMOS e os blocos da parte inferior são os transistores NMOS, o transistor bipolar e os resistores. As dimensões do *layout* são: 118 μm por 215 μm .

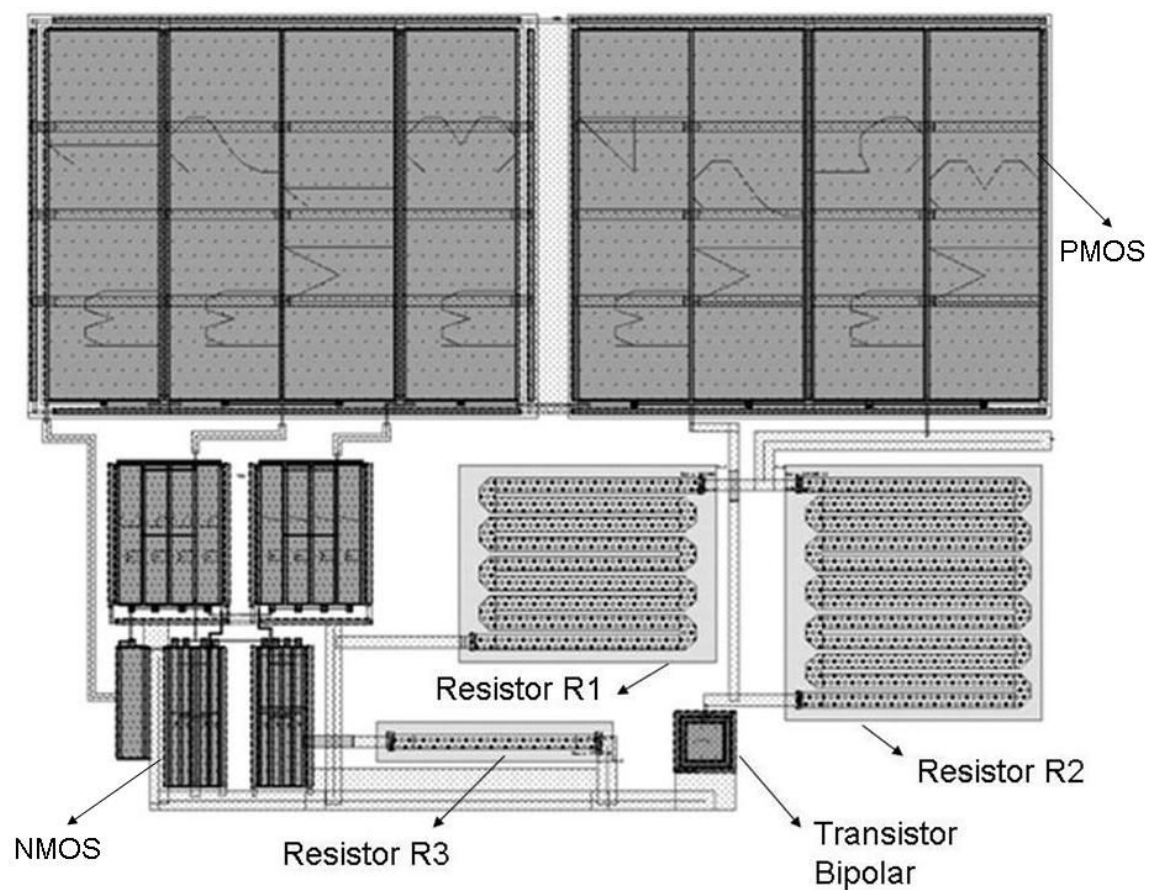


Figura 12 - *Layout* do Circuito (área ocupada 118 μm por 215 μm)

4. Resultados e Conclusões

4.1 Resultados

O circuito foi proposto para gerar uma tensão de saída de 0,5 V com na temperatura de referência 40 °C. A faixa de temperatura de operação do circuito deve ser de -20 °C a 120 °C. O circuito deve funcionar com uma tensão de alimentação de 1,0 V.

As ferramentas Calibre *DRC* e *LVS* foram utilizadas para a verificação do *layout*. O conjunto de ferramentas Calibre também possui a ferramenta *PEX*, capaz de extrair arquivos para simulação a partir do *layout*. Com esta ferramenta foram extraídos arquivos de simulação contendo todas as dimensões dos componentes e as capacitâncias parasitas presentes. Estes arquivos foram adaptados ao *HSPICE* [7] e novamente simulados.

Nas simulações do arquivo extraído do *layout* foi encontrado um problema. As dimensões do transistor Bipolar, extraídas pelo *PEX*, apresentavam valores muito inferiores aos valores que apareciam no *layout*, alterando significativamente os resultados da simulação. Com um tamanho pequeno para o transistor Bipolar, uma tensão grande aparece em VBE, resultando no funcionamento incorreto do circuito. Acredita-se que a ferramenta *PEX* extraiu incorretamente as dimensões do transistor. Mais testes devem ser realizados para verificar a causa do problema, o que não foi possível no momento.

Para o tamanho do transistor Bipolar, utilizado nas simulações, foi considerado o tamanho *default* do modelo e, neste caso, os resultados obtidos foram muito similares aos das simulações feitas anteriormente.

A figura 13 mostra os gráficos dos resultados obtidos com as simulações dos arquivos extraídos pelo *PEX*. As curvas presentes no gráfico representam tensões de alimentação com os seguintes valores: 1,0 V, curva que está mais abaixo; 1,1 V; 1,2 V; 1,3 V; 1,4 V e 1,5 V, a curva que está mais acima.

O anexo C contém o arquivo de simulação, para o caso típico, com as informações extraídas a partir do *layout*. Os modelos dos transistores, omitidos aqui, permanecem os mesmos mostrados no anexo B.

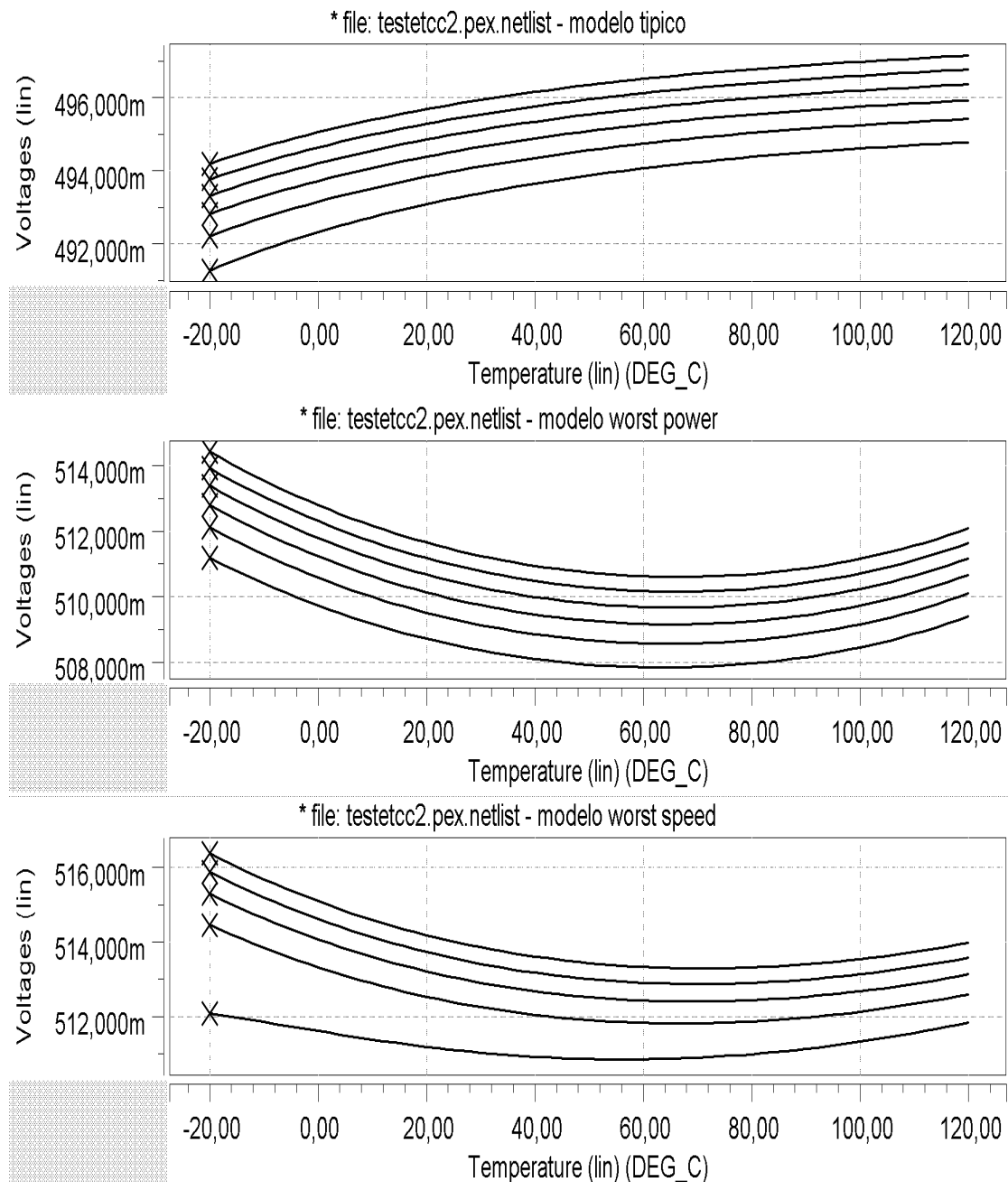


Figura 13 - Tensão de Saída pela Temperatura para Arquivos Extraídos do *Layout*.

Para o caso *Worst Speed* a curva para tensão de alimentação de 1,0 V não está presente no gráfico, pois está bastante distante das outras curvas.

A figura 14 apresenta o valor da corrente gerada pela fonte de corrente em função da tensão de alimentação. Para o pior caso, a corrente gerada pela fonte de corrente atinge um valor estável, próximo ao desejado, a partir de uma tensão de alimentação de 1,1 V. Assim, o funcionamento do circuito fica garantido para tensões de alimentação de pelo menos 1,1 V.

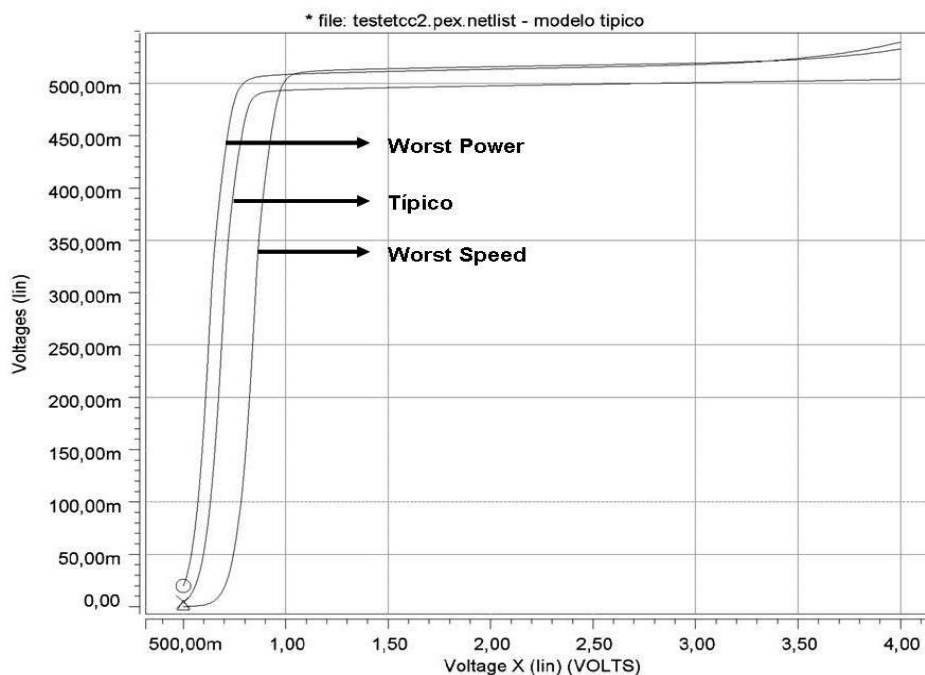


Figura 14 - Corrente Gerada pela Fonte de Corrente.

Para calcular a potência consumida pelo circuito é necessário determinar a corrente total consumida e multiplicar pela tensão de alimentação do circuito. A figura 15 apresenta a corrente total consumida pelo circuito, em função da temperatura para os 3 casos, Típico, *Worst Power* e *Worst Speed*. As curvas presentes no gráfico representam tensões de alimentação com os seguintes valores: 1,0 V, curva que está mais abaixo; 1,1 V; 1,2 V; 1,3 V; 1,4 V e 1,5 V, a curva que está mais acima. Note que as curvas possuem valores muito próximos para qualquer tensão de alimentação e se apresentam como uma única curva no gráfico.

A corrente máxima consumida pelo circuito é inferior a 14 μA para qualquer tensão de alimentação e qualquer temperatura. Assim, se o circuito estiver trabalhando com uma tensão de 1,1 V, por exemplo, a potência consumida será inferior a 15 μW .

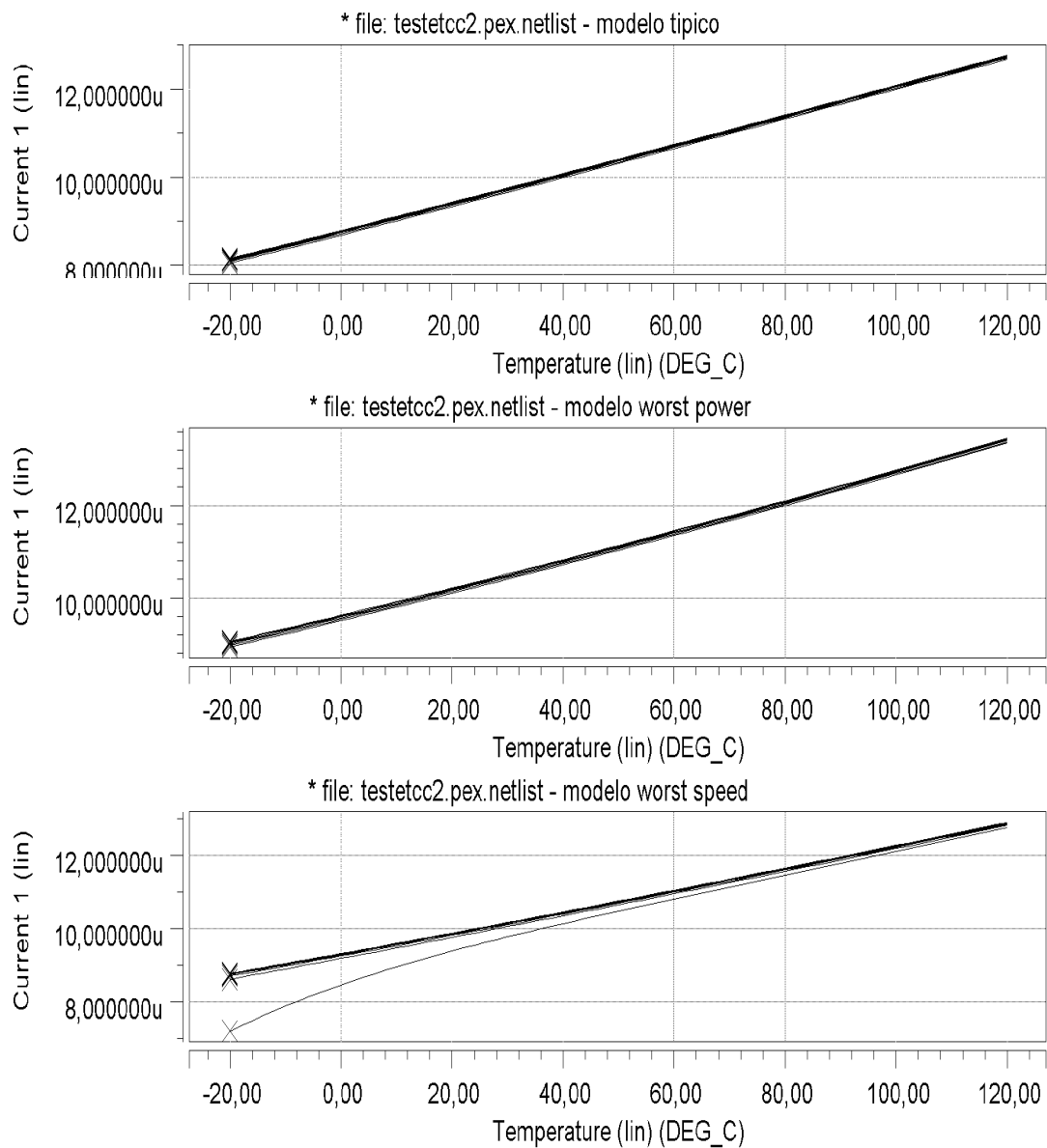


Figura 15 - Corrente Total Consumida pelo Circuito em Função da Temperatura.

Para determinar as variações da tensão de saída, produzida pelo circuito, em partes por milhão, foi utilizada a relação (29), abaixo:

$$Coef. = \frac{(V_{OUT(MAX)} - V_{OUT(MIN)})}{V_{OUT} * (T_{MAX} - T_{MIN})} * 10^6 \quad (29)$$

onde $V_{OUT(max)}$ e $V_{OUT(min)}$ são a máxima e mínima tensões da saída na faixa de temperatura considerada, T_{max} e T_{min} são a máxima e a mínima temperaturas

consideradas em °C, V_{OUT} é a tensão esperada na saída e o resultado é dado em ppm/°C [2].

A tabela 6 apresenta os valores máximos e mínimos para a tensão de saída, obtidos no gráfico de tensão de saída em função da temperatura. A tensão de alimentação adota neste caso foi a de 1,5 V, que representa o pior caso da figura 14.

Tabela 6 - Máximas, Mínimas e Coef. de Temperatura para a Tensão de Saída.

	V_{OUT} (MÍN) Obtido (V)	V_{OUT} (MÁX) Obtido (V)	Coef. Temperatura ($V_{DD} = 1,5$ V) (ppm/°C)
V_{OUT} (TÍPICO)	494,2	497,2	42,9
V_{OUT} (WORST POWER)	510,6	514,4	54,3
V_{OUT} (WORST SPEED)	513,3	516,4	44,3

Os resultados obtidos mostram que o circuito funciona de forma satisfatória, dentro das especificações iniciais. Foi especificado que o circuito deve começar a funcionar com uma tensão de 1,0 V. Apenas para o caso *Worst Speed* o circuito projetado começa a funcionar com uma tensão de alimentação maior do que a especificada, funcionando para 1.1 V. Apenas para o caso *Worst Power* o coeficiente de temperatura foi superior a 50 ppm/°C, especificado como máximo, apresentando 54,3 ppm/°C.

4.2 Conclusões

Neste trabalho projetou-se uma fonte de tensão de referência de baixa tensão de alimentação na tecnologia CMOS (*Complementary Metal Oxide Silicon*). Primeiramente foi realizado um estudo sobre fontes de corrente, envolvendo diversas configurações, fontes de tensão de referência, especialmente sobre a topologia *Bandgap*, trabalhos anteriores realizados nesta mesma linha de projetos e sobre artigos que detalham novas topologias de circuitos que trabalham no domínio da corrente [13]. Após a etapa de estudos, as especificações do projeto foram definidas. Depois, foi feita a escolha da topologia e o desenvolvimento do circuito utilizando a tecnologia CMOS 0,35 μ m da AMS (*AustriaMicroSystem*). A partir do circuito diversas simulações foram realizadas a fim de escolher o melhor conjunto de valores para as dimensões do circuito. O próximo passo foi desenhar o esquemático do circuito utilizando a ferramenta *Design Architect-IC* [6], que gerou automaticamente os

componentes utilizados no *layout*, desenvolvido na ferramenta *IC Station* [6]. Com o layout desenvolvido foram feitas as verificações com as ferramentas de análise *DRC* e *LVS*. Em seguida, com o *PEX*, foi feita a extração dos arquivos de simulação e estes foram simulados no *HSPICE*.

A tabela 7 apresenta os resultados finais obtidos para o projeto.

Tabela 7 - Resultados Finais Obtidos para o Projeto

	VDD_(MÍN) (V)	VDD_(MÁX) (V)	Coef. de Temperatura (ppm/°C)	Área Total (μm^2)	Potência (W)
Pior Caso	1,1	----	54,3	118 X 215	14 μ A x VDD

A realização do projeto consolidou vários fundamentos teóricos vistos nas matérias de circuitos eletrônicos e trouxe um conteúdo mais específico através de livros de microeletrônica, antes desconhecidos, e de diferentes artigos. Além disso, uma visão mais específica de todas as fases do desenvolvimento de circuitos eletrônicos foi criada, integrando um novo software de simulação e o software utilizado para o desenvolvimento do circuito, já visto nas matérias de laboratório de projetos de circuitos analógicos.

Como sugestões para futuros trabalhos ficam a verificação da extração realizada pelo *PEX* para o transistor Bipolar, a utilização do espelho de Wilson nos espelhos de transistores PMOS deste circuito, entre outras coisas.

ANEXO A

Cálculos da Tensão Base-Emissor do Transistor Bipolar em Função da Temperatura

Os circuitos *bandgap* normalmente utilizam transistores bipolares, portanto, é importante conhecer como a tensão base emissor, V_{BE} , varia com a temperatura. A seguir serão descritas as relações para determinar a tensão V_{BE} do transistor bipolar e sua dependência com relação à temperatura. Também serão mostradas as relações utilizadas no simulador.

A.1 Método de Cálculo de V_{BE} Desenvolvido por Tsividis [17]

Esta análise descreve o meio para o cálculo da tensão base-emissor que foi adotado no projeto apresentado neste trabalho. Ele é mais preciso do que outras análises.

Primeiro considerando-se que o transistor está operando na região ativa e desprezando o efeito Early, teremos que a corrente de coletor, em função da temperatura, é dada por:

$$I_{C(T)} = I_{S(T)} e^{\frac{qV_{BE}}{kT}} \quad (a1)$$

onde I_C é a corrente de coletor, I_S é a corrente de saturação, T é a temperatura absoluta, q é a carga do elétron e k é a constante de Boltzmann.

Para calcular V_{BE} em função da temperatura consideramos a relação entre as correntes de coletor do transistor operando à temperaturas diferentes, obtendo:

$$\frac{I_{C(T)}}{I_{C(T_R)}} = \frac{I_{S(T)} e^{\frac{qV_{BE(T)}}{kT}}}{I_{S(T_R)} e^{\frac{qV_{BE(T_R)}}{kT_R}}} \quad (a2)$$

onde T_R é uma temperatura de referência.

Da expressão acima podemos isolar V_{BE} na temperatura T :

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{I_{S(T_R)}}{I_{S(T)}} \right) \right] \quad (a3)$$

A corrente I_S na equação (3) pode ser escrita em função de parâmetros do transistor, conforme mostra a relação abaixo:

$$I_{S(T)} = \frac{q A n_i^2(T) \bar{D}_{(T)}}{N_B} \quad (a4)$$

onde A é a área da junção base-emissor, $n_{i(T)}$ é a concentração intrínseca de portadores (seu valor depende da temperatura), $\bar{D}_{(T)}$ é a constante de difusão efetiva dos portadores minoritários na base (seu valor depende da temperatura) e N_B é o número *Gummel* ou o número total de impurezas por unidade de área na base.

Substituindo (4) em (3) obteremos:

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{\frac{q A n_i^2(T_R) \bar{D}_{(T_R)}}{N_B}}{\frac{q A n_i^2(T) \bar{D}_{(T)}}{N_B}} \right) \right] \quad (a5)$$

Para detalhar mais a expressão, utilizou-se a seguinte relação para a concentração de portadores intrínsecos :

$$n_i^2(T) = E T^3 e^{\left[\frac{q V_{GO(T)}}{k T} \right]} \quad (a6)$$

onde $V_{GO(T)}$ é a tensão de *bandgap* a uma temperatura T e E é uma constante.

Substituindo temos a expressão

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{\frac{q A E T_R^3 e^{\left[\frac{q V_{GO(T_R)}}{k T_R} \right]} \bar{D}_{(T_R)}}{N_B}}{\frac{q A E T^3 e^{\left[\frac{q V_{GO(T)}}{k T} \right]} \bar{D}_{(T)}}{N_B}} \right) \right] \quad (a7)$$

que simplificada resulta em

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{q \bar{D}_{(T_R)}}{q \bar{D}_{(T)}} \frac{T_R^3}{T^3} e^{\left(\frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} \right)} \right) \right] \quad (a8)$$

Assumindo que a mobilidade efetiva dos portadores minoritários na base pode ser obtida pela relação de Einstein

$$\bar{\mu}_{(T)} = \frac{q \bar{D}_{(T)}}{kT} \quad (a9)$$

podemos reescrever a equação (8) como:

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{\bar{\mu}_{(T_R)} k T_R}{\bar{\mu}_{(T)} k T} \frac{T_R^3}{T^3} \right) \right] \quad (a10)$$

onde não mais aparece $\bar{D}_{(T)}$. Para concluir e obter uma relação para a tensão V_{BE} que mostre sua dependência com a temperatura foi aplicada a expressão abaixo que indica a dependência da mobilidade com a temperatura.

$$\bar{\mu}_{(T)} = C T^{-\eta} \quad (a11)$$

onde C e η são constantes.

A expressão final para V_{BE} será

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} + \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{C T_R^{-\eta}}{C T^{-\eta}} \left(\frac{T_R}{T} \right)^4 \right) \right] \quad (a12)$$

ou

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_{GO(T_R)}}{T_R} + \frac{V_{GO(T)}}{T} \right] - \frac{kT}{q} \ln \left(\frac{T_R}{T} \right)^{4-\eta} + \frac{kT}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \right) \quad (a13)$$

A.2 Equações do simulador

Dado um modelo do transistor bipolar e seus parâmetros, ficam definidas quais são as equações que o simulador utiliza. Vamos aplicar estas equações para determinar o valor de V_{BE} e posteriormente comparar com o resultado apresentado acima.

Iniciamos escrevendo a expressão para I_C que agora é

$$I_{C(T)} = \frac{I_{S(T)}}{q_b} e^{\frac{qV_{BE}}{kTN_F}} \quad (a14)$$

onde q_b depende de vários parâmetros tais como tensão de Early direta e reversa, V_{be} , etc. mas que está próximo de um para nosso caso e $N_F = 0.9925$ é um expoente para modelar a variação de β com a corrente.

Ainda, no simulador a corrente I_S , como função da temperatura, é determinada pelas expressões

$$I_{S(T)} = I_S e^{facI(T)} \quad (a15)$$

$$e^{facI(T)} = \frac{qV_G}{kT_{nom}} - \frac{qV_G}{kT} + XT \ln\left(\frac{1}{T}\right) \quad (a16)$$

onde $I_S = 0,233 \text{ fA}$ é a corrente de saturação, $V_G = 1.115 \text{ V}$ é a tensão de *bandgap*, $XT = 5,53$ é o expoente de temperatura para a corrente de saturação e T_{nom} é a temperatura nominal (27 °C).

Observemos que estas expressões são usadas devido ao valor de um parâmetro chamado TLEV (*default=1*); outras expressões seriam usadas se este parâmetro tivesse outro valor.

A partir das expressões (2) e (14) chegamos a expressão

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} + N_F \frac{k}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \frac{I_{S(T_R)}}{I_{S(T)}} \right) \right] \quad (a17)$$

Utilizando então as relações para I_S obtemos o resultado abaixo

$$V_{BE(T)} = T \left[\frac{V_{BE(T_R)}}{T_R} - \frac{V_G}{T_R} + \frac{V_G}{T} \right] - \frac{kT}{q} \ln \left(\frac{T_R}{T} \right)^{N_F XT} + N_F \frac{kT}{q} \ln \left(\frac{I_{C(T)}}{I_{C(T_R)}} \right) \quad (a18)$$

Observe que a expressão acima é semelhante a (13). Lembrando que N_F é praticamente igual a um, vemos que a única diferença real entre elas está no fato da tensão de *bandgap* V_G para o simulador ser constante com a temperatura.

ANEXO B

Parâmetros de Simulação para o Modelo Típico

* Saída para o modelo "Típico"

```
.param Rp1=162k Rp2=224.3k Rp3=17.3k
```

```
.param W1=100u L1=30u W6=150u L6=2u L8=6u W10=30u L10=6u
```

```
.option spice co=132 itl5=0
```

```
+ converge=-1 dcon=-1 post probe pivot=13 itl2=800 itl1=800 delmax=0.1u
```

```
M1 B B vdd vdd MODP w=W1 l=L1
```

```
M2 F B vdd vdd MODP w=W1 l=L1
```

```
M21 F B vdd vdd MODP w=W1 l=L1
```

```
M3 E B vdd vdd MODP w=W1 l=L1
```

```
M31 E B vdd vdd MODP w=W1 l=L1
```

```
M4 R B vdd vdd MODP w=W1 l=L1
```

```
M41 R B vdd vdd MODP w=W1 l=L1
```

```
M5 C B vdd vdd MODP w=W1 l=L1
```

```
M6 G F I vss MODN w=W6 l=2u
```

```
M7 H F vss vss MODN w=W6 l=2u
```

```
M8 B C G vss MODN w=W6 l=L8
```

```
M9 F C H vss MODN w=W6 l=L8
```

```
M10 C C vss vss MODN w=W10 l=L10
```

```
R1 R vss Rp1
```

```
R2 E R Rp2
```

```
R3 I vss Rp3
```

```
Vd vdd 0 2v
```

```
Vd1 vss 0 0v
```

```
.op
```

```
Q3 vss vss E Vert10
```

```
*.DC Vd 0.5 4.0 0.01
```

```
*.DC Vd 0.5 4.0 0.01 L1 10u 40u 5u
```

```
*.DC Vd 0.5 4.0 0.01 L8 2u 20u 4u
```

```

*.DC Vd 0.5 4.0 0.01 W10 3u 12u 1u
*.DC temp -20 120 2 W10 25u 50u 5u
*.DC temp -20 120 2 Rp2 226k 240k 1k
.DC temp -20 120 2 Vd 1 1.5 0.1

.probe DC I1(M1) I1(M3) I1(M4) I3(Q3) V(C) V(E) V(R)
*
***** MODELO TIPICO PARA TRANSISTORES (0.7)
.MODEL MODN NMOS LEVEL=49
*
***** SIMULATION PARAMETERS *****
*
* format : HSPICE
* model : MOS BSIM3v3
* process : CS[ADFI]
* extracted : CSA C61417; 1998-10; ese(487)
* doc# : 9933016 REV_N/C
* created : 1999-01-12
*
*
* TYPICAL MEAN CONDITION
*
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*
* *** Threshold voltage related model parameters ***
+K1 =6.044e-01
+K2 =2.945e-03 K3 =-1.72e+00 K3B =6.325e-01
+NCH =2.310e+17 VTH0 =4.655e-01
+VOFF =-5.72e-02 DVT0 =2.227e+01 DVT1 =1.051e+00
+DVT2 =3.393e-03 KETA =-6.21e-04
+PSCBE1 =2.756e+08 PSCBE2 =9.645e-06
+DVT0W =0.000e+00 DVT1W =0.000e+00 DVT2W =0.000e+00
*
* *** Mobility related model parameters ***
+UA =1.000e-12 UB =1.723e-18 UC =5.756e-11
+U0 =4.035e+02
*
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =3.085e-02 ETAB =-3.95e-02
+NFACTOR=1.119e-01
*
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.831e-01
+PDIBLC1=1.076e-01 PDIBLC2=1.453e-03 DROUT =5.000e-01

```

```

+A0 =2.208e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.178e+05 AGS =2.490e-01
+B0 =-1.76e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=2.583e-01
* *** Geometry modulation related parameters ***
+W0 =1.184e-07 DLC =8.285e-09
+DWC =2.676e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =0.000e+00 WWL =0.000e+00 WLN =1.000e+00
+WWN =1.000e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.80e+00
+KT1 =-3.30e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGDO =2.100e-10 CGSO =2.100e-10 CGBO =1.100e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =6.043e+02
+CDSC =0.000e+00 CDSCB =0.000e+00 CDSCD =8.448e-05
+PRWB =0.000e+00 PRWG =0.000e+00 CIT =1.000e-03
* *** Process and parameters extraction related model parameters ***
+TOX =7.700e-09 NGATE =0.000e+00
+NLX =1.918e-07
+XL =5.000e-08 XW =0.000e+00
* *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.400e+00 KF =2.810e-27 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
+NLEV =0
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =8.200e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =8.285e-09 WINT =2.676e-08

```

```

+LDIF =0.000e+00 HDIF =6.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =2.000e-05 JSW =0.000e+00 IS =0.000e+00
+N =1.000e+00 NDS =1000. VNDS =-1.000e+00
+CBD =0.000e+00 CBS =0.000e+00 CJ =9.300e-04
+CJSW =2.800e-10 FC =0.000e+00
+MJ =3.100e-01 MJSW =1.900e-01 TT =0.000e+00
+PB =6.900e-01 PHP =9.400e-01
*
* -----
.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : HSPICE
* model : MOS BSIM3v3
* process : CS[ADFI]
* extracted : CSA C61417; 1998-10; ese(487)
* doc# : 9933016 REV_N/C
* created : 1999-01-12
* -----
* TYPICAL MEAN CONDITION
* -----
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
* *** Threshold voltage related model parameters ***
+K1 =5.675e-01
+K2 =-4.39e-02 K3 =4.540e+00 K3B =-8.52e-01
+NCH =1.032e+17 VTH0 =-6.17e-01
+VOFF =-1.13e-01 DVT0 =1.482e+00 DVT1 =3.884e-01
+DVT2 =-1.15e-02 KETA =-2.56e-02
+PSCBE1 =1.000e+09 PSCBE2 =1.000e-08
+DVT0W =0.000e+00 DVT1W =0.000e+00 DVT2W =0.000e+00
* *** Mobility related model parameters ***
+UA =2.120e-10 UB =8.290e-19 UC =-5.28e-11
+U0 =1.296e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.293e-01 ETAB =-3.92e-03
+NFACTOR=8.237e-01
* *** Saturation related parameters ***

```

```

+EM    =4.100e+07 PCLM    =2.979e+00
+PDIBLC1=3.310e-02 PDIBLC2=1.000e-09 DROUT    =5.000e-01
+A0    =1.423e+00 A1     =0.000e+00 A2     =1.000e+00
+PVAG  =0.000e+00 VSAT   =2.000e+05 AGS     =3.482e-01
+B0    =2.719e-07 B1     =0.000e+00 DELTA   =1.000e-02
+PDIBLCB=-1.78e-02
*      *** Geometry modulation related parameters ***
+W0    =4.894e-08 DLC     =-5.64e-08
+DWC   =3.845e-08 DWB     =0.000e+00 DWG     =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL     =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =0.000e+00 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.000e+00
*      *** Temperature effect parameters ***
+AT     =3.300e+04 UTE     =-1.35e+00
+KT1    =-5.70e-01 KT2     =2.200e-02 KT1L    =0.000e+00
+UA1    =0.000e+00 UB1     =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGDO   =2.100e-10 CGSO    =2.100e-10 CGBO    =1.100e-10
+CGDL   =0.000e+00 CGSL    =0.000e+00 CKAPPA  =6.000e-01
+CF      =0.000e+00 ELM     =5.000e+00
+XPART   =1.000e+00 CLC     =1.000e-15 CLE     =6.000e-01
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW    =1.853e+03
+CDSC    =6.994e-04 CDSCB   =2.943e-04 CDSCD   =1.970e-04
+PRWB    =0.000e+00 PRWG    =0.000e+00 CIT     =1.173e-04
*      *** Process and parameters extraction related model parameters ***
+TOX     =7.700e-09 NGATE   =0.000e+00
+NLX     =1.770e-07
+XL      =5.000e-08 XW      =0.000e+00
*      *** Substrate current related model parameters ***
+ALPHA0  =0.000e+00 BETA0   =3.000e+01
*      *** Noise effect related model parameters ***
+AF      =1.290e+00 KF      =1.090e-27 EF      =1.000e+00
+NOIA    =1.000e+20 NOIB    =5.000e+04 NOIC    =-1.40e-12
+NLEV     =0
*      *** Common extrinsic model parameters ***
+ACM     =2
+RD      =0.000e+00 RS      =0.000e+00 RSH     =1.560e+02

```

```

+RDC  =0.000e+00 RSC  =0.000e+00
+LINT  =-5.64e-08 WINT  =3.845e-08
+LDIF  =0.000e+00 HDIF  =6.000e-07 WMLT  =1.000e+00
+LMLT  =1.000e+00 XJ   =3.000e-07
+JS    =2.000e-05 JSW   =0.000e+00 IS    =0.000e+00
+N     =1.000e+00 NDS   =1000. VNDS   =-1.000e+00
+CBD   =0.000e+00 CBS   =0.000e+00 CJ    =1.420e-03
+CJSW  =3.800e-10 FC    =0.000e+00
+MJ    =5.500e-01 MJSW  =3.900e-01 TT    =0.000e+00
+PB    =1.020e+00 PHP   =9.400e-01
* -----
.MODEL VERT10 PNP
* -----
***** SIMULATION PARAMETERS *****
* -----
* format   : ELDO, AccusimII, Continuum
* model    : BJT
* process  : C35[A-B][3-4][A-C][1-3]
* revision : 2.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc#     : Eng-182
* -----
*
*          TYPICAL MEAN CONDITION
* -----
+IS  =2.3330e-17 IRB  =4.3770e-06
+IKF  =1.3760e-03 BF   =5.9810e+00 NF   =9.9250e-01
+ISE  =6.5290e-16 NE   =1.7760e+00 VAF   =1.9420e+02
+IKR  =1.9410e-04 BR   =9.8740e-02 NR   =9.9470e-01
+ISC  =2.8430e-14 NC   =1.1490e+00 VAR   =1.0320e+01
+RBM  =1.0000e+00
+RB   =2.1380e+02
+RE   =9.7360e+00
+RC   =4.5400e+01
+TF   =6.4800e-10
+
+EG   =1.1150e+00 XTI  =5.5300e+00 XTB  =2.2500e+00
+CJE  =1.4880e-13 VJE  =1.0200e+00 MJE  =5.4882e-01
+CJC  =4.3387e-14 VJC  =5.3000e-01 MJC  =3.1214e-01
* -----
end.

```

ANEXO C

Arquivo de simulação extraído pelo PEX, a partir do *layout*.

* File: testetcc2.pex.netlist - MODELO TIPICO
* Created: Fri Oct 31 11:07:30 2008
* Program "Calibre xRC"
* Version "v2006.2_16.16"
*

.option spice co=132 itl5=0
+ converge=-1 dcon=-1 post probe pivot=13 itl2=800 itl1=800 delmax=0.1u

Rp0 7 10 17.3K
Rp1 VR 10 162K
Rp2 8 VR 224.3k
Q3 10 10 8 VERT10

mM4 4 1 5 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=3.1875e-11 PD=1e-06
+ PS=3.92e-05 NRD=0.0113333 NRS=0.0113333
mM5 10 1 1 10 MODN L=6e-06 W=3e-05 AD=2.85e-11 AS=2.55e-11 PD=3.19e-05
+ PS=3.17e-05 NRD=0.0141667 NRS=0.0141667
mM6 5 1 4 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM7 5 4 10 10 MODN L=2e-06 W=3.75e-05 AD=1.875e-11 AS=3.5625e-11 PD=1e-06
+ PS=3.94e-05 NRD=0.0113333 NRS=0.0113333
mM8 10 4 5 10 MODN L=2e-06 W=3.75e-05 AD=3.5625e-11 AS=1.875e-11 PD=3.94e-05+
PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM9 4 1 5 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM10 5 4 10 10 MODN L=2e-06 W=3.75e-05 AD=1.875e-11 AS=3.5625e-11 PD=1e-06+
PS=3.94e-05 NRD=0.0113333 NRS=0.0113333
mM11 10 4 5 10 MODN L=2e-06 W=3.75e-05 AD=3.5625e-11 AS=1.875e-11 PD=3.94e-05+
PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM12 5 1 4 10 MODN L=6e-06 W=3.75e-05 AD=3.1875e-11 AS=1.875e-11 PD=3.92e-05+
PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM13 6 4 7 10 MODN L=2e-06 W=3.75e-05 AD=1.875e-11 AS=3.1875e-11 PD=1e-06
+ PS=3.92e-05 NRD=0.0113333 NRS=0.0113333
mM14 7 4 6 10 MODN L=2e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM15 3 1 6 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=3.1875e-11 PD=1e-06
+ PS=3.92e-05 NRD=0.0113333 NRS=0.0113333
mM16 6 4 7 10 MODN L=2e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM17 7 4 6 10 MODN L=2e-06 W=3.75e-05 AD=3.1875e-11 AS=1.875e-11 PD=3.92e-05+
PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM18 6 1 3 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM19 3 1 6 10 MODN L=6e-06 W=3.75e-05 AD=1.875e-11 AS=1.875e-11 PD=1e-06
+ PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM20 6 1 3 10 MODN L=6e-06 W=3.75e-05 AD=3.1875e-11 AS=1.875e-11 PD=3.92e-05+
PS=1e-06 NRD=0.0113333 NRS=0.0113333
mM21 VDD 3 1 VDD MODP L=3e-05 W=1e-04 AD=9.5e-11 AS=8.5e-11 PD=0.0001019+
PS=0.0001017 NRD=0.00425 NRS=0.00425
mM22 4 3 VDD VDD MODP L=3e-05 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM23 VDD 3 4 VDD MODP L=3e-05 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425

```

mM24 3 3 VDD VDD MODP L=3e-05 W=1e-04 AD=8.5e-11 AS=9.5e-11 PD=0.0001017+
PS=0.0001019 NRD=0.00425 NRS=0.00425
mM25 8 3 VDD VDD MODP L=3e-05 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM26 VDD 3 8 VDD MODP L=3e-05 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM27 VR 3 VDD VDD MODP L=3e-05 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM28 VDD 3 VR VDD MODP L=3e-05 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019+
PS=1e-06 NRD=0.00425 NRS=0.00425
c_7 1 0 41.3324f
c_13 VDD 0 3.77889p
c_20 3 0 4.36115f
c_28 4 0 17.8523f
c_32 5 0 6.4528f
c_38 6 0 6.43289f
c_42 7 0 5.52816f
c_47 8 0 22.4041f
c_51 VR 0 32.5674f
c_58 10 0 179.032f
*
*.include "testetcc2.pex.netlist.TESTETCC2.pxi"
*
Vd VDD 0 3v
Vd1 10 0 0v
.op
.DC temp -20 120 2 Vd 1 1.5 0.1
.probe DC v(VR)

```

ANEXO D

Modelos Worst Power e Worst Speed

Modelo Worst Power

* Modelo Worst Power para transistores

*

.MODEL MODN NMOS LEVEL=49

* -----

***** SIMULATION PARAMETERS *****

* -----

* format : HSPICE

* model : MOS BSIM3v3

* process : C35

* revision : 4.0;

* extracted : B10866 ; 2002-12; ese(5487)

* doc# : ENG-182 REV_4

* -----

* WORST CASE POWER CONDITION

* -----

*

* *** Flags ***

+MOBMOD =1.000e+00 CAPMOD =2.000e+00

+NLEV =0 NOIMOD =3 VERSION=3.240e+00

* *** Threshold voltage related model parameters ***

+K1 =3.5516e-01

+K2 =4.6758e-02 K3 =-1.136e+00 K3B =-4.399e-01

+NCH =2.128e+17 VTH0 =3.579e-01

+VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00

+DVT2 =-8.375e-03 KETA =2.032e-02

+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06

+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02

* *** Mobility related model parameters ***

+UA =4.705e-12 UB =2.137e-18 UC =1.000e-20

+U0 =5.002e+02

* *** Subthreshold related parameters ***

+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01

+NFACTOR=4.136e-01

* *** Saturation related parameters ***

+EM =4.100e+07 PCLM =6.948e-01

+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01

+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00

+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01

+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02

+PDIBLCB=3.222e-01

* *** Geometry modulation related parameters ***

+W0 =2.673e-07 DLC =3.0000e-08

+DWC =9.403e-08 DWB =0.000e+00 DWG =0.000e+00

+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00

+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00

+WW =-1.297e-14 WWL =-9.411e-21 WLN =1.000e+00

+WWN =1.000e+00

* *** Temperature effect parameters ***

+TNOM =27.0 AT =3.300e+04 UTE =-1.800e+00

+KT1 =-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00

+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00 PRT =0.000e+00

```

*      *** Overlap capacitance related and dynamic model parameters ***
+CGSO =1.200e-10
+CGDO =1.200e-10 CGBO =1.000e-10
+CGDL =1.15e-10 CGSL =1.15e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW =3.449e+02
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
*      *** Process and parameters extraction related model parameters ***
+TOX =7.100e-09 NGATE =0.000e+00
+NLX =1.888e-07
+XL =-5.000e-08 XW =0.500e-07
*      *** Substrate current related model parameters ***
+ALPHA0 =2.600e-06 ALPHA1 =5.000e+00 BETA0 =2.100e+01
*      *** Noise effect related model parameters ***
+AF =1.507e+00 KF =2.170e-26 EF =1.000e+00
+NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13
*      *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =5.500e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =-5.005e-08 WINT =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =5.100e-07 JSW =0.600e-12 IS =0.000e+00
+N =1.000e+00 NDS =1000.
+VNDS =-1.000e+00 CBD =0.000e+00 CBS =0.000e+00 CJ =8.270e-04 CJSW
=2.200e-10
+FC =0.000e+00 MJ =3.400e-01 MJSW =2.300e-01
+XTI =2.026e+00 TT =0.000e+00
+PB =6.900e-01 PHP =6.900e-01
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----
.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : HSPICE
* model : MOS BSIM3v3
* process : C35
* revision : 4.0;
* extracted : C64685 ; 2002-12; ese(5487)
* doc# : ENG-182 REV_4
* -----
*
* WORST CASE POWER CONDITION
* -----
*
*      *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV =0 NOIMOD =3 VERSION=3.24e+00
*      *** Threshold voltage related model parameters ***
+K1 =4.5027e-01
+K2 =-4.451e-02 K3 =1.103e+01 K3B =-7.580e-01
+NCH =7.022e+16 VTH0 =-5.715e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01

```

```

+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1=1.000e+30 PSCBE2=1.000e-06
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+U0 =1.581e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WWN =1.040e+00
* *** Temperature effect parameters ***
+TNOM =27.0 AT =3.300e+04 UTE =-1.300e+00
+KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00 PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =8.600e-11
+CGDO =8.600e-11 CGBO =1.000e-10
+CGDL =0.95e-10 CGSL =0.95e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.033e+03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
* *** Process and parameters extraction related model parameters ***
+TOX =7.100e-09 NGATE =0.000e+00
+NLX =1.770e-07
+XL =-6.000e-08 XW =0.800e-07
* *** Substrate current related model parameters ***
+ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0 =3.250e+01
* *** Noise effect related model parameters ***
+AF =1.461e+00 KF =1.191e-26 EF =1.000e+00
+NOIA =5.245e+17 NOIB =4.816e+03 NOIC =8.036e-13
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =1.000e+02
+RDC =0.000e+00 RSC =0.000e+00
+LINT =-7.130e-08 WINT =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =2.800e-07 JSW =3.700e-13 IS =0.000e+00
+N =1.000e+00 NDS =1000.
+VNDS =-1.000e+00 CBD =0.000e+00 CBS =0.000e+00 CJ =1.197e-03 CJSW
=2.810e-10
+FC =0.000e+00 MJ =5.400e-01 MJSW =4.600e-01
+XTI =1.973e+00 TT =0.000e+00

```

```

+PB    =1.020e+00 PHP    =1.020e+00
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----

.MODEL VERT10 PNP
* -----
***** SIMULATION PARAMETERS *****
* -----
* format   : HSPICE
* model    : BJT
* process   : C35[A-B][3-4][A-C][1-3]
* revision  : 4.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11, B20560 H35W7 D00 02-June-05
(200C tempcos); hhl (5481)
* doc#     : ENG-182 REV_4.0
* -----
*          HIGH SPEED HIGH BETA CONDITION
* -----
*
+IS    =3.6161e-17 IRB    =4.3770e-06
+IKF    =2.7520e-03 BF    =9.5696e+00 NF    =9.9250e-01
+ISE    =6.5290e-16 NE    =1.7760e+00 VAF    =3.2771e+02
+IKR    =1.9410e-04 BR    =9.8740e-02 NR    =9.9470e-01
+ISC    =2.8430e-14 NC    =1.1490e+00 VAR    =1.0320e+01
+RBM    =5.0000e-01
+RB    =1.0690e+02
+RE    =6.0850e+00 AF    =1.100e+00
+RC    =2.8375e+01 KF    =2.100e-15
+TF    =3.2400e-10
+
+EG    =1.2050e+00 XTI    =1.4490e+00 XTB    =1.0820e+00
+CJE    =1.1904e-13 VJE    =1.0200e+00 MJE    =5.4882e-01
+CJC    =3.4710e-14 VJC    =5.3000e-01 MJC    =3.1214e-01
+
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----

.end

```

Modelo Worst Speed

```

* -----
*
***** MODELO Worst Speed PARA TRANSISTORES
.MODEL MODN NMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS *****
* -----
* format   : HSPICE
* model    : MOS BSIM3v3
* process   : C35
* revision  : 4.0;
* extracted : B10866 ; 2002-12; ese(5487)
* doc#     : ENG-182 REV_4
* -----
*          WORST CASE SPEED CONDITION

```

```

* -----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV =0 NOIMOD =3 VERSION=3.240e+00
* *** Threshold voltage related model parameters ***
+K1 =6.6008e-01
+K2 =2.1313e-02 K3 =-1.136e+00 K3B =-4.399e-01
+NCH =3.094e+17 VTH0 =5.579e-01
+VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
+DVT2 =-8.375e-03 KETA =2.032e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
* *** Mobility related model parameters ***
+UA =4.705e-12 UB =2.137e-18 UC =1.000e-20
+U0 =4.671e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
* *** Geometry modulation related parameters ***
+W0 =2.673e-07 DLC =3.0000e-08
+DWC =9.403e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =-1.297e-14 WWL =-9.411e-21 WLN =1.000e+00
+WWN =1.000e+00
* *** Temperature effect parameters ***
+TNOM =27.0 AT =3.300e+04 UTE =-1.800e+00
+KT1 =-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00 PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =1.200e-10
+CGDO =1.200e-10 CGBO =1.200e-10
+CGDL =1.47e-10 CGSL =1.47e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =3.449e+02
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
* *** Process and parameters extraction related model parameters ***
+TOX =8.100e-09 NGATE =0.000e+00
+NLX =1.888e-07
+XL =5.000e-08 XW =-1.000e-07
* *** Substrate current related model parameters ***
+ALPHA0 =2.600e-06 ALPHA1 =5.000e+00 BETA0 =2.100e+01
* *** Noise effect related model parameters ***
+AF =1.507e+00 KF =2.170e-26 EF =1.000e+00
+NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =8.500e+01

```

```

+RDC =0.000e+00 RSC =0.000e+00
+LINT =-5.005e-08 WINT =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =5.100e-07 JSW =0.600e-12 IS =0.000e+00
+N =1.000e+00 NDS =1000.
+VNDS =-1.000e+00 CBD =0.000e+00 CBS =0.000e+00 CJ =1.052e-03 CJSW
=2.800e-10
+FC =0.000e+00 MJ =3.400e-01 MJSW =2.300e-01
+XTI =2.026e+00 TT =0.000e+00
+PB =6.900e-01 PHP =6.900e-01
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----
.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : HSPICE
* model : MOS BSIM3v3
* process : C35
* revision : 4.0;
* extracted : C64685 ; 2002-12; ese(5487)
* doc# : ENG-182 REV_4
* -----
*
* WORST CASE SPEED CONDITION
* -----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV =0 NOIMOD =3 VERSION=3.24e+00
* *** Threshold voltage related model parameters ***
+K1 =6.2895e-01
+K2 =-4.725e-02 K3 =1.103e+01 K3B =-7.580e-01
+NCH =1.146e+17 VTH0 =-7.715e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+U0 =1.314e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WWN =1.040e+00

```

```

*      *** Temperature effect parameters ***
+TNOM  =27.0 AT   =3.300e+04 UTE  =-1.300e+00
+KT1   =-5.403e-01 KT2  =2.200e-02 KT1L  =0.000e+00
+UA1   =0.000e+00 UB1  =0.000e+00 UC1  =0.000e+00 PRT  =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGSO  =8.600e-11
+CGDO  =8.600e-11 CGBO  =1.200e-10
+CGDL  =1.21e-10 CGSL  =1.21e-10 CKAPPA =6.000e-01
+CF    =0.000e+00 ELM   =5.000e+00
+XPART  =1.000e+00 CLC   =1.000e-15 CLE   =6.000e-01
+
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW  =1.033e+03
+CDSC  =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB  =-9.731e-02 PRWG  =1.477e-01 CIT   =0.000e+00
*      *** Process and parameters extraction related model parameters ***
+TOX   =8.100e-09 NGATE  =0.000e+00
+NLX   =1.770e-07
+XL    =4.000e-08 XW     =-0.700e-07
*      *** Substrate current related model parameters ***
+ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0  =3.250e+01
*      *** Noise effect related model parameters ***
+AF    =1.461e+00 KF     =1.191e-26 EF     =1.000e+00
+NOIA  =5.245e+17 NOIB  =4.816e+03 NOIC  =8.036e-13
*      *** Common extrinsic model parameters ***
+ACM   =2
+RD    =0.000e+00 RS     =0.000e+00 RSH    =1.600e+02
+RDC   =0.000e+00 RSC    =0.000e+00
+LINT  =-7.130e-08 WINT  =3.449e-08
+LDIF  =0.000e+00 HDIF  =8.000e-07 WMLT   =1.000e+00
+LMLT  =1.000e+00 XJ     =3.000e-07
+JS    =2.800e-07 JSW    =3.700e-13 IS     =0.000e+00
+N      =1.000e+00 NDS    =1000.
+VNDS  =-1.000e+00 CBD   =0.000e+00 CBS   =0.000e+00 CJ    =1.523e-03 CJSW
=3.580e-10
+FC    =0.000e+00 MJ     =5.400e-01 MJSW  =4.600e-01
+XTI   =1.973e+00 TT     =0.000e+00
+PB    =1.020e+00 PHP    =1.020e+00
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----

.MODEL VERT10 PNP
* -----
***** SIMULATION PARAMETERS *****
* -----
* format   : HSPICE
* model    : BJT
* process  : C35[A-B][3-4][A-C][1-3]
* revision : 4.0;
* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11, B20560 H35W7 D00 02-June-05
(200C tempcos); hhl (5481)
* doc#     : ENG-182 REV_4.0
* -----
*          LOW SPEED LOW BETA CONDITION
* -----
*
+IS      =9.3320e-18 IRB   =4.3770e-06
+IKF     =5.5040e-04 BF    =2.3924e+00 NF    =9.9250e-01

```

```

+ISE  =6.5290e-16 NE  =1.7760e+00 VAF  =3.2771e+02
+IKR  =1.9410e-04 BR  =9.8740e-02 NR   =9.9470e-01
+ISC  =2.8430e-14 NC  =1.1490e+00 VAR  =1.0320e+01
+RBM  =2.0000e+00
+RB   =4.2760e+02
+RE   =1.3387e+01 AF   =1.100e+00
+RC   =6.2425e+01 KF   =2.100e-15
+TF   =1.2960e-09
+
+EG   =1.2050e+00 XTI  =1.4490e+00 XTB  =1.0820e+00
+CJE  =1.7856e-13 VJE  =1.0200e+00 MJE  =5.4882e-01
+CJC  =5.2065e-14 VJC  =5.3000e-01 MJC  =3.1214e-01
+
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* -----

.end

```

5. Referências Bibliográficas

- [1] YTTERDAL, T., CHENG, Y., and Fjeldly, T., "Device Modeling for Analog and RF CMOS Circuit Design", John Wiley & Sons, 2003.
- [2] HAMANAKA, C.O. "Projeto de circuitos para geração de tensão de referência em sistemas receptores/transmissores RF". São Paulo, 2007. Dissertação de mestrado – Departamento de Sistemas Eletrônicos, Escola Politécnica da USP.
- [3] ENGELBRECHT, R.M. "Projeto de fontes de referência de tensão em tecnologia CMOS". São Carlos, 2007. Trabalho Conclusão de Curso – Departamento de Engenharia Elétrica, Escola de Engenharia de São Carlos, USP.
- [4] "0.35 μm CMOS C35 Process Parameters", Austriamicrosystems, Rev.2, Mar. 2003.
- [5] UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL, "Tutorial Mentor Graphics", Janeiro de 2001, acessado em 24 de novembro de 2008 [Online]. <http://www.inf.ufrgs.br/~fglima/mentor/Tutorialmentor.htm>
- [6] Mentor-Graphics. Design Architect IC Data Sheet. Mentor-Graphics Web Site. [Online], acessado em 24 de novembro de 2008 [Online]. - <http://www.mentor.com/>
- [7] AVANT, "Star-Hspice Manual", Release 1999, December 1999.
- [8] WONG, H.-S.P., "Nanoscale CMOS", Proceedings of the IEEE, v. 87, 1999.
- [9] ZEGHBROECK, B.Van, "Principles of Semiconductor Devices", 2007 – University of Colorado, acessado em 24 de novembro de 2008 [Online]. <http://ece-www.colorado.edu/~bart/book/book/contents.htm>
- [10] IDAC User's Guide - Analog Design Automation Tools, Centre Suisse D'Eletronic Et de Microtechnique S. A., software version 5.1, Apr. 1991.
- [11] MILLER, P. and MOORE, D., "Precision voltage references", Dallas-Texas, Analog Applications Journal, Nov. 1999.
- [12] WIDLAR, R.J., "New Developments in IC Voltage Regulators" IEEE J. Solid-State Circuits, vol. Sc-6, Feb. 1971.
- [13] MOLCOVATI, P., MALOBERTI, F., FIOCCHI, C., and PRUZZI, M., "Curvature-Compensated BiCMOS *Bandgap* with 1-v Supply Voltage" IEEE Journal of Solid-State Circuits, Vol. 36, No. 7, July 2001.
- [14] MULLER, R. S. and KAMINS, T. I., "Device Electronics for Integrated Circuits", 2 ed., John Wiley & Sons, New York, 1986.
- [15] VITTOZ, E. and FELLRATH, J., "CMOS analog integrated circuits based on weak inversion operation," IEEE J. Solid-State Circuits, vol. Sc-12, June 1977.

- [16] YAN, S. and SÁNCHEZ-SINENCIO, E., "Low Voltage Analog Circuit Design Techniques: A Tutorial", IEICE Trans. Fundamentals, Vol. E83-A, No 2, February, 2000.
- [17] TSIVIDIS, Y.P., "Accurate Analysis of Temperature Effects in IC-VBE Characteristics with Application to *Bandgap* Reference Sources" IEEE J. Solid-State Circuits, vol. Sc-15, pp. 1076-1084, Dec. 1980.