

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

FÁBIO SOUZA BARACHATI

***Estudo e preparação de memoristores para sua
aplicação em dispositivos eletrônicos***

São Carlos
2011

FÁBIO SOUZA BARACHATI

ESTUDO E PREPARAÇÃO DE MEMORISTORES PARA SUA APLICAÇÃO EM DISPOSITIVOS ELETRÔNICOS

Trabalho de Conclusão de Curso apresentado à Escola de Engenharia de São Carlos, da Universidade de São Paulo.

Curso de Engenharia Elétrica com ênfase em Eletrônica.

Orientador:
Prof. Edson Gesualdo

São Carlos
2011

AUTORIZO A REPRODUÇÃO E DIVULGAÇÃO TOTAL OU PARCIAL DESTES
TRABALHOS, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO,
PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica preparada pela Seção de Tratamento
da Informação do Serviço de Biblioteca – EESC/USP

B224e Barachati, Fábio Souza.
 Estudo e preparação de memoristores para sua
aplicação em dispositivos eletrônicos. / Fábio Souza
Barachati ; orientador Edson Gesualdo -- São Carlos,
2011.

 Monografia (Graduação em Engenharia Elétrica com
ênfase em Eletrônica) -- Escola de Engenharia de São
Carlos da Universidade de São Paulo, 2011.

 1. Memoristores. 2. Eletroformação. 3. Chaveamento.
4. Curvas I x V. I. Título.

FOLHA DE APROVAÇÃO

Nome: Fábio Souza Barachati

Título: "Estudo e Preparação de Memoristores para sua Aplicação em Dispositivos Eletrônicos"

Trabalho de Conclusão de Curso defendido e aprovado
em 17 / 11 / 2011,

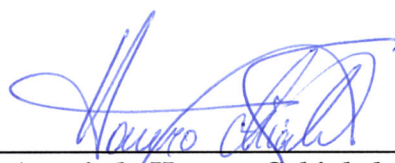
com NOTA 10 (dez, zero), pela comissão julgadora:



Prof. Dr. Carlos Dias Maciel - EESC/USP



Prof. Dr. Ruy Barboza - EESC/USP



Prof. Associado Homero Schiabel
Coordenador da CoC-Engenharia Elétrica
EESC/USP

AGRADECIMENTOS

Este trabalho de conclusão de curso representa o fim de uma grande etapa da minha vida. Agradeço primeiramente aos meus pais que me incentivaram e me apoiaram em todas as minhas decisões e tornaram possível que eu dedicasse tantos anos da minha vida unicamente aos meus estudos. Aos meus amigos que sempre estiveram ao meu lado e aos meus professores, em particular ao meu orientador Edson Gesualdo, pelas incontáveis disciplinas ministradas e pelo tempo dedicado à orientação do meu estágio e deste trabalho. Agradeço a todos do grupo de Microscopia de Tunelamento e Força Atômica do Laboratório Nacional de Nanotecnologia pela excelente oportunidade de estágio e por terem me recebido tão bem, ao Vinícius Pimentel pela grande quantidade de orientações e ao Raul Freitas por não só dividir comigo a tortuosa jornada de compreender os memoristores, mas também um pouco do seu conhecimento. À empresa *Hewlett Packard* agradeço pelo apoio financeiro e pela oportunidade de trabalhar em contato com profissionais tão competentes. Agradeço, por fim, a Deus, por me dar a capacidade e a força de vontade de aproveitar as grandes oportunidades de aprendizagem que me foram dadas.

SUMÁRIO

1	Introdução	21
2	Revisão Bibliográfica	22
2.1	Introdução Teórica	22
2.2	Construção do Dispositivo	26
2.3	Processo de Eletroformação	29
2.4	Chaveamento	33
3	Simulações	35
3.1	Simulação em SPICE	36
3.1.1	Resultados	38
3.2	Simulação em <i>Simulink</i>	39
3.2.1	Resultados	39
3.2.2	Influência da Mobilidade Iônica no Tempo de Chaveamento	40
3.2.3	Influência da Tensão no Tempo de Chaveamento	41
3.2.4	Influência da Tensão - Chaveamento Lento	42
3.2.5	Influência da Espessura do Filme no Tempo de Chaveamento	44
3.2.6	Influência da Relação $\frac{R_{OFF}}{R_{ON}}$ no Tempo de Chaveamento	44
3.2.7	Influência do Parâmetro p da Função Janela no Tempo de Chaveamento	46
3.2.8	Influência da Frequência nas Curvas $I \times V$	47
3.2.9	Influência da Frequência - Chaveamento <i>Soft</i> e <i>Hard</i>	48
3.2.10	Influência da Frequência na Variação de Resistência	50
4	Procedimento Experimental	51
4.1	Amostras Disponíveis	51
4.2	Eletroformação de Memoristores	52
4.2.1	Primeira Proposta de Circuito	52
4.2.1.1	Descrição	52
4.2.1.2	Resultados e Conclusões	57
4.2.2	Segunda Proposta de Circuito	58

4.2.2.1	Descrição	58
4.2.2.2	Resultados e Conclusões	60
4.2.3	Terceira Proposta de Circuito	61
4.2.3.1	Descrição	61
4.2.3.2	Resultados e Conclusões	64
4.2.4	Utilizando o Analisador de Parâmetros de Semicondutores HP4145B . . .	69
4.2.4.1	Materiais e Métodos	69
4.2.4.2	Resultados e Conclusões	71
4.3	Obtenção das Curvas $I \times V$	75
4.3.1	Utilizando o LabVIEW e Multímetros de Precisão	75
4.3.1.1	Materiais e Métodos	76
4.3.1.2	Resultados e Conclusões	80

5	Conclusões	84
----------	-------------------	-----------

LISTA DE FIGURAS

2.1	Variáveis elétricas e elementos fundamentais. Fonte: Adaptado de [2].	22
2.2	Modelo teórico do fenômeno da memoresistência. Fonte: Adaptado de [2]. . . .	23
2.3	Curva típica de corrente contra tensão em um memoristor, ilustrando o fenômeno da histerese e dependência da frequência. Fonte: Adaptado de [2].	25
2.4	Curvas de corrente, tensão e posição da barreira w em função do tempo para a curva típica da Figura 2.3. Fonte: Adaptado de [2].	25
2.5	(a) Estrutura básica de um memoristor à base de TiO_2 . (b) Imagem AFM de um <i>crossbar</i> de 17 memoristores. Fonte: Adaptado de [3].	26
2.6	Diagrama de energia indicando que a baixa concentração de lacunas de oxigênio abaixo do contato de platina mantém a barreira <i>Schottky-like</i> (denotada por um diodo) entre as camadas Pt/TiO_2 , produzindo uma junção retificadora. Φ_b e w são a altura e a largura da barreira. Fonte: Adaptado de [3].	27
2.7	Diagrama de energia indicando que a alta concentração de lacunas de oxigênio abaixo do contato de platina colapsa a barreira <i>Schottky-like</i> (denotada por um resistor) entre as camadas Pt/TiO_2 , produzindo uma junção resistiva. Φ_b e w são a altura e a largura da barreira. Fonte: Adaptado de [3].	28
2.8	Esquema de eletrodos para a análise do comportamento elétrico das junções através das curvas $I \times V$. Fonte: Adaptado de [3].	28
2.9	Curvas $I \times V$ obtidas entre combinações dos quatro contatos. Fonte: Adaptado de [3].	29
2.10	Curva típica de corrente contra tensão em um memoristor antes do processo de eletroformação. Fonte: Adaptado de [3].	29
2.11	Diagrama de formação nos estados ON e OFF e curvas subsequentes de chaveamento. Fonte: Adaptado de [4].	30
2.12	Formação em OFF de um dispositivo de TiO_2 e imagem AFM do óxido após a remoção do eletrodo superior de platina por delaminação. Fonte: Adaptado de [4].	31
2.13	Formação em ON de um dispositivo de TiO_2 e imagem AFM do óxido após a remoção do eletrodo superior de platina por delaminação. Fonte: Adaptado de [4].	32
2.14	(a) Divisão de um dos eletrodos da Figura 2.8 em duas metades e (b) comparação das novas curvas $I \times V$ obtidas, indicando a formação de um canal de condução sob o contato 4_1 . Fonte: Adaptado de [3].	33
2.15	Cinquenta ciclos de chaveamento bipolar para duas amostras de escala micro-métrica e nanométrica. Fonte: Adaptado de [4].	34
3.1	A função janela (3.1) para diferentes valores inteiros de p . Fonte: Adaptado de [5].	35

3.2	Circuito equivalente do modelo SPICE. Fonte: Adaptado de [5].	37
3.3	Circuito para a simulação do modelo de memoristor proposto em SPICE.	38
3.4	Curva de histerese obtida através da simulação do modelo proposto de memoristor em SPICE.	38
3.5	Diagrama em blocos de um memoristor ideal.	39
3.6	Diagrama em blocos implementado em <i>Simulink</i>	39
3.7	Comparação das curva de histerese obtidas através da simulação dos modelos em SPICE e em <i>Simulink</i>	40
3.8	Simulação da influência da mobilidade iônica no tempo de chaveamento. Demais parâmetros: $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $V = 1V$, $x = 10^{-9}$	41
3.9	Simulação da influência da tensão no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $x = 10^{-9}$	42
3.10	Simulação da influência da tensão no chaveamento lento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $R_{INIC} = 15,9k\Omega$	43
3.11	Simulação da influência da tensão na movimentação da barreira $x = \frac{w}{D}$ no chaveamento lento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $R_{INIC} = 15,9k\Omega$	43
3.12	Simulação da influência da espessura do filme no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1V$, $x = 10^{-9}$	44
3.13	Simulação da influência da relação $\frac{R_{OFF}}{R_{ON}}$ no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $D = 10nm$, $V = 1V$, $x = 10^{-9}$. Simulação realizada para razões de 2, 5, 10, 100, 1000, 4000 e 7000.	45
3.14	Simulação da influência do parâmetro p da função janela no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1V$, $x = 10^{-9}$	47
3.15	Simulação da influência da frequência nas curvas $I \times V$. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$	48
3.16	Simulação da influência da frequência na movimentação da barreira $x = \frac{w}{D}$. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15}m^2s^{-1}V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$	48

3.17	Simulação da influência da frequência no tipo de chaveamento - <i>soft</i> e <i>hard</i> . Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10 nm$, $R_{ON} = 100 \Omega$, $R_{OFF} = 16 k\Omega$, $V = 1.2 V$, $R_{INIC} = 11 k\Omega$	49
3.18	Simulação da influência da frequência na movimentação da barreira $x = \frac{w}{D}$ nos chaveamentos <i>soft</i> e <i>hard</i> . Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10 nm$, $R_{ON} = 100 \Omega$, $R_{OFF} = 16 k\Omega$, $V = 1.2 V$, $R_{INIC} = 11 k\Omega$	49
3.19	Simulação da influência da frequência na variação de resistência. Demais pa- râmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10 nm$, $R_{ON} = 100 \Omega$, $R_{OFF} =$ $16 k\Omega$, $V = 1.2 V$, $R_{INIC} = 11 k\Omega$	50
4.1	<i>Wafer</i> de silício contendo um conjunto de amostras de memoristores da <i>HP</i> <i>Labs</i> , apresentando eletrodos inferiores (amarelo) e superiores (branco).	51
4.2	(a) Amostra com os eletrodos inferiores (amarelos) cobertos por óxido e (b) amostra com eletrodos inferiores raspados.	52
4.3	Diagrama em blocos da primeira proposta de circuito para eletroformação de memoristores.	52
4.4	Circuito gerador de rampa de tensão	53
4.5	Circuito final de geração de rampa de tensão da primeira proposta de circuito para eletroformação de memoristores.	53
4.6	Circuito amplificador de transresistência básico.	54
4.7	Circuito amplificador de transresistência com filtro adicional de ruído.	55
4.8	Circuito final de amplificação e comparação da primeira proposta de circuito para eletroformação de memoristores.	56
4.9	Circuito final de habilitação e chaveamento da primeira proposta de circuito para eletroformação de memoristores.	57
4.10	Diagrama em blocos da segunda proposta de circuito para eletroformação de memoristores.	58
4.11	Circuito divisor resistivo.	59
4.12	Circuito final de habilitação, divisor resistivo e comparação da segunda proposta de circuito para eletroformação de memoristores.	60
4.13	Diagrama em blocos da terceira proposta de circuito para eletroformação de memoristores.	61
4.14	Circuito do filtro passa-faixa ativo utilizado como derivador. Fonte: Adaptado de [6].	62
4.15	Respostas em frequência teóricas do FPFA para os dois valores de C_1 conside- rados.	63

4.16 Circuito final da terceira proposta de circuito para eletroformação de memoristores.	64
4.17 Formas de onda de tensão sobre o memoristor e sua derivada durante a eletroformação para o terceiro circuito para formação de memoristores.	65
4.18 Ampliação das formas de onda de tensão sobre o memoristor e sua derivada durante a eletroformação para o terceiro circuito para formação de memoristores no instante de eletroformação.	66
4.19 Formas de onda de tensão sobre o memoristor e sua derivada durante o chaveamento para ON para o terceiro circuito para formação de memoristores.	67
4.20 Formas de onda de tensão sobre o memoristor e sua derivada durante o chaveamento para OFF para o terceiro circuito para formação de memoristores.	68
4.21 Analisador de parâmetros de semicondutores HP4145B.	69
4.22 Esquema de conexões para eletroformar e chavear dispositivos com o HP4145B.	70
4.23 Esquema de conexões para eletroformar e chavear dispositivos com o HP4145B ilustrando as resistências de contato.	71
4.24 Experimento com o HP4145B: varredura de tensão de $-2V$ a $2V$ apresenta o comportamento retificador do dispositivo antes da eletroformação.	72
4.25 Experimento com o HP4145B: (a) varredura de tensão sem eletroformação e (b) a mesma varredura aplicada novamente com eletroformação.	72
4.26 Experimento com o HP4145B: varredura de tensão de $-0,5V$ a $0,5V$ apresenta o comportamento ôhmico do dispositivo após a eletroformação.	73
4.27 Experimento com o HP4145B: (a) varredura de tensão com chaveamento para OFF e (b) a mesma varredura aplicada novamente indicando a manutenção do estado OFF.	73
4.28 Experimento com o HP4145B: varredura de tensão com chaveamento para ON.	74
4.29 Experimento com o HP4145B: varredura de tensão com chaveamento para OFF.	74
4.30 Experimento com o HP4145B: varredura de tensão com chaveamento para ON.	74
4.31 Experimento com o HP4145B: varredura de tensão com chaveamento para OFF.	75
4.32 <i>Probe station Alessi</i> com microscópio ótico e quatro manipuladores com microagulhas de tungstênio para conexão de amostras.	77
4.33 Ampliação dos quatro manipuladores com microagulhas de tungstênio e cabo de aterramento.	77
4.34 Esquema para obtenção das curvas $I \times V$ utilizando o LabVIEW e multímetros.	78
4.35 Parte do <i>setup</i> experimental para obtenção das curvas $I \times V$ apresentando os equipamentos utilizados.	79

4.36	Setup experimental para obtenção das curvas $I \times V$.	79
4.37	Tela do programa em LabVIEW para obtenção das curvas $I \times V$ utilizando multímetros de precisão.	80
4.38	33 ciclos da curva $I \times V$ com frequência de $0,1Hz$ indicando as retas de R_{ON} e R_{OFF} .	81
4.39	7 ciclos da curva $I \times V$ com frequência de $0,01Hz$ indicando as retas de R_{ON} e R_{OFF} .	81
4.40	9 ciclos da curva $I \times V$ com frequência de $0,001Hz$ indicando as retas de R_{ON} e R_{OFF} .	82
4.41	Comparação das curvas $I \times V$ para as três frequências estudadas.	83
4.42	Comparação das curvas $I \times V$ para as três frequências estudadas - ampliação indicando o fechamento do laço de histerese.	83

LISTA DE SIGLAS

ABNT	Associação Brasileira de Normas Técnicas
ABTLuS	Associação Brasileira de Tecnologia de Luz Síncrotron
AFM	Microscopia de Força Atômica (<i>Atomic Force Microscopy</i>)
MTA	Laboratório de Microscopia de Tunelamento e Força Atômica
BE	Eletrodo Inferior (<i>Bottom Electrode</i>)
C_{IN}	Capacitância de Entrada
CNPEM	Centro Nacional de Pesquisa em Energia e Materiais
FPFA	Filtro Passa-Faixa Ativo
f_{GBW}	Produto Ganho $\times$ Largura de Banda
HP	<i>Hewlett Packard</i> Computadores
HP Labs	<i>Hewlett Packard Laboratories</i>
LNLS	Laboratório Nacional de Luz Síncrotron
SMU	<i>Source Monitor Unit</i>
TE	Eletrodo Superior (<i>Top Electrode</i>)

RESUMO

BARACHATI, F. S. **Estudo e preparação de memoristores para sua aplicação em dispositivos eletrônicos.** 2011. 85 p. Dissertação (Graduação) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2011.

O memoristor é o quarto componente eletrônico passivo, ao lado do resistor, do indutor e do capacitor. Embora sua existência tenha sido prevista por Leon Chua [1] em 1971, a sua comprovação experimental ocorreu somente em 2008 [2] por pesquisadores da *Hewlett Packard Laboratories (HP Labs)*. O seu nome é uma contração dos termos memória e resistor, pois a sua resistência é controlada por toda a corrente elétrica que já percorreu o dispositivo. Estuda-se um modelo teórico simples que relaciona esta alteração da resistência com a movimentação de dopantes em um material semicondutor, em particular de lacunas de oxigênio em um filme de óxido de titânio, controlada pela aplicação externa de um potencial sobre o dispositivo. A alteração entre dois estados bem definidos de baixa e alta resistência pode vir a permitir que memoristores sejam utilizados na fabricação de memórias não voláteis, apresentando alta velocidade e capacidade de armazenamento. Apresenta-se um modelo matemático de memoristor ideal em *Simulink* que contabiliza a natureza não linear do transporte iônico e eletrônico de forma generalizada e investiga-se a influência de parâmetros físicos e condições de contorno no tempo de chaveamento entre os estados de alta e baixa resistência. Por fim, são obtidas as curvas $I \times V$ de dispositivos memoristores reais fornecidos pela *HP Labs*, que permitem a visualização não só da utilização de memoristores como chaves de resistência, mas também de laços de histerese dependentes da frequência.

Palavras-chave: Memoristores, eletroformação, chaveamento, curvas $I \times V$.

ABSTRACT

BARACHATI, F. S. **Estudo e preparação de memoristores para sua aplicação em dispositivos eletrônicos.** 2011. 85 p. Dissertação (Graduação) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2011.

The memristor is the fourth fundamental passive circuit element, alongside the resistor, the inductor and the capacitor. Although its existence had been predicted in 1971 by Leon Chua [1] its experimental discovery only occurred in 2008 [2] by researchers from Hewlett Packard Laboratories (HP Labs). The name memristor is a contraction of the terms memory and resistor, since its resistance is controlled by all the electrical current that has ever flown through the device. A simple theoretical model relating the change in resistance with the transport of dopants inside a semiconductor material is studied, in particular of oxygen vacancies in a titanium oxide film, controlled by applying an external bias on the device. The change between two well defined states of high and low resistance may allow memristors to be used in high speed, high density non volatile memories. A mathematical model of an ideal memristor is presented using Simulink, taking into account the non linear nature of the electronic and ionic transport in a generalized way. The influence of physical parameters and boundary conditions on the switching time between the states of high and low resistance is studied. Lastly the $I \times V$ curves of real memristors provided by HP Labs are obtained and exemplify not only the use of memristors as resistance switches but also show frequency-dependant hysteresis loops.

Keywords: Memristors, electroforming, switching, $I \times V$ curves.

1 Introdução

A conhecida Lei de Moore [7], inicialmente baseada em observações e atualmente utilizada como um objetivo para as indústrias de semicondutores, afirma que a densidade de transistores em um circuito integrado, a um custo mínimo, dobra a cada dois anos. Embora avanços nas técnicas de fotolitografia tenham permitido que esta afirmação se mantenha válida, a confecção de transistores cada vez menores apresenta não só um limite fundamental, o tamanho atômico, mas também já em escala nanométrica, devido a efeitos de tunelamento quântico [11]. Assim, a busca pela memória ideal, caracterizada por alta densidade, alta velocidade de operação, baixo consumo de energia e pela capacidade de armazenar informação mesmo quando a sua alimentação é interrompida, não está baseada apenas na miniaturização das estruturas envolvidas, mas também no desenvolvimento de novas tecnologias e de novas alternativas de dispositivos eletrônicos [11].

Diversos estudos e pesquisas vêm buscando dispositivos com características não voláteis, que são capazes de reter um determinado estado ou informação armazenada mesmo quando não estão mais energizados, permitindo a fabricação de memórias semicondutoras com maior capacidade e melhor desempenho. Um novo conceito na fabricação destes dispositivos é baseado na variação da resistência de um determinado material, simulando um chaveamento entre estados LIGADO e DESLIGADO. Isto pode ser atingido através da movimentação de dopantes em um material, permitindo a modificação das suas propriedades condutoras, em particular através da movimentação de lacunas de oxigênio em óxidos metálicos, como o óxido de titânio.

Surge, então, o conceito de memoristor, cujo nome é uma contração dos termos memória e resistor, que, embora originalmente introduzido por Leon Chua [1] em 1971, por muitos anos não teve a sua existência verificada experimentalmente. Em 2008, a empresa *HP Labs* [2] apresentou o seu primeiro modelo físico, demonstrando que o fenômeno da memoresistência surge naturalmente na escala nanométrica, onde os transportes eletrônico e iônico estão acoplados sob a aplicação de uma diferença de potencial na estrutura.

A Associação Brasileira de Tecnologia de Luz Síncrotron (ABTLuS), por intermédio do seu Laboratório Nacional de Luz Síncrotron (LNLS), e a empresa *Hewlett Packard* Computadores (HP) têm um histórico de cooperação em pesquisa de semicondutores e, desde o ano de 2002, ambas as partes vêm colaborando no desenvolvimento de tecnologias, formação de recursos humanos e publicações científicas nas áreas de física e semicondutores.

Este trabalho de conclusão de curso foi realizado em conjunto com as atividades desenvolvidas no programa de estágio no Laboratório de Microscopia de Tunelamento e Força Atômica (MTA) do Laboratório Nacional de Nanotecnologia (LNNano), pertencente ao Centro Nacional de Pesquisa em Energia e Materiais (CNPEM), em Campinas, SP, no ano de 2011, com o intuito de aprofundar mutuamente os conhecimentos sobre os dispositivos memoristores e suas características e mecanismos de chaveamento, permitindo futuramente a sua utilização em dispositivos eletrônicos, em particular em memórias não voláteis de alta *performance*.

2 Revisão Bibliográfica

2.1 Introdução Teórica

Existem quatro variáveis fundamentais na análise de circuitos elétricos, a corrente elétrica (i), a força eletromotriz, ou tensão, (v), a carga elétrica (q) e o fluxo magnético (φ). Através de relações matemáticas envolvendo estas variáveis aos pares, são definidos três parâmetros elétricos básicos, a resistência ($R = \frac{dv}{di}$), a capacitância ($C = \frac{dq}{dv}$) e a indutância ($L = \frac{d\varphi}{di}$). Além disso, pode-se definir a corrente elétrica como a taxa de variação temporal da carga elétrica ($i = \frac{dq}{dt}$) e, através da lei da indução de *Faraday*, a tensão como taxa de variação temporal do fluxo magnético ($v = \frac{d\varphi}{dt}$). Desta forma, todas as variáveis fundamentais estão relacionadas entre si através de uma equação diferencial, com exceção da carga elétrica e do fluxo magnético. Assim, por simetria, propõe-se a existência de um quarto parâmetro elétrico básico [1], definido como memoresistência ($M = \frac{d\varphi}{dq}$) que, em geral, depende da carga elétrica, $M = M(q)$, e estabelece uma relação funcional entre as duas variáveis restantes. Um resumo destas relações está apresentado na Figura 2.1.

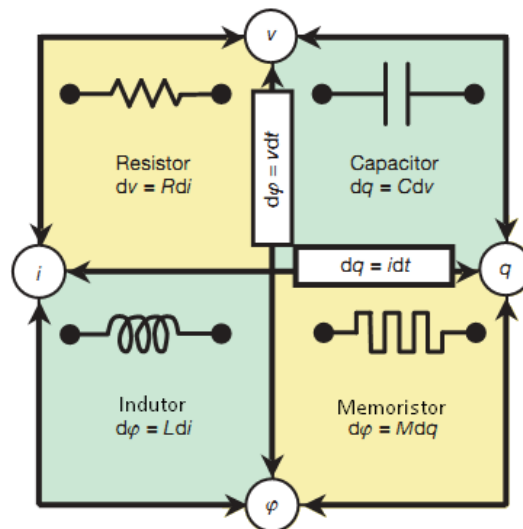


Figura 2.1: Variáveis elétricas e elementos fundamentais. Fonte: Adaptado de [2].

Quando a memoresistência não depende da carga elétrica, obtém-se o caso em que o memoristor é igual ao resistor e, portanto, não apresenta nenhum interesse especial. Por outro lado, quando M é uma função de q , obtém-se um elemento que apresenta uma relação não linear entre q e φ , de modo que a sua característica $I \times V$, para uma dada entrada senoidal, é geralmente uma curva de *Lissajous* dependente da frequência [2]. Nota-se que o comportamento não linear do memoristor não pode ser duplicado por nenhuma combinação dos elementos passivos fundamentais, o resistor (R), o capacitor (C) e o indutor (L).

A definição matemática básica para um memoristor cujo estado de condução é controlado por corrente elétrica é dado pelo par de equações diferenciais

$$v = R(w) i \quad (2.1)$$

$$\frac{dw}{dt} = i, \quad (2.2)$$

onde w é uma variável de estado do dispositivo e R é uma resistência generalizada que depende do estado interno do dispositivo que, para este caso, é igual à carga. Estas equações surgem a partir de uma classe muito maior de sistemas dinâmicos não lineares, não abordados neste trabalho, denominados sistemas memoresistivos, estudados em 1976 por Chua [1] e descritos pelas equações

$$v = R(w, i) i \quad (2.3)$$

$$\frac{dw}{dt} = f(w, i), \quad (2.4)$$

onde w pode ser um conjunto de variáveis de estado e R e f podem ser funções do tempo.

Para o caso de dispositivos de filmes finos, o estudo dos seus mecanismos de chaveamento elétrico tem crescido em importância, pois tal tecnologia pode permitir uma grande miniaturização de circuitos lógicos e de memória, muito além dos limites dos semicondutores de metal-óxido complementares. A natureza microscópica de chaveamento e transporte de cargas nestes dispositivos requer algum tipo de rearranjo atômico, que modula a corrente eletrônica.

Para um melhor entendimento do fenômeno da memoresistência nestes dispositivos, considera-se um semiconductor de espessura D , colocado entre dois contatos metálicos, como apresentado na Figura 2.2. Este semiconductor possui uma região dopada e uma região não dopada, de modo que um circuito equivalente composto pela associação em série de duas resistências variáveis pode ser utilizado na determinação da resistência total do dispositivo. A região condutora do material (região dopada) é representada por uma resistência R_{ON} , e a região isolante (região não dopada), por sua vez, por uma resistência R_{OFF} , de modo que $R_{OFF} \gg R_{ON}$.

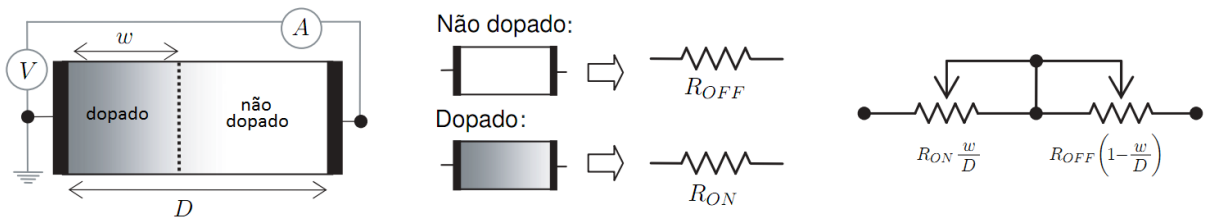


Figura 2.2: Modelo teórico do fenômeno da memoresistência. Fonte: Adaptado de [2].

A aplicação de uma tensão externa $v(t)$ sobre o dispositivo moverá a barreira w entre as duas regiões, fazendo com que os dopantes se desloquem. Considerando o caso mais simples de condução eletrônica ôhmica e deslocamento iônico linear em um campo elétrico uniforme, assim como uma mobilidade iônica média μ_v , pode-se escrever [2]:

$$v(t) = \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right) i(t) \quad (2.5)$$

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{D} i(t) \quad (2.6)$$

Assim, como $i(t) = \frac{dq(t)}{dt}$, obtém-se a seguinte relação para $w(t)$:

$$dw(t) = \mu_v \frac{R_{ON}}{D} i(t) dt \rightarrow w(t) = \mu_v \frac{R_{ON}}{D} q(t) \quad (2.7)$$

Substituindo-se esta relação na Equação (2.5) e considerando-se $R_{ON} \ll R_{OFF}$, é possível escrever a memoresistência $M(q)$ como

$$M(q) = R_{OFF} \left(1 - \frac{\mu_v R_{ON}}{D^2} q(t) \right) \quad (2.8)$$

O termo da Equação (2.8) que contém a carga representa a contribuição fundamental ao fenômeno de memoresistência. Este termo torna-se importante não somente para o caso de materiais com alta mobilidade dos dopantes, mas principalmente quando a espessura do semiconductor é reduzida. Devido ao fator $\frac{1}{D^2}$, este termo é um milhão de vezes maior (em valor absoluto) na escala nanométrica do que na escala micrométrica, aumentando a significância do fenômeno da memoresistência. Assim, a memoresistência se torna mais importante para o entendimento das características de qualquer dispositivo à medida que as suas dimensões são reduzidas à escala nanométrica.

A Figura 2.3 apresenta uma curva $I \times V$ típica para um memoristor ideal com base nas Equações (2.5) e (2.6). Neste caso, para uma tensão positiva a resistência do dispositivo diminui, ou seja, o dispositivo caminha para o estado ON. Durante o semiciclo negativo do sinal de excitação a resistência do dispositivo aumenta, caminhando em direção ao estado OFF e retornando ao estado original.

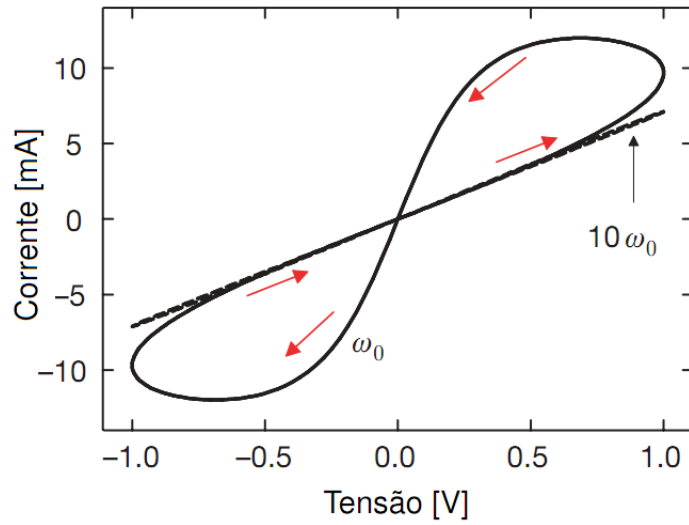


Figura 2.3: Curva típica de corrente contra tensão em um memoristor, ilustrando o fenômeno da histerese e dependência da frequência. Fonte: Adaptado de [2].

A Figura 2.4 apresenta as curvas de tensão (azul), corrente (verde) e da posição da barreira w ao longo do tempo. Pode-se notar que, assim como descrito pela Equação 2.3, nenhuma corrente flui pelo dispositivo quando a tensão sobre ele aplicada vale zero, o que pode ser utilizado como critério para diferenciar um sistema memoresistivo de um sistema dinâmico arbitrário [2].

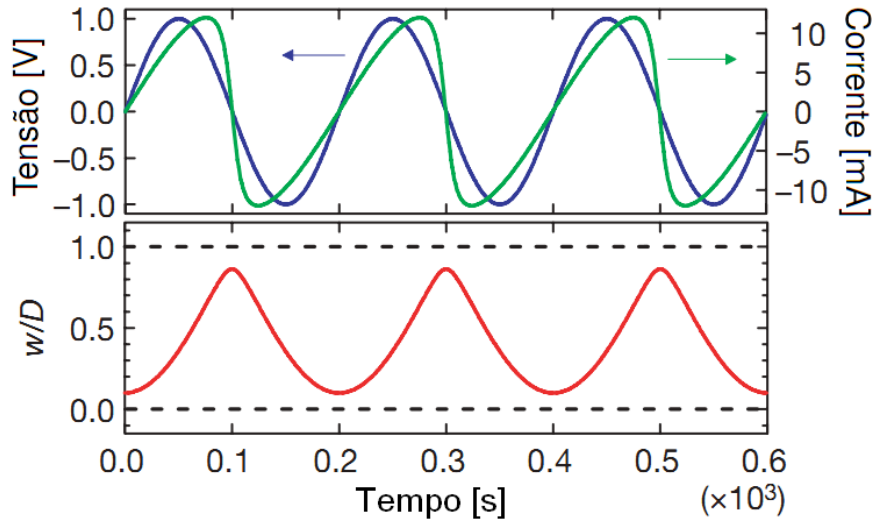


Figura 2.4: Curvas de corrente, tensão e posição da barreira w em função do tempo para a curva típica da Figura 2.3. Fonte: Adaptado de [2].

Além disso, a Equação 2.6 só é válida para o interior do dispositivo, de modo que a barreira só se desloca no intervalo $[0, D]$. Para a curva em questão a barreira w não atinge um destes extremos, permanecendo em uma região denominada de chaveamento *soft*, nunca atingindo os estados ON ou OFF. Para os casos onde a barreira w atinge um dos extremos alcança-se o estado denominado de chaveamento *hard*, que ocorre para grandes excursões de tensão ou um longo tempo sobre a aplicação de uma polarização DC. Neste caso, o dispositivo apresenta as resistências R_{ON} e R_{OFF} durante uma parte do ciclo do sinal de excitação.

Durante o tempo em que o sistema permanece no regime memoresistivo, qualquer excitação por corrente alternada simétrica produz uma curva $I \times V$ dupla com histerese, que colapsa com o aumento da frequência, como indicado na Figura 2.3.

2.2 Construção do Dispositivo

A estrutura básica de um memoristor à base de óxido de titânio está apresentada na Figura 2.5 (a). O dispositivo é composto de dois eletrodos de platina, de uma camada de TiO_2 e de uma camada de TiO_{2-x} , deficiente em oxigênio. A posição cruzada dos eletrodos se deve ao fato de que estes dispositivos são utilizados em uma estrutura determinada *crossbar*, permitindo uma maior densidade de dispositivos por área, uma vez que o eletrodo superior é comum a todos os memoristores. A Figura 2.5 (b) apresenta uma imagem obtida por microscopia de força atômica (AFM) de um *crossbar* de 17 memoristores com uma camada de 50nm de TiO_2 isolante.

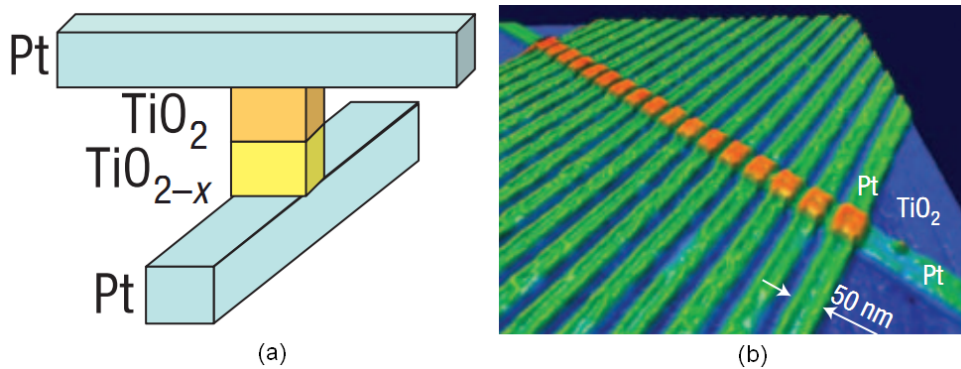


Figura 2.5: (a) Estrutura básica de um memoristor à base de TiO_2 . (b) Imagem AFM de um *crossbar* de 17 memoristores. Fonte: Adaptado de [3].

Para um memoristor como o apresentado na Figura 2.5 (a), a natureza das interfaces entre os eletrodos e o óxido isolante determina o comportamento elétrico do dispositivo. Para a estrutura apresentada, a junção superior apresenta um comportamento semelhante a um diodo *Schottky*, e a inferior a um resistor.

• Junção Pt/ TiO_2

Uma barreira *Schottky* é uma junção entre um metal e um semiconductor [3, 8]. No equilíbrio, na ausência de um potencial externo, o nível de Fermi deve ser constante ao longo da junção, senão uma corrente elétrica fluiria. O nível de Fermi em metais representa o limite superior de níveis de energia dos elétrons a uma temperatura de zero absoluto [9]. Pelo princípio da exclusão de Pauli, elétrons não podem ocupar o mesmo estado de energia simultaneamente. Assim, em zero absoluto os elétrons preenchem os níveis de energia, formando um “mar de Fermi” de estados de energia. O nível de Fermi é a superfície deste mar em zero absoluto acima do qual os elétrons não possuem energia suficiente para ultrapassar. Em semicondutores, este nível é determinado pela concentração de dopantes. Antes do equilíbrio, o nível de Fermi no semiconductor é maior e,

assim, elétrons fluem do semiconductor para o metal. Isto gera um campo elétrico e um gradiente de potencial (barreira) ao longo da interface.

O gradiente de potencial leva a uma alteração na banda do semiconductor, de modo que os seus elétrons são forçados a se afastar da interface, formando uma região de excesso de íons doadores positivos, chamada de região de carga espacial ou de depleção. Dependendo do metal e do semiconductor, um contato *Schottky* pode apresentar um comportamento ôhmico ou como diodo, a depender da posição relativa dos níveis de Fermi no metal e no semiconductor. O comportamento da junção para um contato do tipo diodo é semelhante ao de um diodo *Schottky* (aqui chamado de *Schottky-like*), com um rápido chaveamento provocado pela injeção de elétrons na região de depleção quando uma tensão de sinal contrário à barreira de potencial interna é aplicada sobre o dispositivo.

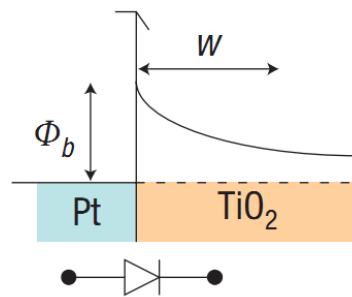


Figura 2.6: Diagrama de energia indicando que a baixa concentração de lacunas de oxigênio abaixo do contato de platina mantém a barreira *Schottky-like* (denotada por um diodo) entre as camadas *Pt/TiO₂*, produzindo uma junção retificadora. Φ_b e w são a altura e a largura da barreira. Fonte: Adaptado de [3].

- **Junção $\text{TiO}_2/\text{TiO}_{2-x}/\text{Pt}$**

Um contato ôhmico pode sempre ser obtido através de uma alta dopagem do semiconductor, degenerando-o. Neste caso o nível de Fermi penetra a banda de condução/valência do semiconductor e torna a região de depleção desprezível. Isto aumenta consideravelmente a probabilidade de tunelamento e o fluxo de corrente não depende mais do sinal da tensão aplicada, isto é, o comportamento retificador será suprimido.

Em Yang et al. [3] uma camada de 5nm de titânio é utilizada como um contato quimicamente reativo que, através de um processo de redução do TiO_2 , cria um número ainda maior de lacunas de oxigênio na interface do eletrodo metálico e do semiconductor, que atuam como dopantes tipo-n, transformando o óxido isolante em um semiconductor dopado condutor elétrico e garantindo que a interface inferior do dispositivo seja do tipo ôhmica.

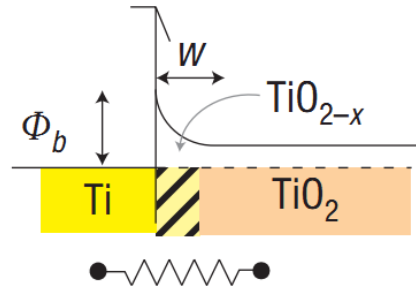


Figura 2.7: Diagrama de energia indicando que a alta concentração de lacunas de oxigênio abaixo do contato de platina colapsa a barreira *Schottky-like* (denotada por um resistor) entre as camadas *Pt/TiO₂*, produzindo uma junção resistiva. Φ_b e w são a altura e a largura da barreira. Fonte: Adaptado de [3].

Para investigar o comportamento elétrico das junções do dispositivo, em [3] foram depositados dois pares de eletrodos de contato de $100\mu m \times 100\mu m$ sobre um substrato de *TiO₂*, sendo os eletrodos 1 e 4 de platina (80nm de espessura) e os eletrodos 2 e 3 de titânio (5nm de espessura), com uma cobertura de 80nm de platina (Figura 2.8).

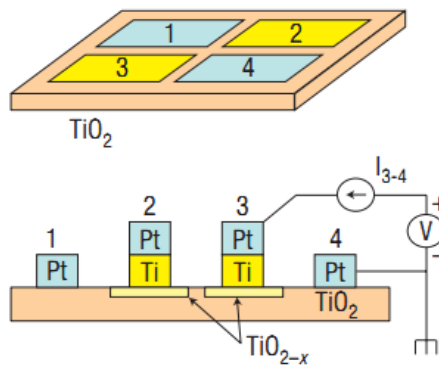


Figura 2.8: Esquema de eletrodos para a análise do comportamento elétrico das junções através das curvas $I \times V$. Fonte: Adaptado de [3].

As curvas $I \times V$ obtidas entre os pares de eletrodos (1,4), (2,4), (1,3) e (2,3) foram obtidas e estão apresentadas na Figura 2.9.

Observa-se que foi obtido um comportamento resistivo entre os contatos (2,3), uma vez que ambos possuem uma camada de 5nm de Ti que, como descrito anteriormente, aumenta a quantidade de dopantes no semicondutor, degenerando-o. As curvas entre os contatos (1,3) e (2,4) apresentam um comportamento retificador, uma vez que a junção só conduz quando polarizada diretamente. Como foi verificado que os contatos 2 e 3 são do tipo ôhmico, conclui-se que os contatos 1 e 4 são do tipo *Schottky-like*, como esperado. Por fim, a curva obtida entre os contatos (1,4) apresenta o comportamento de dois diodos em série, um com polarização direta e um com polarização reversa.

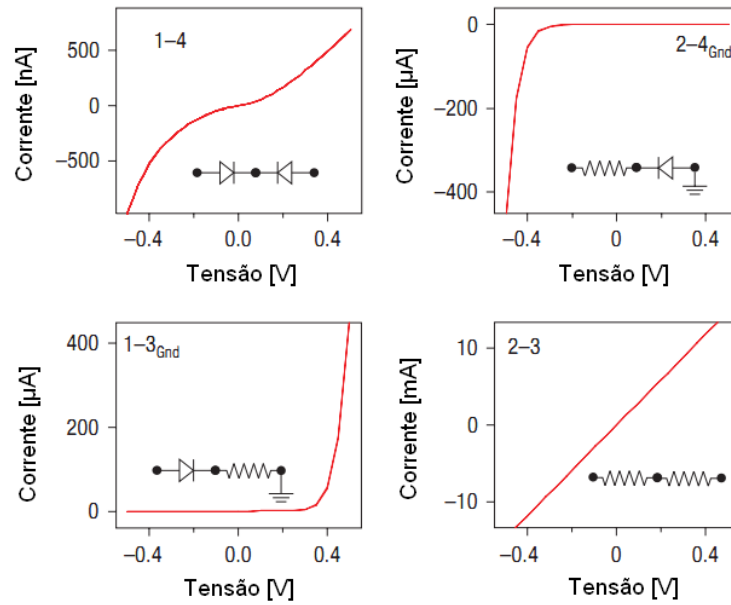


Figura 2.9: Curvas $I \times V$ obtidas entre combinações dos quatro contatos. Fonte: Adaptado de [3].

A curva de tensão contra corrente de uma amostra em seu estado virgem, ou seja, antes do processo de eletroformação, descrito na Seção 2.3, apresenta uma característica retificadora, como apresentado na Figura 2.10. Isso se deve ao fato de que para esta condição a condução elétrica do dispositivo é dominada pela condução da sua interface não ôhmica (superior), como esperado.

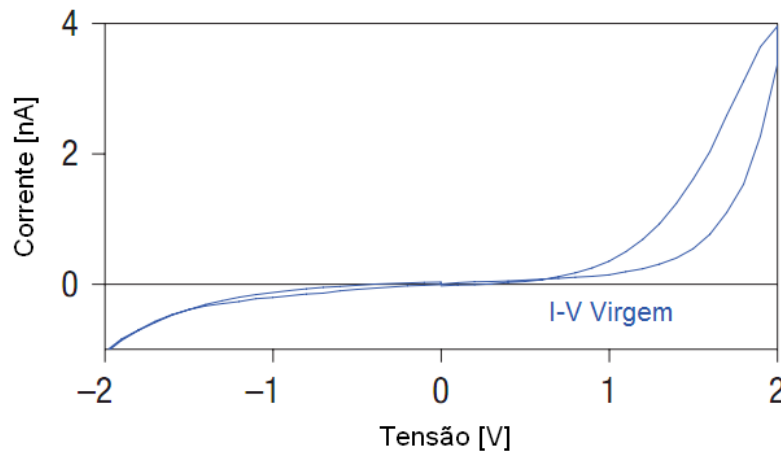


Figura 2.10: Curva típica de corrente contra tensão em um memoristor antes do processo de eletroformação. Fonte: Adaptado de [3].

2.3 Processo de Eletroformação

Para que um dispositivo como o apresentado na Figura 2.5 (a) passe a exibir o comportamento de chaveamento de resistência é necessário que ele seja submetido a uma aplicação única de uma alta tensão ou corrente, que produz uma mudança significativa e permanente na condutância elétrica do material. Após este processo, que é um processo de eletroredução

e criação de lacunas, provocado por um alto campo elétrico e acentuado pelo aquecimento *Joule* elétrico [4], os dispositivos podem ser utilizados como chaves de resistência ajustáveis, porém com uma grande variância nas suas propriedades, dependentes do processo de eletroformação. Esta variância é atualmente o maior empecilho para a adoção de chaves de óxidos metálicos em circuitos computacionais.

Para aperfeiçoar o processo de eletroformação é necessário entender como a formação bipolar de amostras de metal/óxido/metall ocorre, em particular de $Pt/TiO_2/Pt$, identificando as espécies ativas responsáveis pela mudança irreversível do dispositivo e o comportamento elétrico dos chaveamentos subsequentes frente às tensões bipolares de formação.

O comportamento ideal de uma chave memoresistiva de óxido metálico está apresentado na Figura 2.11. O chaveamento repetitivo ON/OFF apresenta uma curva $I \times V$ com um formato típico de 8 (azul). O chaveamento repetitivo só é alcançado, porém, após um processo de eletroformação a partir de uma alta tensão negativa (verde) ou positiva (vermelho), que leva o dispositivo de um estado quase isolante para um estado de chaveamento ON/OFF. Assim, polaridades opostas da tensão de formação produzem estados iniciais opostos da chave.

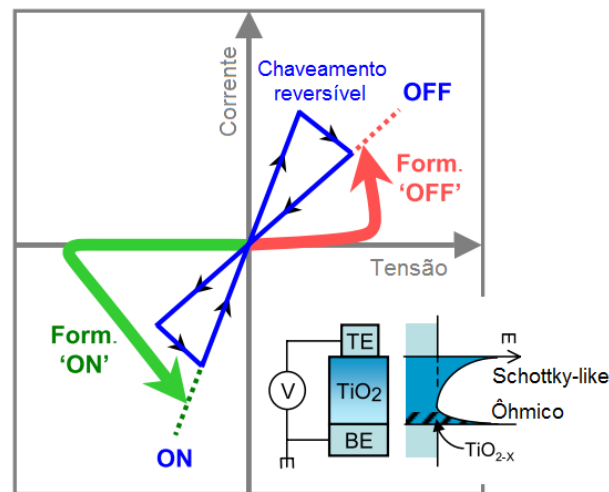


Figura 2.11: Diagrama de formação nos estados ON e OFF e curvas subsequentes de chaveamento. Fonte: Adaptado de [4].

Em geral, uma varredura de tensão de 0 a -20V (formação negativa) ou +10V (formação positiva) é utilizada para a eletroformação, que pode ocorrer antes dos valores máximos. Uma vez que o dispositivo foi formado em, por exemplo, -12V, durante a varredura de tensão de 0 a -20V, um salto em -12V para uma corrente maior e tensão menor é observado na curva $I \times V$, indicando a ocorrência da formação nesta tensão, pois, após a formação, a resistência do dispositivo cai diversas ordens de grandeza.

De acordo com Yang et al. [4], o processo de eletroformação é um processo de eletro-redução que cria canais de lacunas de oxigênio, localizados e com alta condutância, através do filme de óxido. Gás oxigênio é formado no anodo, para onde íons de oxigênio são atraídos e escapam. Porém, a criação de íons e lacunas ocorre nas regiões com alto campo elétrico e resistividade. A formação com tensões negativas apresenta valores de campo elétrico bastante diferentes da formação com tensões positivas, e isso se deve às assimetrias das junções.

As duas situações possíveis para o processo de eletroformação estão descritas abaixo:

- **Formação em OFF**

Para tensões positivas, a corrente é maior, pois a junção *Schottky-like* está diretamente polarizada, o que torna possível um maior aquecimento por efeito *Joule*. Nestes dispositivos um auto-aquecimento de centenas de graus é possível [4], o que pode aumentar a mobilidade das lacunas de oxigênio em até sete ordens de grandeza e, embora o processo de eletroformação não seja um processo puramente de aquecimento, ele é certamente acentuado com o aumento da temperatura. Como a maior queda de tensão está sobre o material óxido, os ânions O_2^- migram até o eletrodo positivamente alimentado e formam gás oxigênio no topo da camada de TiO_2 , mas abaixo do eletrodo. As lacunas de oxigênio migram através de caminhos de alta difusão (ex.: defeitos, bordas granulares) em direção ao eletrodo superior, formando caminhos de condução através do filme de óxido. A polaridade do campo elétrico repele os crescentes canais de lacunas e impede que estes encostem no eletrodo, de modo que a barreira *Schottky-like* não é drasticamente reduzida e o estado após a formação é OFF. Em outras palavras, o canal de condução penetra o filme óxido, mas não a região da interface *Schottky-like*.

A Figura 2.12 apresenta uma curva experimental obtida em [4] para a eletroformação em OFF de um memoristor. O processo de eletroformação em OFF ocorreu aumentando-se a tensão (positiva) sobre o eletrodo superior (TE) do dispositivo, até que se observou um salto para um estado de menor resistência, ou seja, um valor mais alto de corrente e um valor menor de tensão sobre o memoristor. Uma imagem de AFM após a remoção do eletrodo superior por delaminação indica que o filme óxido se manteve intacto, com apenas um resíduo do eletrodo de platina, comprovando que o canal de condução não o penetrou. Além disso, observa-se que a camada de TiO_2 é bem menos fisicamente deformada pela emissão de gás ou erupções, pois o oxigênio foi formado no topo do filme.

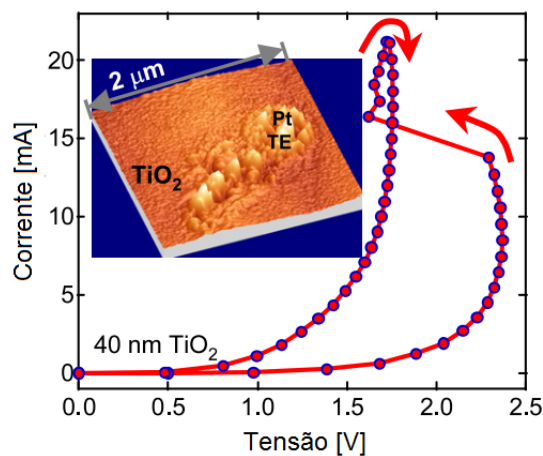


Figura 2.12: Formação em OFF de um dispositivo de TiO_2 e imagem AFM do óxido após a remoção do eletrodo superior de platina por delaminação. Fonte: Adaptado de [4].

• Formação em ON

Para tensões negativas aplicadas ao eletrodo superior, ocorre uma grande queda de tensão sobre a junção *Schottky-like* reversamente polarizada. Lacunas de oxigênio positivamente polarizadas são então produzidas e permanecem na interface superior até que seu efeito dopante reduza a barreira eletrônica a um estado condutor, com baixo campo elétrico. As correntes de junção aumentam e são agora limitadas pelo filme de óxido, que agora é a região sob um alto campo elétrico. A criação e o deslocamento de mais lacunas de oxigênio no filme criam um canal condutor e um estado ON de baixa resistência, onde ambos o filme de óxido e a interface *Schottky-like* são penetradas pelo canal condutor.

A Figura 2.13 apresenta uma curva experimental obtida em [4] para a eletroformação em ON de um memoristor. O processo de eletroformação em ON ocorreu aumentando-se a tensão (negativa) sobre o eletrodo superior do dispositivo, até que se observou um salto para um estado de menor resistência, ou seja, um valor mais alto de corrente e um valor menor de tensão (em módulo) sobre o memoristor. Uma imagem de AFM após a remoção do eletrodo superior por delaminação revelou um buraco que penetrou toda a camada de óxido, como esperado, pois a formação de oxigênio ocorre abaixo da camada de TiO_2 . Além disso, comparando-se as Figuras 2.12 e 2.13, percebe-se que a formação em ON exigiu uma tensão maior e uma corrente menor do que a formação em OFF.

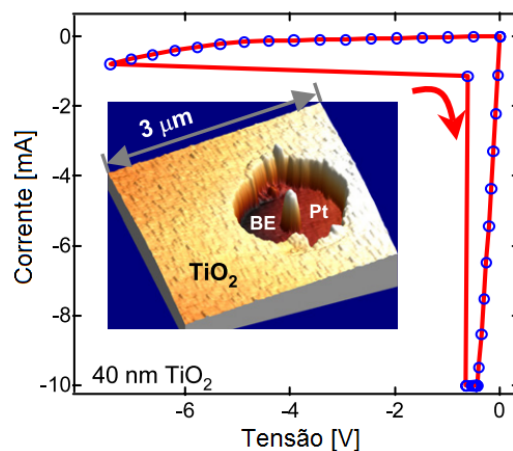


Figura 2.13: Formação em ON de um dispositivo de TiO_2 e imagem AFM do óxido após a remoção do eletrodo superior de platina por delaminação. Fonte: Adaptado de [4].

Em ambos os casos, houve a formação de um ou mais canais de lacunas de oxigênio, de alta condutância, através do filme de óxido. O chaveamento ON/OFF se dará, então, na região do dispositivo compreendida entre o canal e o eletrodo superior, como apresentado na Seção 2.4. A caracterização estrutural destes canais, bem como o estudo de dispositivos com espessura do filme de óxido reduzida, de modo que apresentem chaveamento ON/OFF sem a necessidade de eletroformação [4], não fazem parte do escopo deste trabalho.

Para confirmar a hipótese da formação de regiões de alta condutância (canais) no óxido durante o processo de eletroformação, ao contrário de uma variação estrutural ao longo de

todo o eletrodo, o contato 4 da Figura 2.8 foi dividido em duas partes, denominadas 4_1 e 4_2 (Figura 2.14 (a)). A Figura 2.14 (b) apresenta as curvas $I \times V$ entre o contato ôhmico 2 e os novos eletrodos, assim como a curva original entre os eletrodos (2, 4).

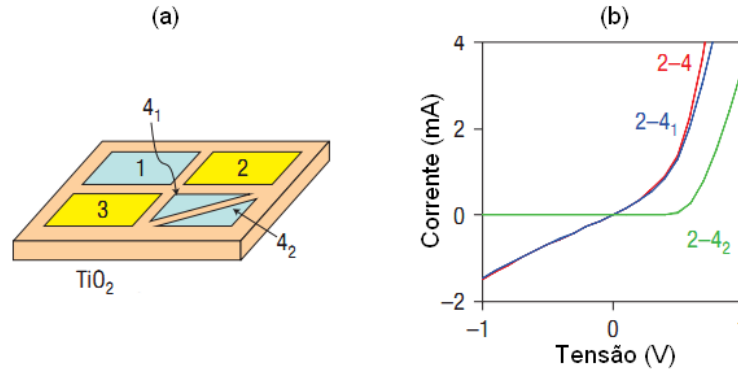


Figura 2.14: (a) Divisão de um dos eletrodos da Figura 2.8 em duas metades e (b) comparação das novas curvas $I \times V$ obtidas, indicando a formação de um canal de condução sob o contato 4_1 . Fonte: Adaptado de [3].

Observa-se que a curva (2, 4_1) apresenta um formato semelhante à curva original (2, 4), enquanto que a curva (2, 4_2) se assemelha à curva de um dispositivo antes do processo de eletroformação (comportamento retificador). Assim, conclui-se que a formação de um ou mais canais de condução está localizada sob o contato 4_1 .

2.4 Chaveamento

Após um ciclo de varredura negativo, o dispositivo é formado no estado ON e, após um ciclo positivo, no estado OFF. Após a eletroformação, os dispositivos apresentam um chaveamento bipolar não volátil repetitivo em até 10^4 ciclos [4]. Os dispositivos são chaveados para o estado ON por uma tensão negativa e para o estado OFF por uma tensão positiva aplicada ao eletrodo superior (*Schottky-like*). Esta polaridade de chaveamento é definida pelas assimetrias das interfaces fabricadas e, para todos os dispositivos considerados neste trabalho, todos os dispositivos apresentam a interface superior *Schottky-like* e a inferior ôhmica. Um exemplo de dispositivos com polaridades de chaveamento inversas pode ser encontrado em [3].

• Chaveamento OFF

O chaveamento OFF leva o dispositivo de um estado de baixa resistência (ON) para um estado de resistência maior (OFF), porém menor do que a resistência de um dispositivo não eletroformado (virgem), de modo que $R_{ON} < R_{OFF} < R_{VIRGEM}$. Quando o dispositivo está em um estado de baixa resistência, lacunas de oxigênio entre o canal condutor e o eletrodo de Pt doparam o material semiconductor, provocando um colapso parcial da junção *Schottky-like*. Assim, a aplicação de uma tensão positiva no eletrodo superior repele as lacunas de oxigênio, restaurando a barreira original e reduzindo a condutância do dispositivo. Assim, o chaveamento OFF não se deve a uma ruptura do canal de condução por aquecimento *Joule* [3], embora este processo seja influenciado pela temperatura.

• Chaveamento ON

Ao contrário do chaveamento OFF, o chaveamento ON se dá a partir de um dispositivo em um estado de baixa condutância. A aplicação de uma tensão negativa no eletrodo superior atrai as lacunas de oxigênio em direção à interface com o eletrodo de *Pt*, alterando-a para um estado de baixa resistência.

É importante notar que o chaveamento ON/OFF se dá apenas na interface superior (não ôhmica e retificadora, e não na inferior (ôhmica) [3]). Embora a tensão aplicada possa alterar a concentração de lacunas de oxigênio na interface superior, esta variação não é significativa para alterar a natureza ôhmica do contato, uma vez que a interface possui uma grande quantidade de lacunas e o campo elétrico é menor devido à sua baixa resistência. A interface superior possui um número muito menor de lacunas e é muito mais suscetível à mudança, além de apresentar um campo elétrico maior devido à sua alta resistência. Ambas as junções estão associadas em série, de modo que a resistência total do dispositivo é controlada pela interface *Schottky-like*.

A Figura 2.15 apresenta curvas de chaveamento típicas para dispositivos em escala nanométrica (a) e micrométrica (b). Observa-se uma maior variância na tensão de chaveamento ON (V_{ON}) e na corrente de chaveamento OFF (I_{OFF}) para o caso micrométrico.

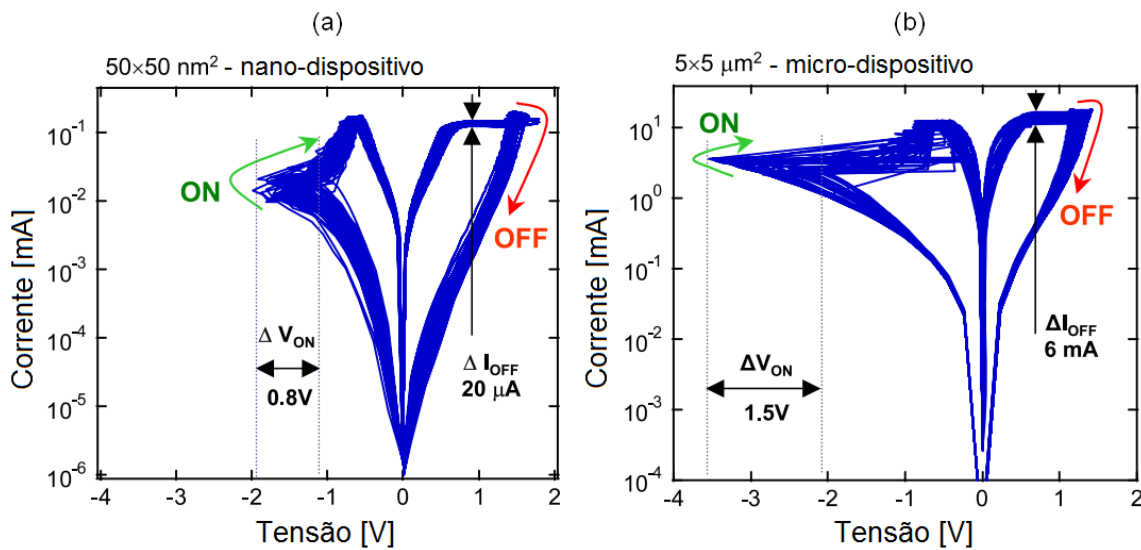


Figura 2.15: Cinquenta ciclos de chaveamento bipolar para duas amostras de escala micrométrica e nanométrica. Fonte: Adaptado de [4].

Por fim, foi observado em [4] que é possível chavear um dispositivo entre dois estados de condutância aplicando-se tensões baixas no eletrodo superior (por exemplo, 0, 1V), porém com constantes de tempo muito elevadas (horas), o que é consistente com uma menor velocidade de transporte iônico não linear sob um campo elétrico menor.

3 Simulações

Uma vez que apenas uma pequena parcela de pesquisadores tem acesso a memristores, como os fabricados pela *HP Labs*, é de grande utilidade a obtenção de modelos computacionais que permitam a simulação de um memristor ideal. Um modelo baseado na soma ponderada das resistências R_{ON} e R_{OFF} em função da quantidade de carga que atravessa o dispositivo (efetivamente em função da corrente), que embora considere apenas o chaveamento ON/OFF e não o processo de eletroformação, é uma ferramenta válida para o entendimento do mecanismo de chaveamento destes dispositivos. À medida que o conhecimento sobre os seus mecanismos de chaveamento é aprofundado, modelos mais complexos podem ser criados, permitindo a simulação realista de circuitos memresistivos.

A velocidade de movimento da barreira entre as regiões dopada e não dopada é dada pela Equação (2.6). Porém, em dispositivos de escala nanométrica, pequenas tensões podem provocar campos elétricos muito altos, o que produz um comportamento altamente não linear no transporte iônico [2]. Estas não linearidades se manifestam principalmente nas bordas do dispositivo, onde a velocidade da barreira entre as regiões dopada e não dopada gradualmente diminui a zero. Este fenômeno, chamado de deslocamento não linear de dopantes [5], pode ser modelado adicionando-se uma função janela $f(x)$ ao lado direito da Equação (2.6). Uma possibilidade de função janela, proposta em [10], é dada por

$$f(x) = 1 - (2x - 1)^{2p}, \quad (3.1)$$

onde p é um inteiro positivo e $x = \frac{w}{D} = x(t)$. Esta função garante velocidade zero na coordenada x em ambas as interfaces. Além disso, a diferença entre os modelos com deslocamento linear e não linear desaparece à medida que p aumenta. A Figura 3.1 apresenta o comportamento desta função janela para diferentes valores de p .

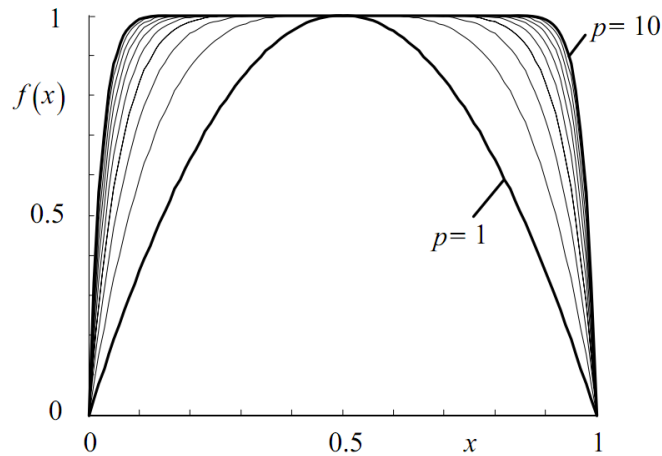


Figura 3.1: A função janela (3.1) para diferentes valores inteiros de p . Fonte: Adaptado de [5].

3.1 Simulação em SPICE

A relação entre a tensão sobre o memoristor e a corrente é modelada com base na Equação

$$R_{MEM}(x) = R_{ON}x + R_{OFF}(1 - x) = R_{OFF} - x\Delta R, \quad (3.2)$$

onde $\Delta R = R_{OFF} - R_{ON}$. Integrando-se a Equação (2.6), dividindo-se ambos os lados por D , e substituindo-se $x = \frac{w}{D}$, obtém-se a seguinte relação

$$x = \mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt, \quad (3.3)$$

de modo que

$$R_{MEM}(x) = R_{OFF} - \mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt \Delta R, \quad (3.4)$$

e, se $V_x \equiv \mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt$,

$$R_{MEM}(x) = R_{OFF} - V_x \Delta R \quad (3.5)$$

Assim, V_x pode ser obtida, por exemplo, como a tensão sobre um capacitor unitário que integra a corrente vinda de uma fonte de corrente, cujo valor é dado por $\mu_v \frac{R_{ON}}{D^2} i(t) f(V_x, p)$. O trecho de código correspondente a este circuito, assim como à função janela, é dado por ¹

```
Gx 0 x value={I(Emem)*uv*Ron/D**2*f(V(x),p)}
.func f(x,p)={1-(2*x-1)**(2*p)}
```

A resistência inicial R_{INIC} do dispositivo pode ser modelada como a condição inicial de tensão do capacitor. A partir da Equação (3.5) obtém-se

$$x_0 = \frac{R_{OFF} - R_{INIC}}{\Delta R}, \quad (3.6)$$

que é representado por

```
Cx x 0 1 IC={(Roff-Rinit)/(Roff-Ron)}
```

Multiplicando-se ambos os lados da Equação (3.5) pela corrente, obtém-se

¹A exponenciação adotada pelo programa LTSPICE IV é simbolizada por **, de modo que D^2 é escrito como $D**2$.

$$V_{MEM}(x) = I_{MEM}R_{OFF} - I_{MEM}V_x\Delta R \quad (3.7)$$

Assim, a tensão sobre o memoristor pode ser modelada por um resistor R_{OFF} em série com uma fonte de tensão de valor $I_{MEM}V_x\Delta R$. Isto é obtido através do código

```
Emem plus aux value={-I(Emem)*V(x)*(Roff-Ron)}
Roff aux minus {Roff}
```

O circuito equivalente do modelo de memoristor está apresentado na Figura 3.2, e o código completo para a simulação em SPICE está apresentado em seguida [5].

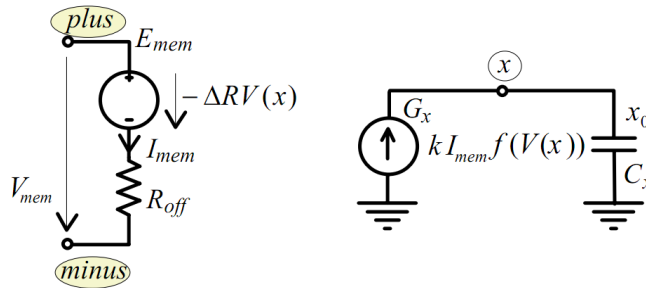


Figura 3.2: Circuito equivalente do modelo SPICE. Fonte: Adaptado de [5].

```
*****
* Modelo de um Memoristor Ideal para SPICE
* Ron, Roff - Resistência nos estados ON/OFF
* Rinit     - Resistência em t=0
* D         - Espessura do filme fino
* uv        - Mobilidade iônica
* p         - parâmetro da função janela
* x         - Relação w/D
*
.subckt memristor plus minus params:
+ Ron=100 Roff=16k Rinit=11k D=10n uv=10f p=1
*****
* Modelagem da Equação Diferencial
Gx 0 x value={ I(Emem)*uv*Ron/D**2*f(V(x),p)}
Cx x 0 1 IC={(Roff-Rinit)/(Roff-Ron)}
Raux x 0 1T
*****
* Comportamento Resistivo
Emem plus aux value={-I(Emem)*V(x)*(Roff-Ron)}
Roff aux minus {Roff}
*****
* Função Janela
.func f(x,p) {1-(2*x-1)**(2*p)}
.ends memristor
*****
```

3.1.1 Resultados

O modelo de SPICE proposto para o memoristor ideal foi associado a um símbolo e inserido no ambiente de simulação do programa LTSPICE IV (Figura 3.3). Foi aplicada sobre o memoristor uma tensão senoidal de amplitude $V_p = 1,2V$, frequência $f = 1Hz$ e monitorou-se a sua corrente. Como a simulação é ideal, a tensão da fonte é a própria tensão sobre o memoristor. Os parâmetros utilizados são os mesmos apresentados no código SPICE.

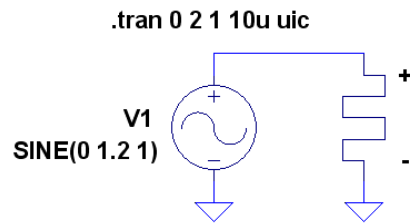


Figura 3.3: Circuito para a simulação do modelo de memoristor proposto em SPICE.

O resultado da simulação está apresentado na Figura 3.4. Observa-se que a curva obtida de fato apresenta o mesmo formato exibido na Figura 2.3, o que confirma a validade do modelo implementado, uma vez que as mesmas equações foram utilizadas para a obtenção de ambas as curvas. Além disso, observa-se que não há uma transição abrupta entre os estados ON e OFF, mas sim uma mudança gradativa na resistência do dispositivo.

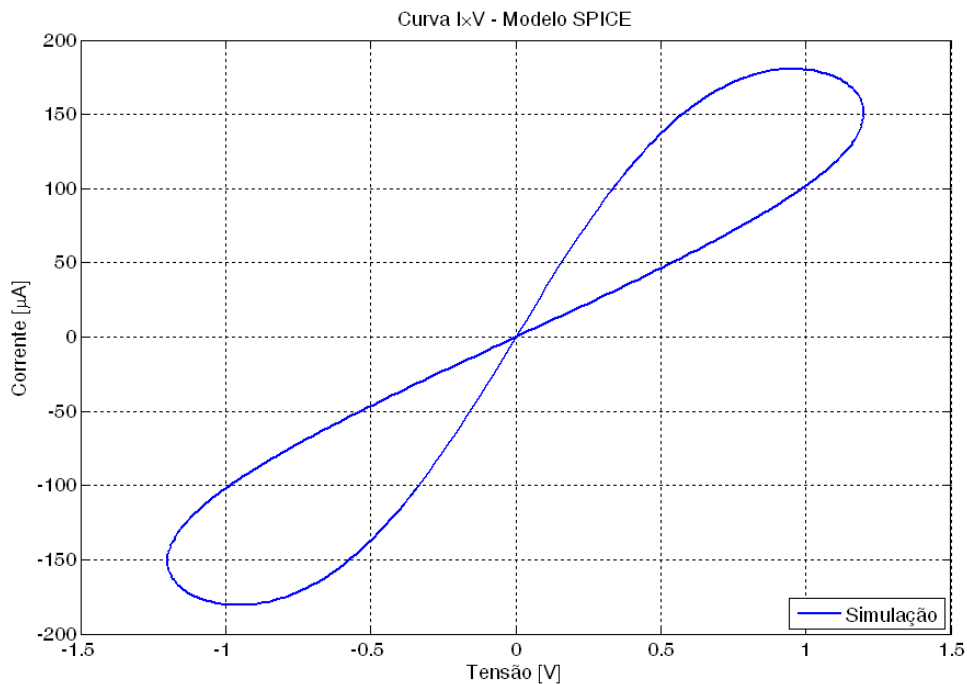


Figura 3.4: Curva de histerese obtida através da simulação do modelo proposto de memoristor em SPICE.

3.2 Simulação em Simulink

Uma alternativa ao SPICE para a simulação do memoristor é a ferramenta *Simulink*, que permite a integração direta com o ambiente de trabalho do MATLAB e facilita a obtenção de curvas e a implementação de conjuntos de simulações. A partir das considerações realizadas na Seção 3.1, pode-se obter o diagrama em blocos da Figura 3.5.

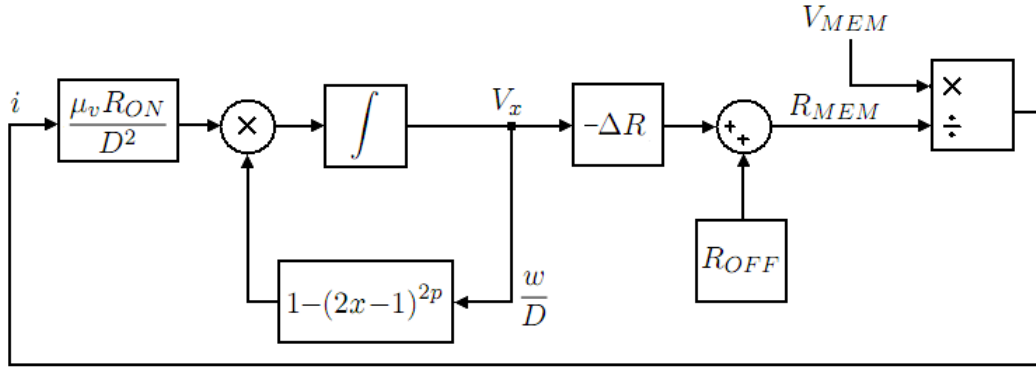


Figura 3.5: Diagrama em blocos de um memoristor ideal.

Supõe-se que o sinal de entrada é aplicado diretamente sobre o memoristor, e é denominado de V_{MEM} . A corrente i é obtida dividindo-se a tensão de entrada pela resistência instantânea do memoristor, R_{MEM} , que, por sua vez, é dada em função da posição da barreira $x = \frac{w}{D} = V_x$. Por fim, V_x é dada em função da integral no tempo da corrente e da função janela adotada. O diagrama de blocos final implementado em *Simulink* está apresentado na Figura 3.6.

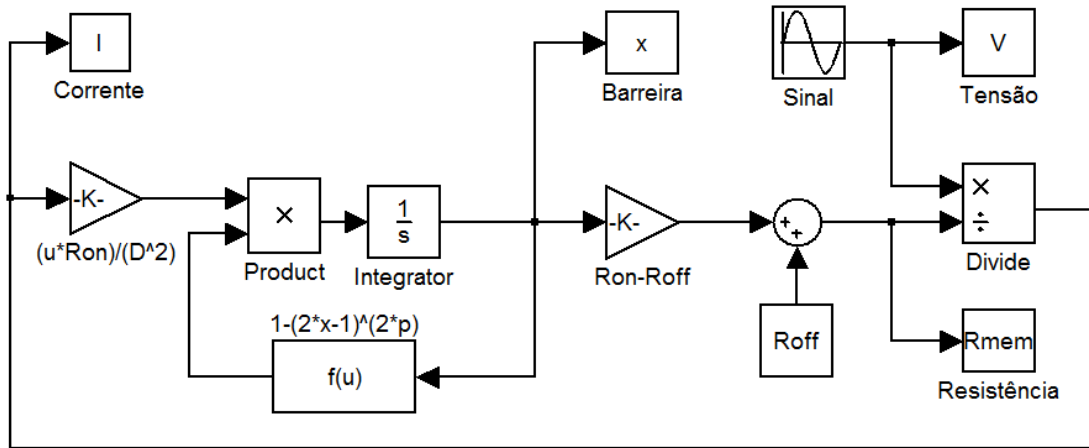


Figura 3.6: Diagrama em blocos implementado em Simulink.

3.2.1 Resultados

O diagrama apresentado na Figura 3.6 foi executado através do comando `sim('')`, recebendo os parâmetros de simulação como descrito no trecho de código abaixo

```

f=1; Vp=1.2;
u=10e-15; p=1; D=10e-9;
Ron=100; Roff=16e3; Rinic=11e3; T=1; CI=(Roff-Rinic)/(Roff-Ron);
sim('Memoristor_V')

```

A parte superior da Figura 3.7 apresenta uma comparação entre as curvas de histerese obtidas para o modelo em SPICE e para o modelo em *Simulink*. Observa-se que ambas as curvas coincidem, validando também o último modelo implementado. A parte inferior da Figura 3.7 apresenta o deslocamento da barreira entre as regiões dopada e não dopada. O valor inicial da barreira é dado pela condição inicial do bloco integrador, calculado a partir de uma resistência inicial dada. Observa-se que o comportamento suave da curva de histerese é explicado pelo fato de que a barreira não atinge as extremidades do dispositivo, de modo que em nenhum instante o memoristor apresenta as resistências R_{ON} ou R_{OFF} .

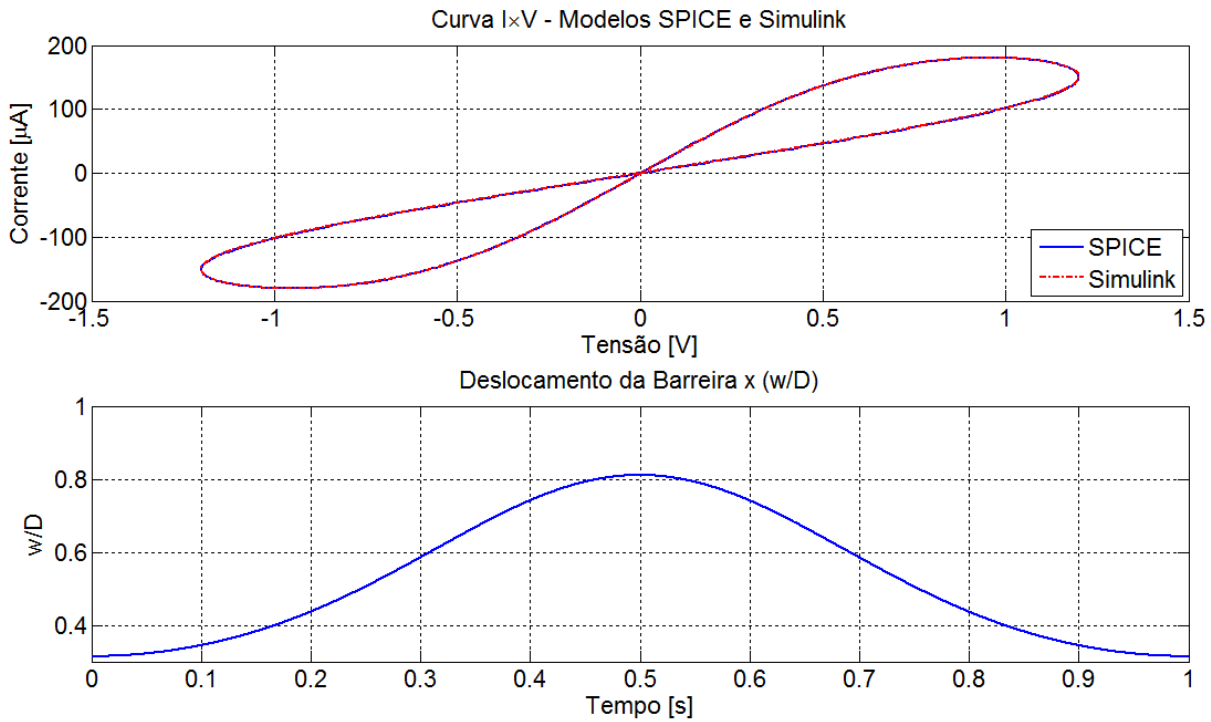


Figura 3.7: Comparação das curva de histerese obtidas através da simulação dos modelos em SPICE e em *Simulink*.

Embora aproximado, este modelo permite visualizar a influência dos parâmetros físicos do memoristor no tempo de chaveamento entre os estados R_{ON} e R_{OFF} e na histerese das curvas $I \times V$. Os resultados obtidos através de conjuntos de simulações estão apresentados a seguir.

3.2.2 Influência da Mobilidade Iônica no Tempo de Chaveamento

Para investigar a influência da mobilidade iônica média μ_v no tempo de chaveamento do dispositivo, ou seja, no tempo gasto para que a resistência do memoristor se altere de

um estado extremo a outro, de R_{ON} para R_{OFF} ou de R_{OFF} para R_{ON} , foram realizadas simulações com diversos valores de mobilidade, mantendo-se sempre a tensão aplicada ao memoristor constante e com amplitude $1V$. Parte-se de um memoristor com resistência inicial R_{OFF} , de modo que a condição inicial da barreira x foi estabelecida em 10^{-9} , pois para $x = 0$ o algoritmo utilizado pelo *Simulink* para a resolução do sistema não fornecia uma mudança de resistência.

A Figura 3.8 apresenta os valores obtidos e uma função ajustada a estes pontos. É esperado que o tempo de chaveamento caia com o aumento da mobilidade iônica, uma vez que no modelo utilizado a variação de resistência se dá pelo deslocamento da barreira entre as regiões dopada e não dopada, ou seja, pelo transporte iônico. Quanto maior a mobilidade iônica, maior a velocidade do transporte e mais rápida é a variação de resistência do dispositivo. Ressalta-se, porém, que para o modelo utilizado, o tempo de chaveamento decai de forma exponencial em função da mobilidade.

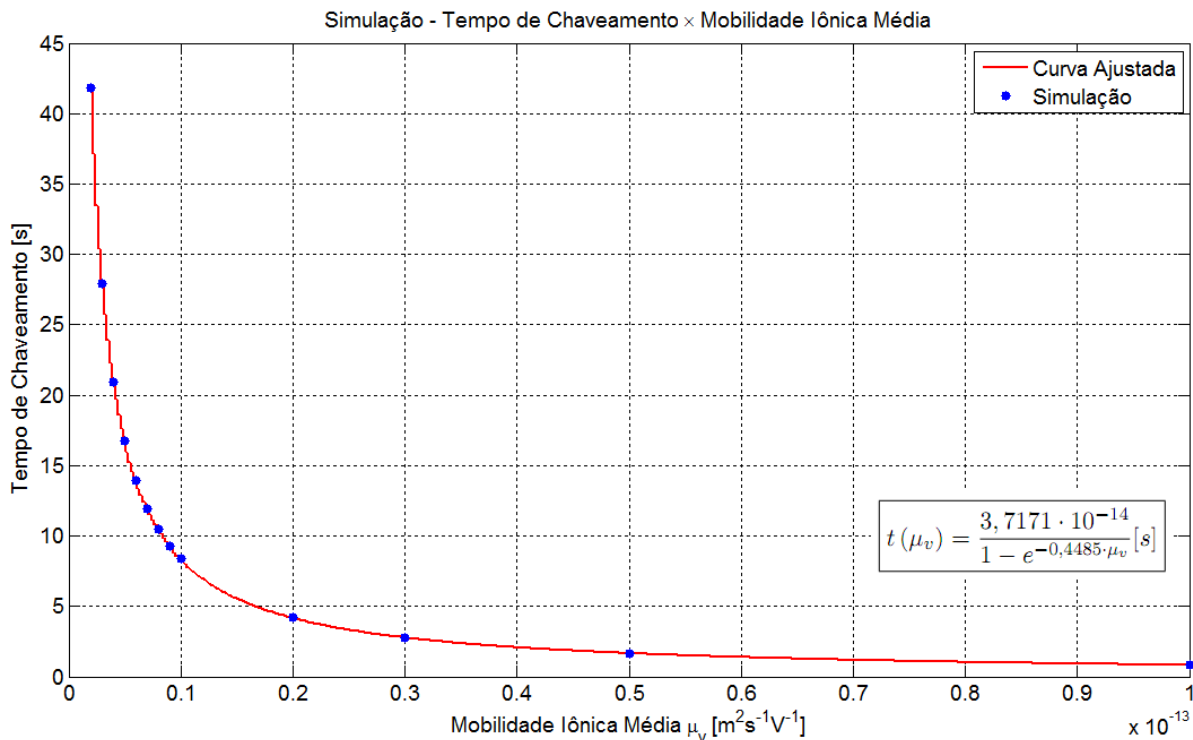


Figura 3.8: Simulação da influência da mobilidade iônica no tempo de chaveamento. Demais parâmetros: $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $V = 1V$, $x = 10^{-9}$.

3.2.3 Influência da Tensão no Tempo de Chaveamento

Mantendo-se os demais parâmetros constantes, foram aplicados degraus de tensão com amplitudes diferentes e investigou-se a sua influência no tempo de chaveamento do dispositivo. A Figura 3.9 apresenta os valores obtidos e uma função ajustada a estes pontos. Assim como o caso da mobilidade iônica, obteve-se para o modelo utilizado um decaimento exponencial do tempo de chaveamento para valores crescentes de tensão. Isso se explica pelo fato de que uma tensão maior provoca uma corrente elétrica maior, de modo que uma maior quantidade

de cargas atravessando o dispositivo movimenta a barreira x mais rapidamente, o que leva a uma maior alteração da resistência do dispositivo por unidade de tempo.

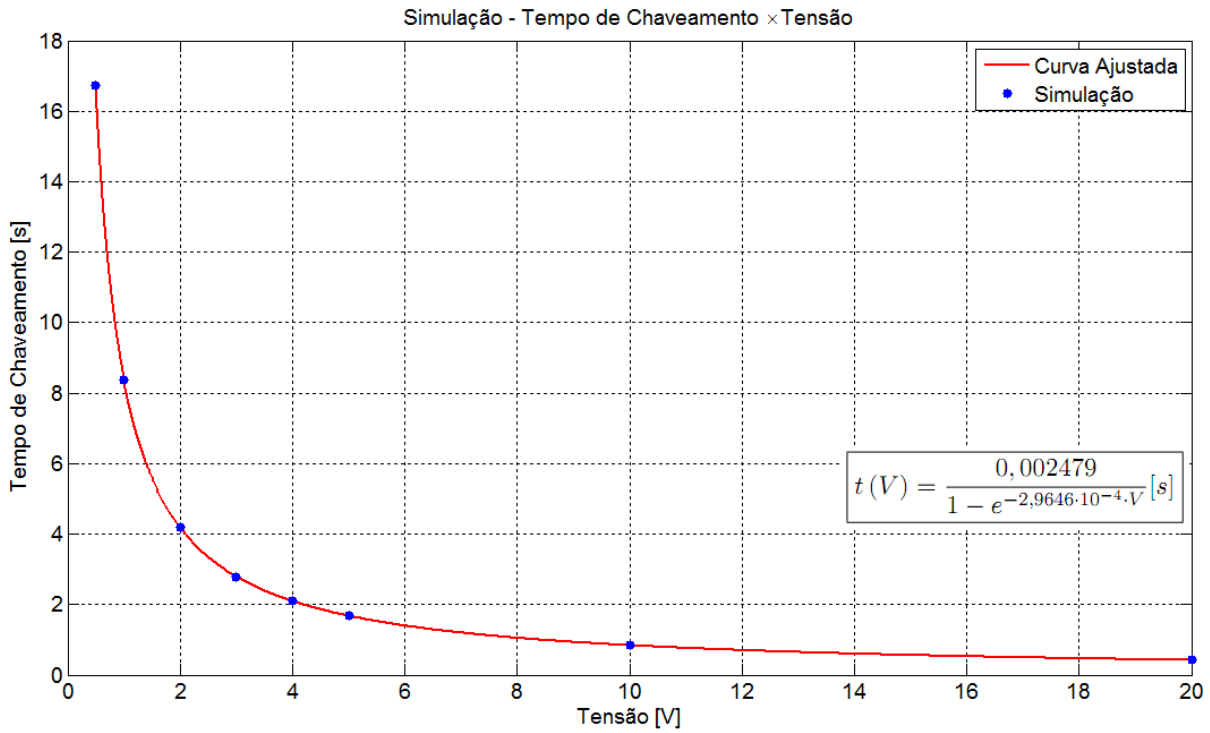


Figura 3.9: Simulação da influência da tensão no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $x = 10^{-9}$.

3.2.4 Influência da Tensão - Chaveamento Lento

Foi aplicado sobre o memoristor um sinal de excitação da forma $k \cdot |V_p \cdot \sin(2\pi f)|$, de frequência $f = 1Hz$ e amplitude $V_p = 0,3V$, de modo que $k = 1$ para $t \leq 10s$ e $k = -1$ para $t > 10s$. Assim, espera-se que a barreira x se desloque gradativamente para $k = 1$ e retorne à posição inicial para $k = -1$. A Figura 3.10 apresenta as curvas $I \times V$ obtidas e a Figura 3.11 o deslocamento da barreira x ao longo do tempo. Observa-se que à medida que a barreira se desloca, os laços de histerese tornam-se mais pronunciados. Isto evidencia a possível aplicação de memoristores como resistências ajustáveis, pois uma vez que a posição da barreira foi ajustada, a leitura da resistência do dispositivo pode ser feita com um sinal de excitação com valor médio nulo, que não a alterará para um número inteiro de ciclos de leitura. O sinal de excitação deve, porém, possuir uma frequência suficientemente alta, como apresentado na Seção 3.2.8.

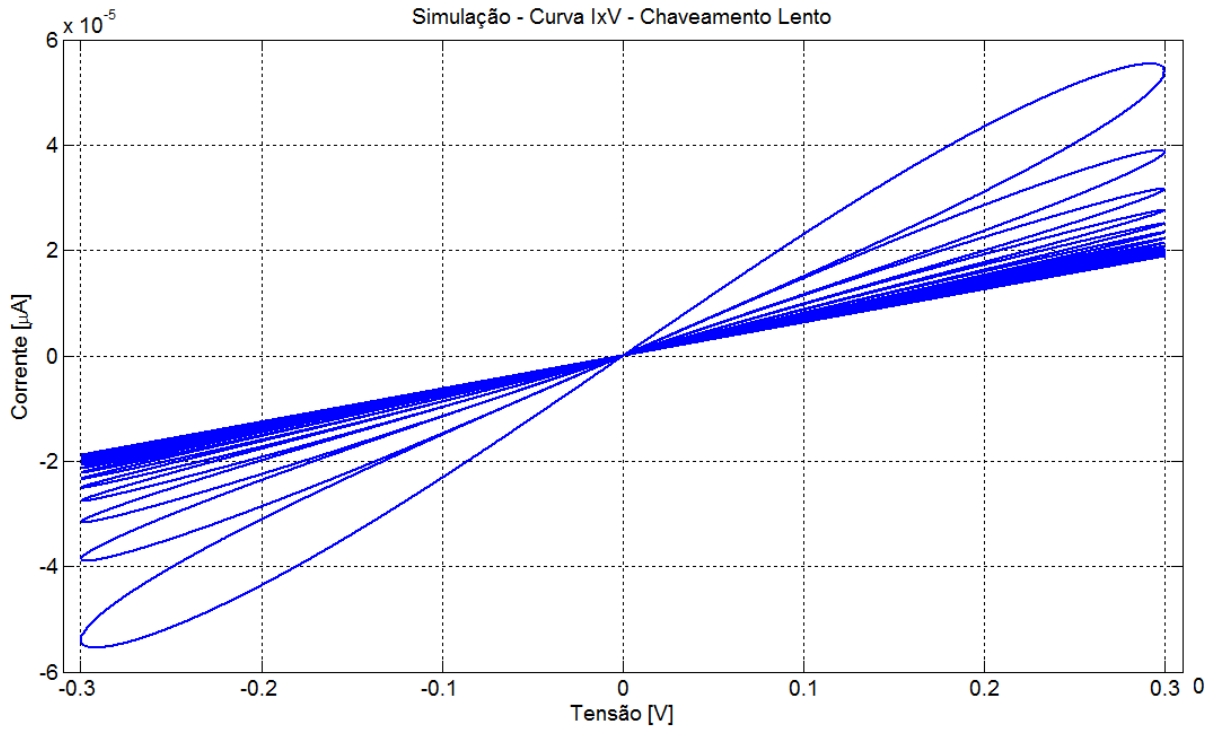


Figura 3.10: Simulação da influência da tensão no chaveamento lento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $R_{INIC} = 15,9k\Omega$.

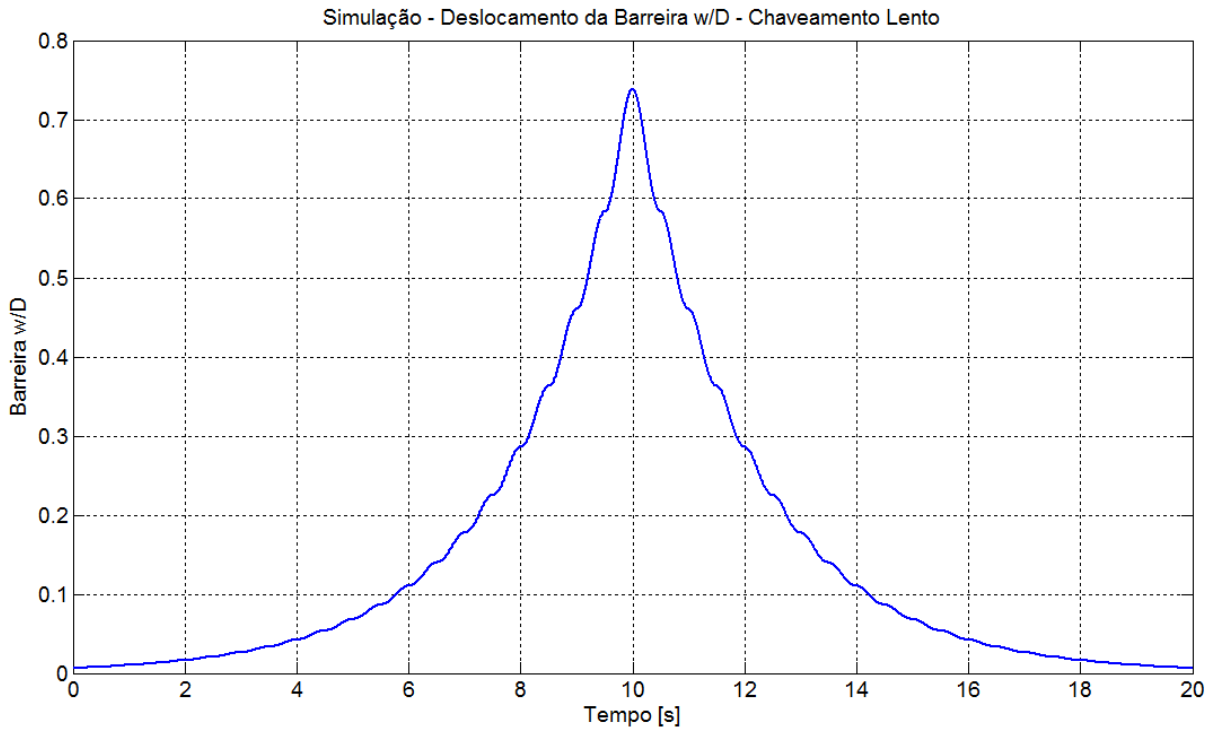


Figura 3.11: Simulação da influência da tensão na movimentação da barreira $x = \frac{w}{D}$ no chaveamento lento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $D = 10nm$, $R_{INIC} = 15,9k\Omega$.

3.2.5 Influência da Espessura do Filme no Tempo de Chaveamento

Com base na Equação (2.8) conclui-se que o efeito memoresistivo é tão mais significativo quanto menor é a espessura do filme no qual ocorre o transporte iônico. Para verificar este efeito, foram realizadas simulações estudando o tempo de chaveamento em função da espessura D . A Figura 3.12 apresenta os valores obtidos e uma função ajustada a estes pontos. Observa-se que para o modelo utilizado o tempo de chaveamento apresenta uma relação quadrática em função da espessura do dispositivo, e não exponencial, como esperado com base nas simulações anteriores. Porém, o comportamento obtido está de acordo com o termo $\frac{1}{D^2}$ presente nas Equações (2.8) e (3.4).

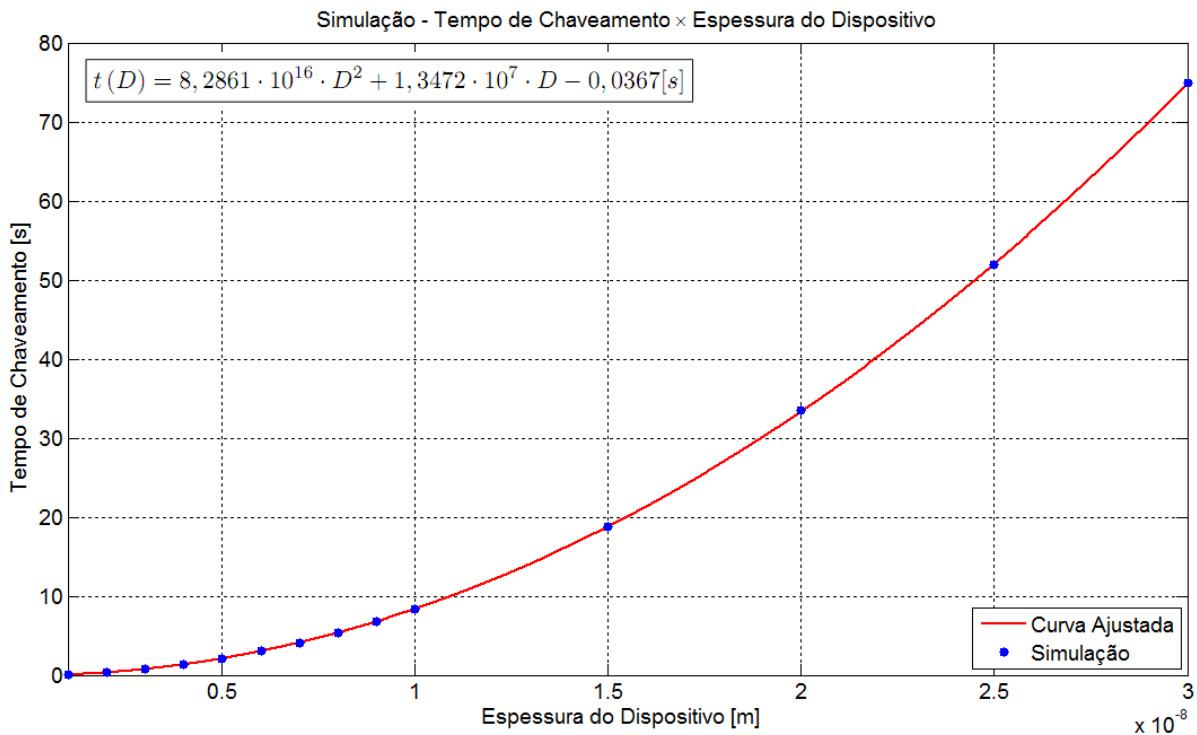


Figura 3.12: Simulação da influência da espessura do filme no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1V$, $x = 10^{-9}$.

3.2.6 Influência da Relação $\frac{R_{OFF}}{R_{ON}}$ no Tempo de Chaveamento

Observou-se através de simulações que o tempo de chaveamento se alterava em função de R_{ON} e R_{OFF} . Porém, os mesmos valores foram encontrados nos casos que em a razão entre $\frac{R_{OFF}}{R_{ON}}$ foi mantida constante. Foi realizada, então, uma simulação buscando investigar o efeito da razão entre as resistências nos estados OFF e ON sobre o tempo de chaveamento. A Figura 3.13 apresenta os valores obtidos e uma função ajustada a estes pontos. Observa-se que para o modelo utilizado o tempo de chaveamento aumenta linearmente com a razão $\frac{R_{OFF}}{R_{ON}}$.

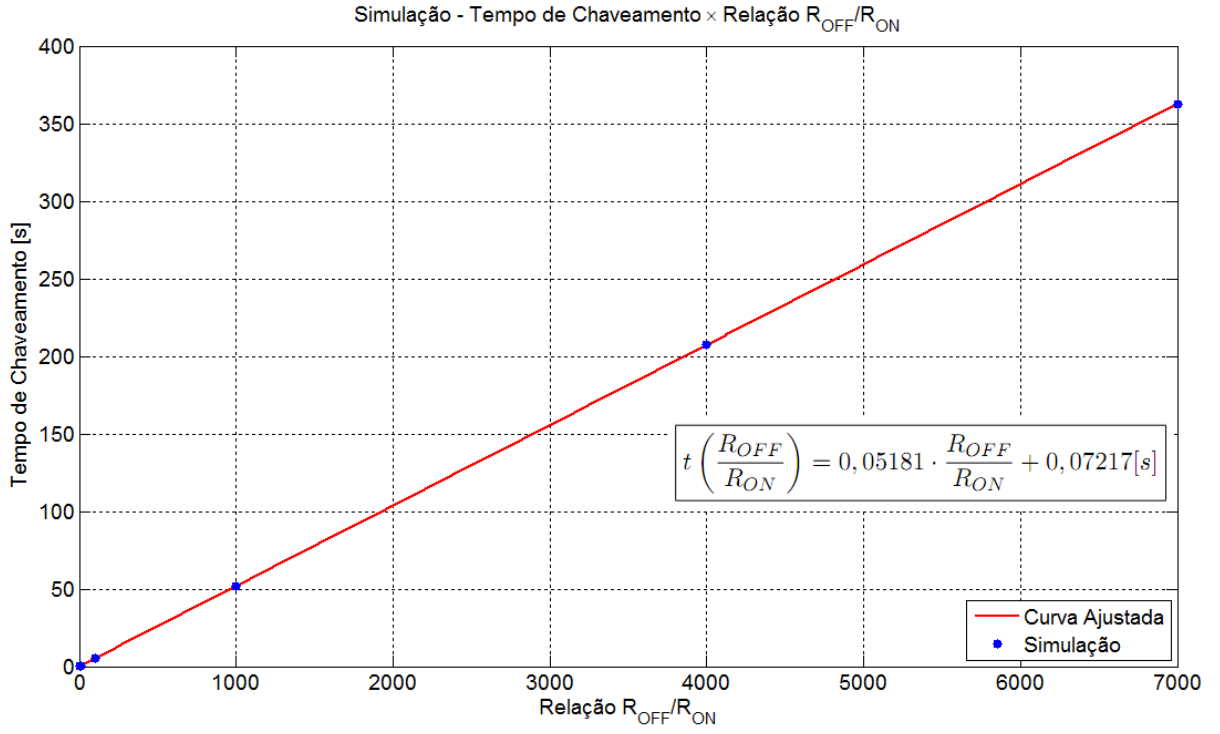


Figura 3.13: Simulação da influência da relação $\frac{R_{OFF}}{R_{ON}}$ no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10 nm$, $V = 1V$, $x = 10^{-9}$. Simulação realizada para razões de 2, 5, 10, 100, 1000, 4000 e 7000.

Isto pode ser explicado pela Equação (3.4),

$$R_{MEM}(x) = R_{OFF} - \mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt \Delta R$$

No instante de chaveamento, $R_{MEM} = R_{ON}$ e, assim,

$$R_{MEM}(x) = R_{OFF} - \mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt \Delta R = R_{ON}$$

$$-\mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt \Delta R = R_{ON} - R_{OFF} = -\Delta R \quad (3.8)$$

$$\mu_v \frac{R_{ON}}{D^2} \int i(t) f(x) dt = 1 \quad (3.9)$$

Assim, a Equação (3.10) pode ser utilizada para calcular o tempo de chaveamento em função dos parâmetros do modelo.

$$\int_0^t i(t) [1 - (2x - 1)^{2p}] dt = \frac{1}{R_{ON}} \frac{D^2}{\mu_v} \quad (3.10)$$

Para o caso com excitação constante, pode-se substituir $i(t) = \frac{1}{R_{MEM}}$, de modo que

$$\int_0^t \frac{1}{R_{MEM}} \left[1 - (2x - 1)^{2p} \right] dt = \frac{1}{R_{ON}} \frac{D^2}{\mu_v} \quad (3.11)$$

$$\int_0^t \frac{1 - (2x - 1)^{2p}}{R_{ON}x + R_{OFF}(1 - x)} dt = \frac{1}{R_{ON}} \frac{D^2}{\mu_v} \quad (3.12)$$

Colocando-se R_{ON} em evidência no denominador do termo integrado, obtém-se

$$\int_0^t \frac{1 - (2x - 1)^{2p}}{R_{ON} \left[x + \frac{R_{OFF}}{R_{ON}} (1 - x) \right]} dt = \frac{1}{R_{ON}} \frac{D^2}{\mu_v} \quad (3.13)$$

$$\frac{1}{R_{ON}} \int_0^t \frac{1 - (2x - 1)^{2p}}{x + \frac{R_{OFF}}{R_{ON}} (1 - x)} dt = \frac{1}{R_{ON}} \frac{D^2}{\mu_v} \quad (3.14)$$

$$\boxed{\int_0^t \frac{1 - (2x - 1)^{2p}}{x + \frac{R_{OFF}}{R_{ON}} (1 - x)} dt = \frac{D^2}{\mu_v}} \quad (3.15)$$

Observa-se, então, que para o modelo proposto com excitação constante o tempo de chaveamento depende apenas da razão entre as resistências no estado OFF e ON, como foi verificado nas simulações.

3.2.7 Influência do Parâmetro p da Função Janela no Tempo de Chaveamento

Foram realizadas simulações para investigar a influência do parâmetro p da função janela, utilizada para modelar a velocidade da barreira entre as regiões dopada e não dopada. A Figura 3.14 apresenta os valores obtidos e uma função ajustada a estes pontos. É esperado que com o aumento do parâmetro p ocorra uma diminuição do tempo de chaveamento, pois de acordo com a Figura 3.1, para valores crescentes de p a região onde a barreira possui uma velocidade maior também aumenta. Novamente observou-se um decaimento exponencial do tempo de chaveamento em função do parâmetro p .

Utilizando-se os mesmos parâmetros, porém sem a função janela, o tempo de chaveamento obtido foi de 0,8049s. Embora menor do que o parâmetro 0,8871 da função ajustada, para qual o tempo de chaveamento tende à medida que p tende a infinito, este valor está consistente, pois é menor do que o anterior, já que a função janela sempre garante velocidade zero nas extremidades e nunca permite velocidade constante ao longo de todo o dispositivo.

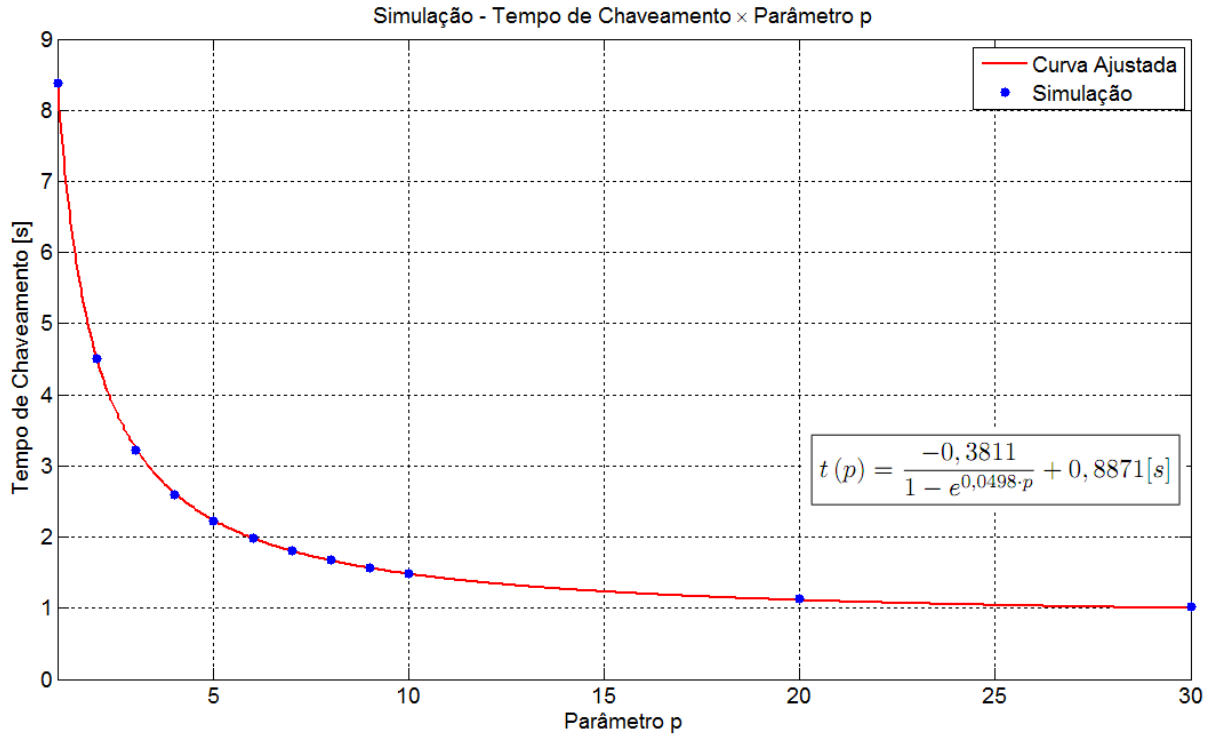


Figura 3.14: Simulação da influência do parâmetro p da função janela no tempo de chaveamento. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $D = 10 nm$, $R_{ON} = 100 \Omega$, $R_{OFF} = 16 k\Omega$, $V = 1V$, $x = 10^{-9}$.

3.2.8 Influência da Frequência nas Curvas $I \times V$

Foram realizadas simulações a fim de verificar o comportamento descrito em [2] de que os laços de histerese se tornam menos expressivos com o aumento da frequência de excitação, até o ponto em que o memoristor se comporta como um resistor comum. Os resultados nas curvas $I \times V$ e na posição da barreira x ao longo do tempo estão apresentados nas Figuras 3.15 e 3.16, respectivamente.

Observa-se que devido à dependência do tempo da movimentação da barreira x , que depende efetivamente da integral no tempo da corrente que percorre o dispositivo, à medida que a frequência aumenta o deslocamento máximo da barreira em relação à condição inicial tende a zero. Assim, para frequências mais baixas, observa-se um laço de histerese bem determinado. Para frequências maiores o dispositivo praticamente não sofre alteração na sua resistência, atuando como um resistor. Esta limitação em frequência pode ser utilizada como um fator positivo, em aplicações com excitação alternada, ou como fator limitante em aplicações de chaveamento.

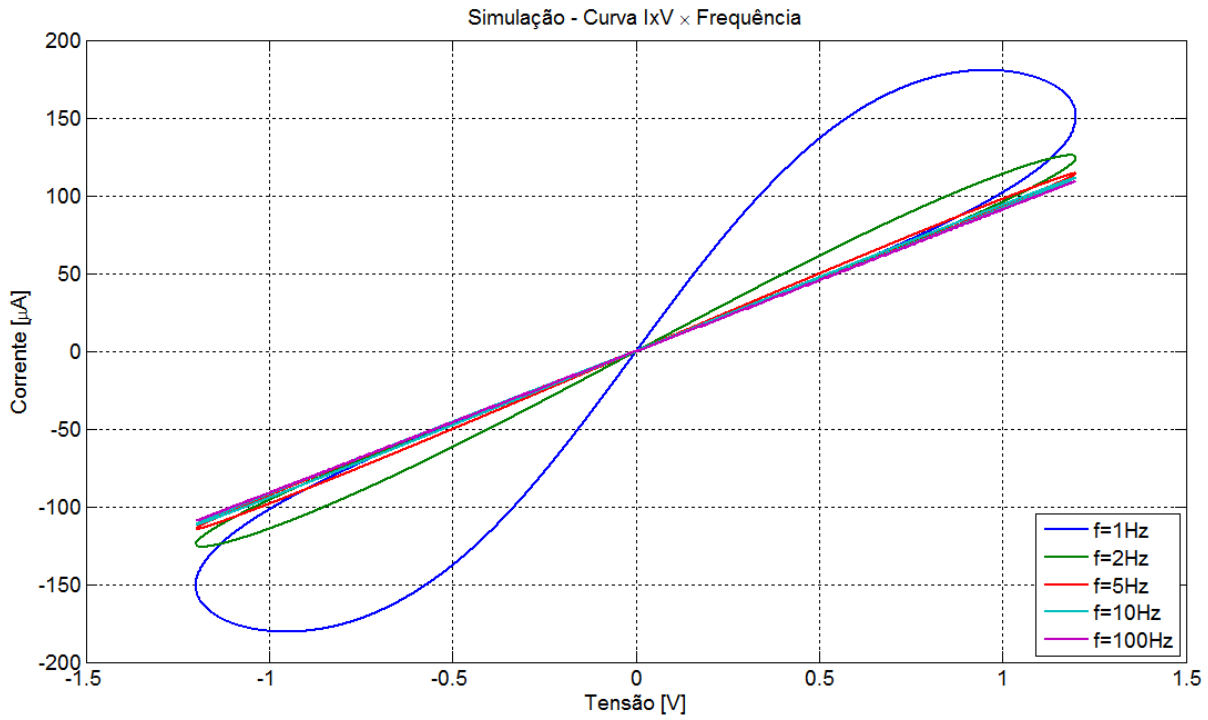


Figura 3.15: Simulação da influência da frequência nas curvas $I \times V$. Demais parâmetros:
 $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$.

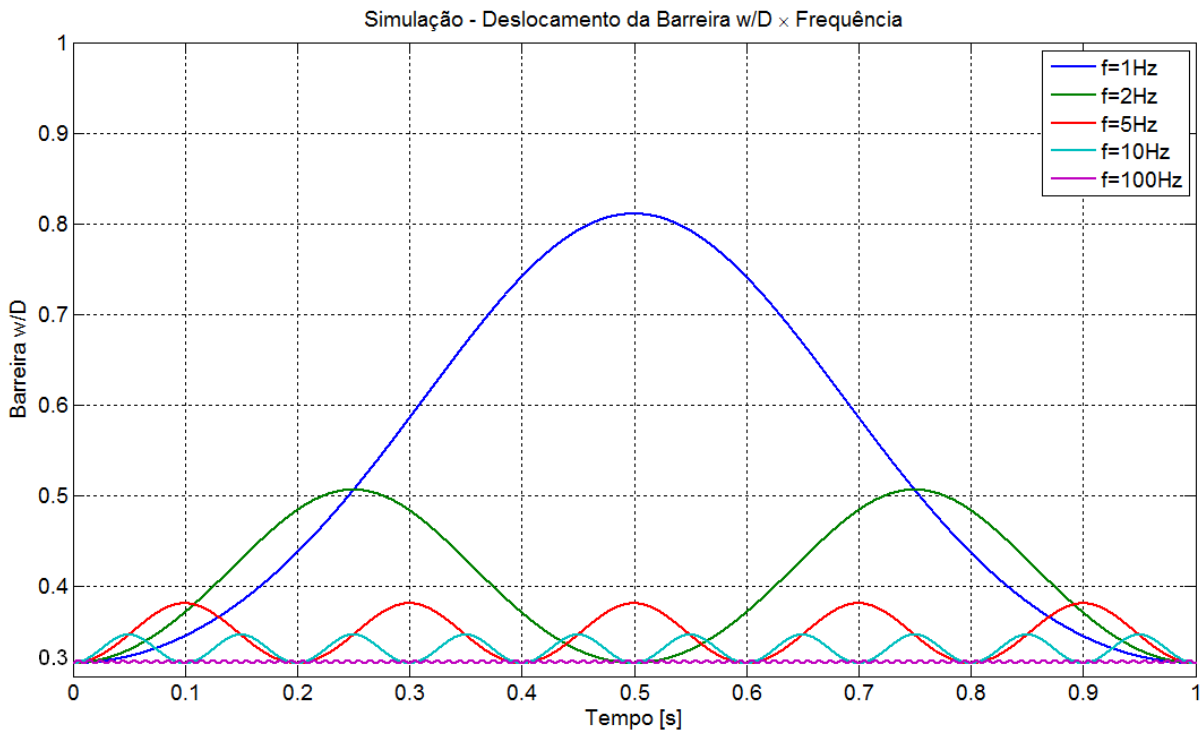


Figura 3.16: Simulação da influência da frequência na movimentação da barreira $x = \frac{w}{D}$. Demais parâmetros:
 $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$.

3.2.9 Influência da Frequência - Chaveamento *Soft* e *Hard*

Observou-se que para frequências baixas a barreira x alcançava o extremo superior e assim permanecia por um certo tempo, ou seja, durante este intervalo o dispositivo estava

chaveado no estado ON. A isto se dá o nome de chaveamento *hard*, enquanto que os demais casos são chamados de chaveamento *soft*. A Figura 3.17 apresenta duas curvas $I \times V$ para duas frequências distintas, demonstrando o chaveamento *hard* para uma frequência de $0,5Hz$ e *soft* para uma frequência de $1Hz$. A posição da barreira x está apresentada na Figura 3.18, em ambos os casos.

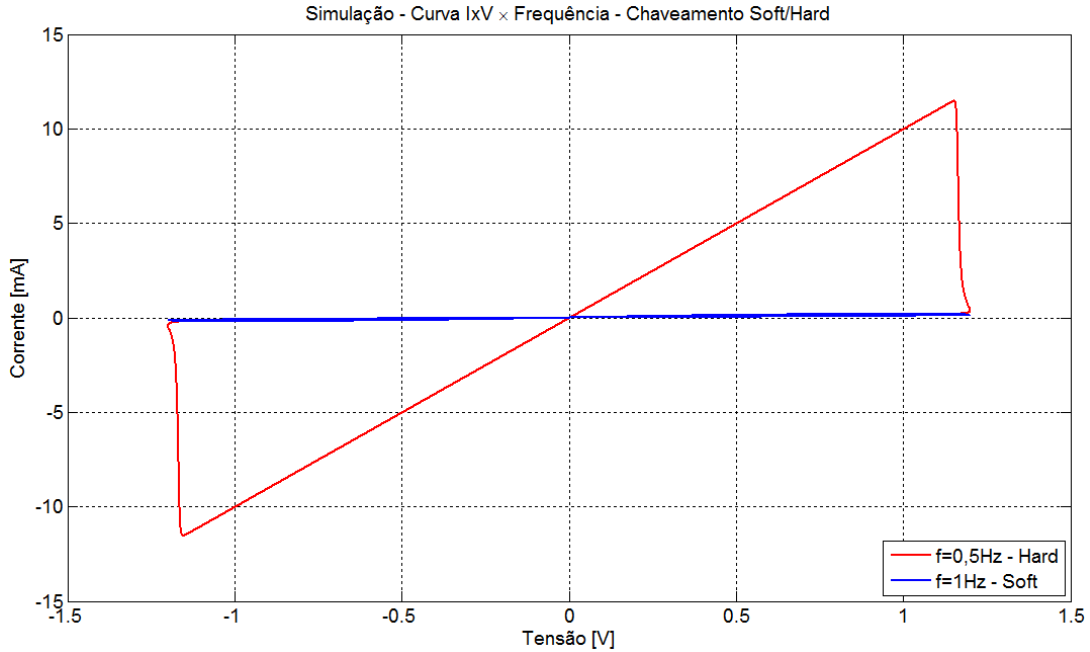


Figura 3.17: Simulação da influência da frequência no tipo de chaveamento - *soft* e *hard*. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$.

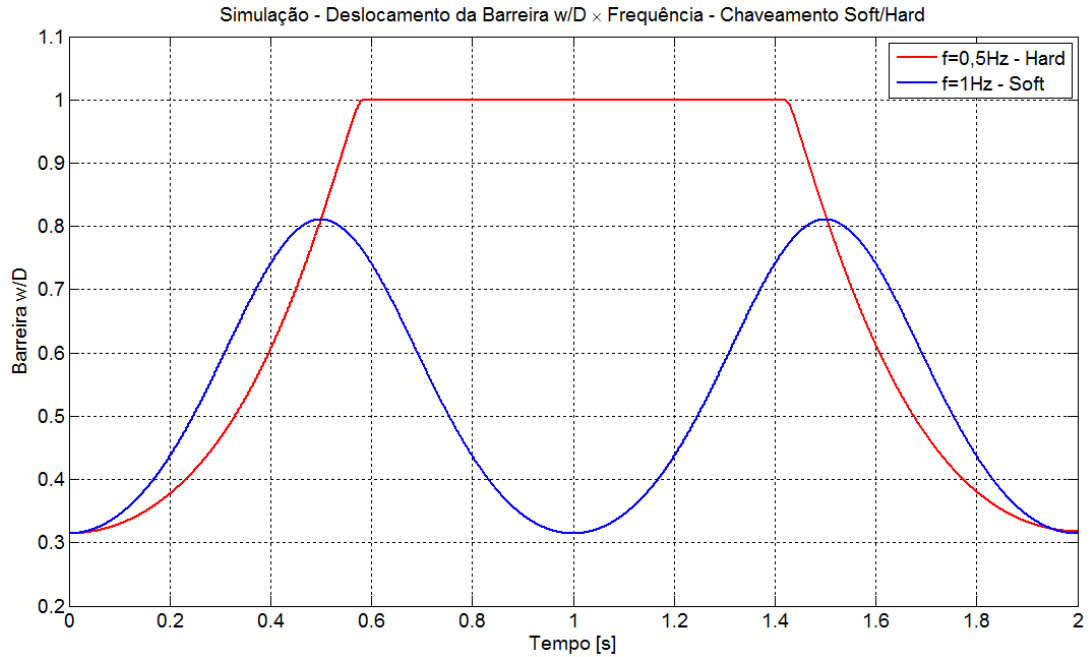


Figura 3.18: Simulação da influência da frequência na movimentação da barreira $x = \frac{w}{D}$ nos chaveamentos *soft* e *hard*. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$.

Ressalta-se que o mesmo fenômeno pode ser obtido para uma mesma frequência, po-

rém variando-se outros parâmetros que influenciam a velocidade de chaveamento do memoristor, como por exemplo a mobilidade iônica.

3.2.10 Influência da Frequência na Variação de Resistência

Uma vez que para frequências maiores o laço de histerese da curva $I \times V$ se torna menos expressivo, realizaram-se simulações para investigar a variação da resistência do memoristor ao longo do tempo em função da frequência do sinal de excitação. Para todos os casos foram amostrados os valores máximo e mínimo obtidos, R_{MAX} e R_{MIN} , respectivamente, e calculou-se a variação normalizada em relação à resistência R_{OFF} , ou seja, $\Delta R = \frac{R_{MAX} - R_{MIN}}{R_{OFF}}$. Para o memoristor simulado, o valor máximo esperado de ΔR é de $\Delta R_{MAX} = \frac{16k\Omega - 100\Omega}{16k\Omega} = 0,9938$. A Figura 3.19 apresenta os valores obtidos e uma função ajustada a estes pontos.

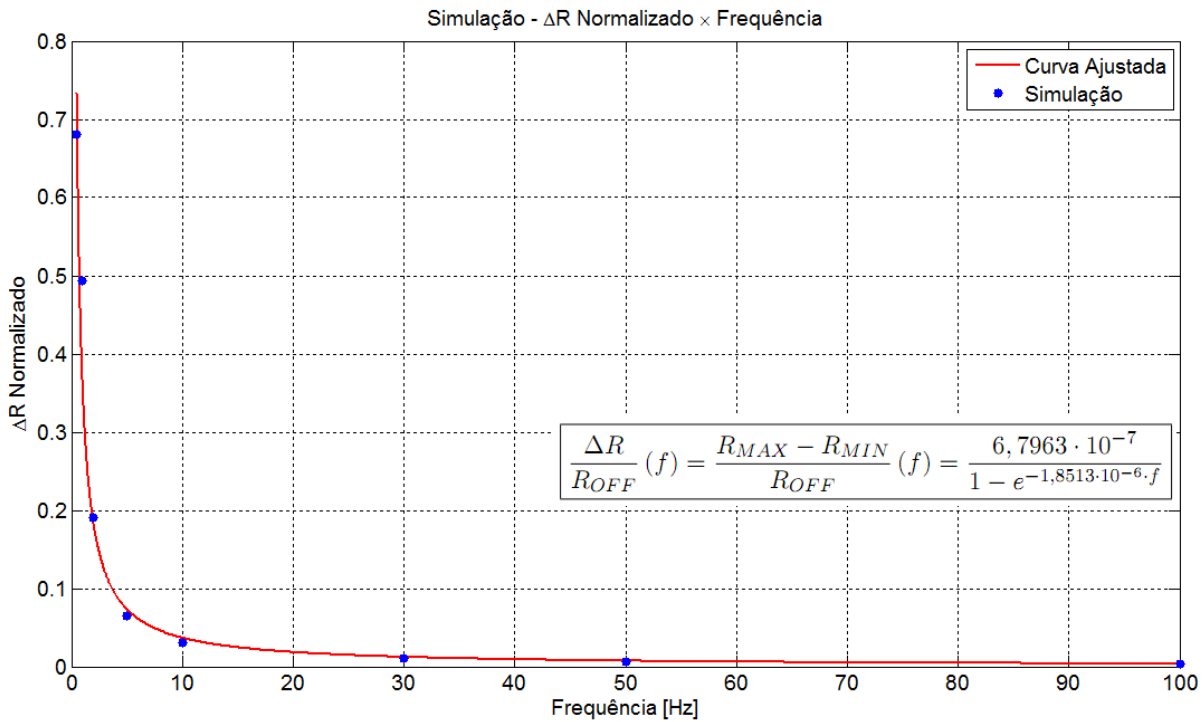


Figura 3.19: Simulação da influência da frequência na variação de resistência. Demais parâmetros: $\mu_v = 10 \cdot 10^{-15} m^2 s^{-1} V^{-1}$, $p = 1$, $D = 10nm$, $R_{ON} = 100\Omega$, $R_{OFF} = 16k\Omega$, $V = 1.2V$, $R_{INIC} = 11k\Omega$.

Como era esperado, observa-se um decaimento para zero da variação de resistência normalizada do memoristor. Isto está de acordo com o resultado da Seção 3.2.8, onde foi observado que para valores crescentes de frequência o memoristor se comporta como um resistor comum, com resistência constante. Nota-se, por fim, que para o modelo utilizado a variação de resistência do memoristor decai exponencialmente com a frequência.

4 Procedimento Experimental

4.1 Amostras Disponíveis

As amostras disponíveis para eletroformação e caracterização elétrica são estruturas semelhantes à apresentada na Figura 2.5, fornecidas pela *HP Labs*. Por meio da técnica *sputtering*, primeiramente um eletrodo inferior (BE) de platina é depositado sobre um substrato de silício, então uma camada de óxido de titânio e por último o eletrodo superior de platina, perpendicular ao primeiro. A estrutura exata do dispositivo não pode ser divulgada por motivos de propriedade intelectual. A Figura 4.1 apresenta um *wafer* de silício contendo um conjunto de amostras em cruz. Nota-se que na deposição dos eletrodos é utilizada uma máscara de sombra e, por geometria, o cruzamento de dois eletrodos é aleatório, de modo que algumas amostras foram inutilizadas.

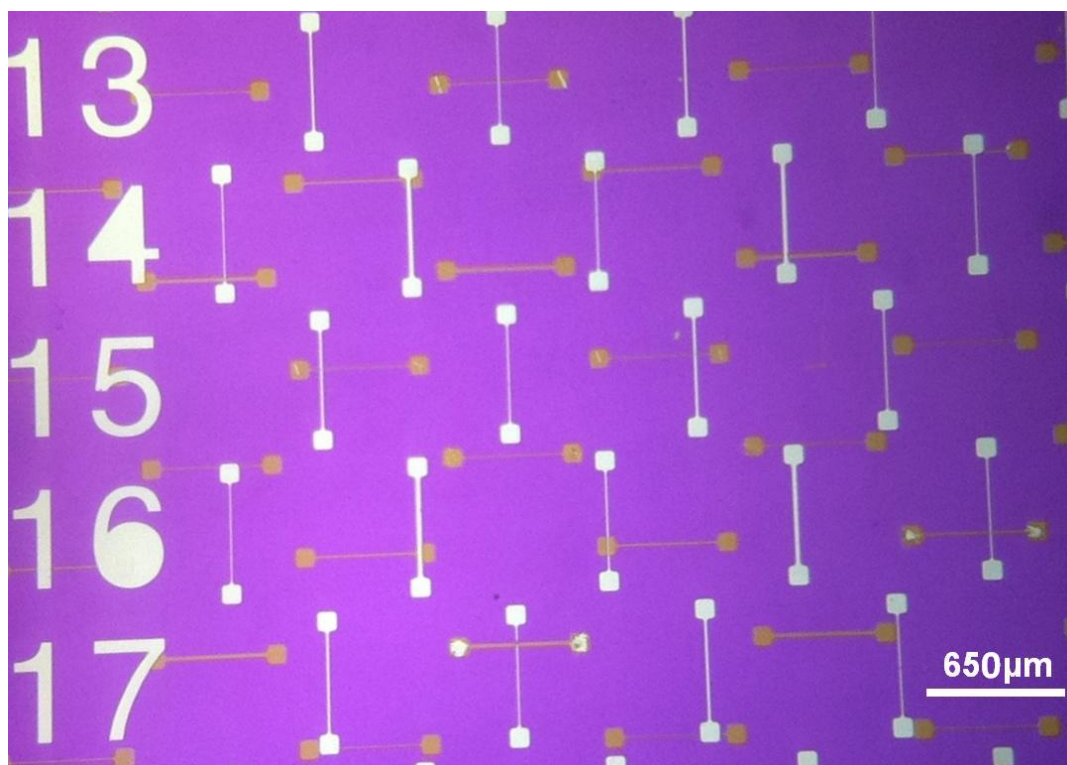


Figura 4.1: *Wafer* de silício contendo um conjunto de amostras de memristores da *HP Labs*, apresentando eletrodos inferiores (amarelo) e superiores (branco).

Uma vez que o eletrodo inferior é depositado primeiro, este é coberto por uma camada de óxido, que deve ser removida para que o contato elétrico seja possível. A Figura 4.2 apresenta dois dispositivos, o primeiro (a) com o eletrodo inferior original (amarelo) e o segundo (b) com o eletrodo inferior após a remoção do óxido por raspagem.

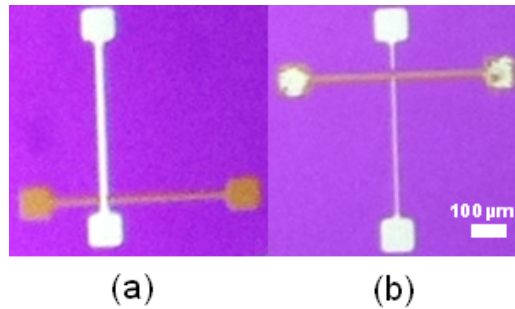


Figura 4.2: (a) Amostra com os eletrodos inferiores (amarelos) cobertos por óxido e (b) amostra com eletrodos inferiores raspados.

4.2 Eletroformação de Memristores

4.2.1 Primeira Proposta de Circuito

A primeira proposta de um circuito para eletroformação de memristores está esquematizada no diagrama em blocos da Figura 4.3. Partindo-se do princípio de que uma amostra não eletroformada apresenta uma alta resistência e que, após a aplicação de uma tensão suficientemente elevada, esta decresceria diversas ordens de grandeza, projetou-se um circuito capaz de monitorar a variação de corrente no dispositivo, permitindo ajustar um limiar a partir do qual a eletroformação seria detectada e o dispositivo seria desconectado da tensão o mais rápido possível. Isto é necessário de modo a não danificar o dispositivo e busca obter uma maior repetibilidade nos dispositivos eletroformados.

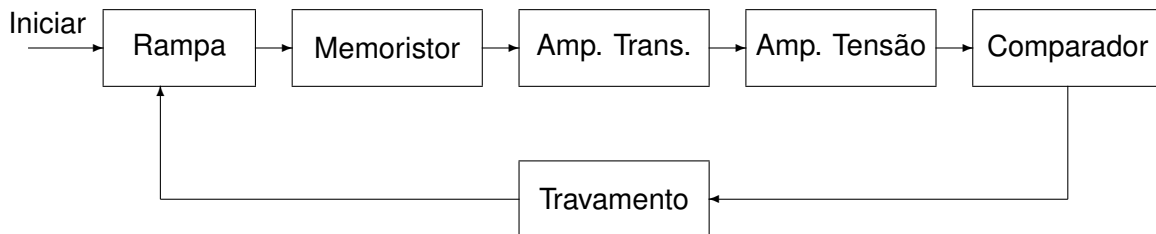


Figura 4.3: Diagrama em blocos da primeira proposta de circuito para eletroformação de memristores.

4.2.1.1 Descrição

A descrição de cada um dos blocos da Figura 4.3 será apresentada abaixo.

- **Rampa de Tensão**

Como cada memristor pode apresentar uma tensão de formação distinta, que depende da estrutura da amostra, a aplicação de uma rampa de tensão permite, ajustando o seu valor máximo, eletroformar dispositivos diferentes. Tanto a inclinação da rampa quanto a sua amplitude máxima devem ser ajustadas experimentalmente. A proposta inicial de um circuito gerador de rampa está apresentada na Figura 4.4.

O transistor PNP é polarizado de modo a atuar como uma fonte de corrente constante I_E , que carrega um capacitor C . Como a tensão sobre o capacitor é dada pela equação

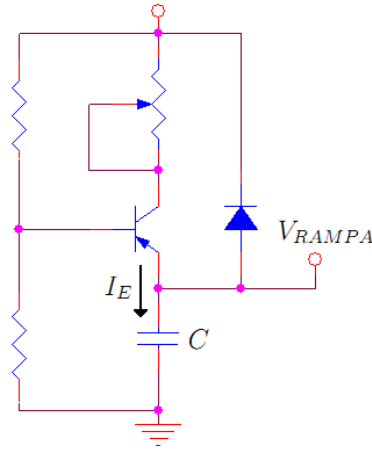


Figura 4.4: Circuito gerador de rampa de tensão

$$V_C = \frac{1}{C} \int_0^t I_E(t) dt \quad (4.1)$$

com I_E constante obtém-se

$$V_C = \frac{I_E}{C} \cdot t = V_{RAMPA} \quad (4.2)$$

A tensão da rampa é limitada automaticamente um pouco abaixo da tensão de alimentação, pois à medida que $|V_{BE}|$ se aproxima de $0V$ o transistor passa a conduzir menos corrente. Como espera-se que a resistência dos memoristores seja bem alta, da ordem de $G\Omega$, não há a necessidade de se utilizar um *buffer* entre o capacitor C e a saída de tensão da rampa.

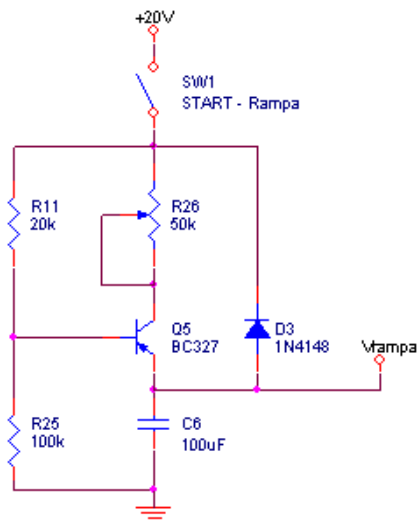


Figura 4.5: Circuito final de geração de rampa de tensão da primeira proposta de circuito para eletroformação de memoristores.

- **Memoristor**

Será substituído a princípio por um resistor de $1G\Omega$ para testes.

- **Amplificador de Transresistência**

Com base em experimentos realizados em [11], estimou-se inicialmente que a resistência dos dispositivos a serem estudados seria da ordem de giga Ohms ($10^9 \Omega$), de modo que a corrente elétrica a ser monitorada, reciprocamente, seria da ordem de nano Ampères ($10^{-9} A$). Como durante o processo de eletroformação a resistência do dispositivo cai diversas ordens de grandeza, estimou-se uma mudança na corrente para até micro Ampères ($10^{-6} A$) uma vez que o canal de condução tivesse sido formado. Como a medição de tensão em dispositivos com elevada impedância é mais problemática do que a medição de corrente, optou-se por monitorar o estado do dispositivo (eletroformado ou não) através da sua corrente, utilizando um amplificador de transresistência, cuja configuração básica é apresentada na Figura 4.6.

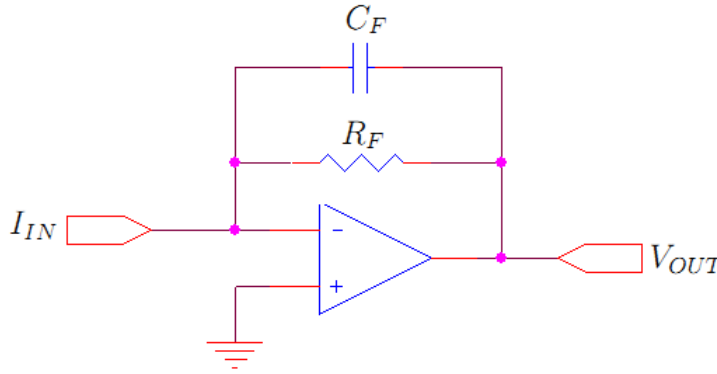


Figura 4.6: Circuito amplificador de transresistência básico.

A função de transferência do circuito da Figura 4.6 pode ser escrita como

$$V_{OUT} = -I_{IN} \cdot \frac{R_F \cdot \frac{1}{sC_F}}{R_F + \frac{1}{sC_F}} \quad (4.3)$$

$$G(s) = \frac{V_{OUT}}{I_{IN}} = \frac{\frac{-1}{C_F}}{s + \frac{1}{R_F C_F}} \quad (4.4)$$

Esta função de transferência apresenta módulo

$$|G(\omega)| = \frac{R_F}{\sqrt{1 + (\omega R_F C_F)^2}}, \quad (4.5)$$

E, assim, para baixas frequências o ganho do amplificador é de $R_F \left[\frac{V}{A} \right]$. A existência de um polo em $\omega_c = \frac{1}{R_F C_F}$ limita o uso deste amplificador para frequências elevadas à medida que o ganho de tensão aumenta, ou seja, para valores de R_F maiores. Uma análise mais aprofundada, considerando parâmetros não ideais do amplificador operacional, como a sua capacitância de entrada (C_{IN}), mostram que a resistência R_F , que em geral é elevada, em conjunto com C_{IN} , criam um zero em $\omega = 0$ (diferenciador), tornando o circuito instável. Esta é a justificativa da utilização de um capacitor de realimentação adicional, C_F .

A largura de banda do amplificador é obtida em função do produto $\text{ganho} \times \text{largura de banda}$ do operacional utilizado (f_{GBW}), de suas capacitâncias parasitas em modo diferencial e comum e do ganho desejado. Assim, há um compromisso entre a frequência do sinal a ser amplificado e o fator de amplificação.

Para a primeira proposta de circuito para eletroformação de memoristores optou-se por utilizar um amplificador de transresistância em uma configuração especial que fornece uma maior imunidade ao ruído [12], apresentada na Figura 4.7.

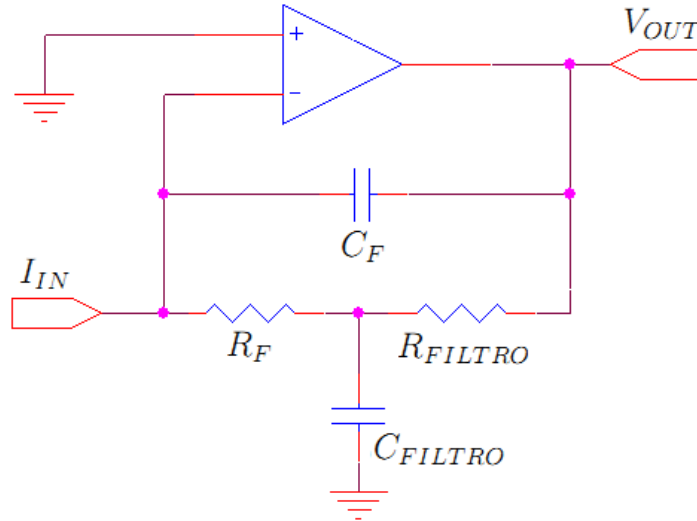


Figura 4.7: Circuito amplificador de transresistância com filtro adicional de ruído.

Adotou-se um ganho dado por $R_F = 1M\Omega$ e ajustou-se experimentalmente o valor de C_F em $68pF$. Mantendo-se uma relação $R_F C_F = 2R_{FILTRO} C_{FILTRO}$, para os valores adotados a frequência de corte é dada por [12]

$$f_c = \frac{1}{2\pi\sqrt{R_F R_{FILTRO} C_F C_{FILTRO}}} = 1,062kHz. \quad (4.6)$$

Além disso, optou-se pela utilização do amplificador operacional OPA602, que apresenta uma corrente de entrada de $\pm 1pA$, para permitir uma maior exatidão no valor obtido, além de alto *slew rate* ($35 \frac{V}{\mu s}$, embora esse valor não tenha sido verificado para grandes sinais) e banda de 6,5MHz.

• Amplificador de Tensão

Este estágio é composto por um amplificador não inversor simples com ganho ajustável entre $1 \frac{V}{V}$ e $1000 \frac{V}{V}$ através de um potenciômetro. Este estágio é utilizado para adaptar o sinal vindo do amplificador de transresistância ao estágio comparador de tensão, permitindo também um ajuste de fundo de escala (por exemplo, $20nA = 10V$).

• Comparador de Tensão

O próximo estágio é um comparador de tensão utilizando o integrado LM339, otimizado para comparação de tensões e com saída em coletor aberto. Este circuito é responsável por comparar a corrente no memoristor com um valor de *setpoint* (por exemplo, $5V = 10nA$). Quando a corrente desejada é atingida, a saída do comparador é levada para nível lógico alto, indicando que o memoristor foi eletroformado e este deve ser desconectado da tensão da rampa.

A Figura 4.8 apresenta o circuito final contendo os estágios amplificador de transresistência, amplificador de tensão e comparador de tensão.

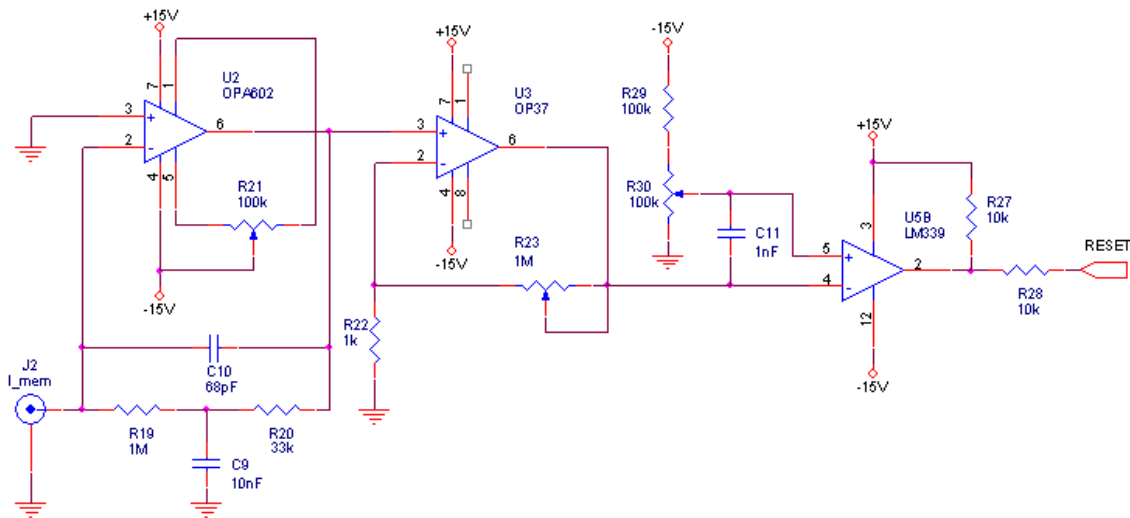


Figura 4.8: Circuito final de amplificação e comparação da primeira proposta de circuito para eletroformação de memoristores.

• Circuito de Travamento

O circuito responsável por conectar o memoristor à rampa de tensão e, no momento oportuno, desconectá-lo, está apresentado na Figura 4.9.

O memoristor está em paralelo com o mosfet Q_3 , conectado ao circuito através do conector J_1 . Inicialmente, a porta do mosfet Q_1 está aterrada pelo resistor R_4 , de modo que o mosfet Q_1 está aberto e a porta do mosfet Q_3 está em aproximadamente $15V$. Assim, o memoristor está inicialmente curto-circuitado ao terra. Quando um pulso HABILITAR é recebido, o mosfet Q_1 é ativado, o que leva a porta do mosfet Q_2 para um nível baixo, cortando-o. Assim, um sinal de cerca de $7,5V$ é realimentado pelo diodo D_1 e trava o circuito no modo "habilitado", mesmo após o sinal de habilitar ter sido retirado. O amplificador U_4 serve apenas como *buffer* de proteção, e o resistor R_{24} de *pull down* pode ser ajustado para a impedância de entrada desejada. Neste ponto o memoristor está conectado à tensão da rampa, que vale zero até que esta seja ativada, através do resistor R_9 , que limita a corrente no memoristor e no mosfet Q_3 , protegendo-o. Um pulso de RESET (vindo do comparador) retorna o circuito ao seu estado inicial, curto-circuitando o memoristor ao terra e desviando a corrente da rampa pelo mosfet Q_3 . Os valores dos resistores de dreno e de *pull down* foram ajustados experimentalmente para otimizar os

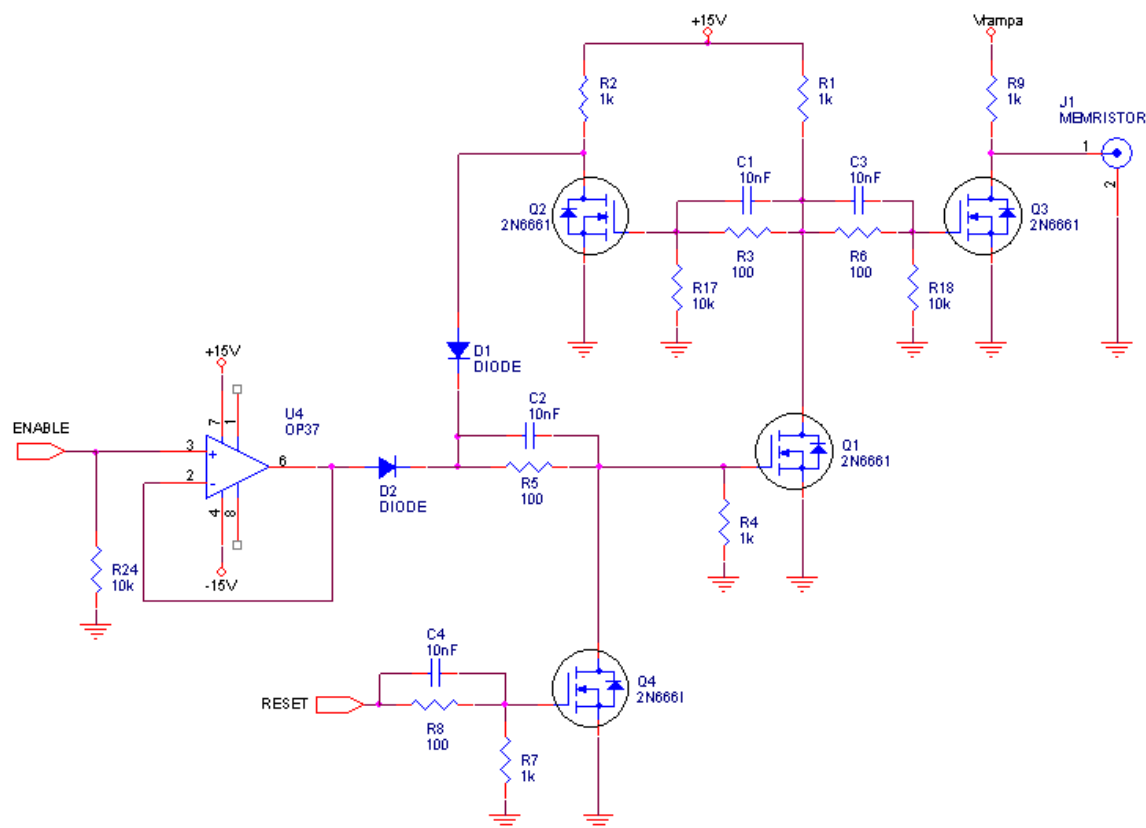


Figura 4.9: Circuito final de habilitação e chaveamento da primeira proposta de circuito para eletroformação de memoristores.

tempos de chaveamento dos mosfets. Os capacitores C_1 a C_4 também contribuíram para uma ativação mais rápida.

4.2.1.2 Resultados e Conclusões

Utilizando-se como memoristor um resistor de $1G\Omega$ foi possível utilizar o amplificador de transresistência para medir correntes da ordem de nA , com as devidas precauções tomadas, como, por exemplo, o uso de caixas metálicas, cabos de blindagem e a conexão do circuito sem a utilização de placas de circuito impresso, apenas com os componentes soldados uns aos outros, em especial a conexão com o terminal da entrada não inversora do operacional. Porém, verificou-se que é muito difícil obter precisão na medição desta escala de corrente e, além disso, o amplificador de transresistência para ganhos elevados se mostrou instável, ainda que com um capacitor de realimentação.

Com base na verificação experimental de todas estas dificuldades, e na idéia de uma nova proposta de circuito, o circuito da primeira proposta foi abandonado, porém serviu como aprendizado para circuitos de instrumentação na medição de baixas correntes.

4.2.2 Segunda Proposta de Circuito

A segunda proposta de circuito de eletroformação de memoristores é baseada no fato de que a resistência do dispositivo deve variar continuamente entre o seu valor antes da eletroformação (dispositivo virgem) e um dos seus estados de chaveamento, R_{ON} e R_{OFF} . Assim, se a mesma rampa de tensão for aplicada a um resistor conhecido e ao memoristor, ambos em um divisor resistivo, comparando-se as tensões sobre o resistor de referência e o memoristor é possível saber quando a resistência deste se tornou igual ou menor a do anterior. A Figura 4.10 apresenta o circuito em formato de um diagrama em blocos.

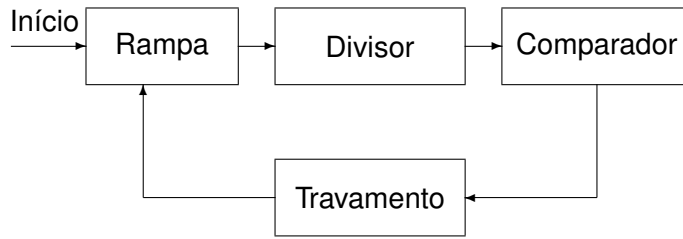


Figura 4.10: Diagrama em blocos da segunda proposta de circuito para eletroformação de memoristores.

4.2.2.1 Descrição

A descrição de cada um dos blocos da Figura 4.10 será apresentada abaixo.

- **Rampa de Tensão**

O sinal a ser aplicado sobre o memoristor é fornecido por um gerador de rampa de tensão, como apresentado na Seção 4.2.1.1.

- **Divisor Resistivo**

O divisor resistivo apresentado na Figura 4.11 permite a comparação da resistência instantânea do memoristor com um resistor de referência.

Aplicando-se a mesma tensão sobre ambos os braços resistivos, obtém-se as seguintes tensões

$$V_A = V_{RAMPA} \cdot \frac{R_{MEM}}{R_{MEM} + R_{REF}}$$

$$V_B = V_{RAMPA} \cdot \frac{R}{R + R} = \frac{V_{RAMPA}}{2}$$

Inicialmente, com $R_{VIRGEM} \gg R_{REF}$, $V_A \approx V_{RAMPA} > V_B$. Quando a tensão aplicada sobre o memoristor alcançar um determinado valor, no qual o campo elétrico no interior do dispositivo é capaz de provocar a formação de um ou mais canais de alta condutância, a resistência do dispositivo vista pelo braço resistivo esquerdo cairá, assim como a tensão V_A . Adotando, por exemplo, que a resistência do dispositivo cai de $100M\Omega$ para

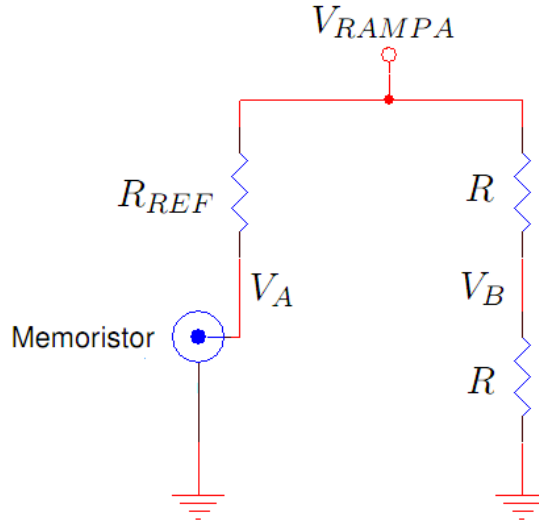


Figura 4.11: Circuito divisor resistivo.

$100k\Omega$ no processo de eletroformação, pode-se adotar um resistor de referência com valor $100M\Omega > R_{REF} > 100k\Omega$. Supondo $R_{REF} = 500k\Omega$, no instante em que a resistência do memoristor for igual à do resistor de referência,

$$V_A = V_{RAMPA} \cdot \frac{R_{MEM}}{R_{MEM} + R_{REF}} = V_{RAMPA} \cdot \frac{R_{MEM}}{R_{MEM} + R_{MEM}} = \frac{V_{RAMPA}}{2} = V_B$$

e neste instante de tempo ambas as tensões V_A e V_B são iguais. Caso a tensão da rampa continue sendo aplicada sobre o memoristor, V_A decrescerá até que

$$V_A = V_{RAMPA} \cdot \frac{R_{ON}}{R_{ON} + R_{REF}} < V_B$$

Assim, o instante em que $V_A = V_B$ deve ser utilizado como instante de decisão no circuito que retira a tensão da rampa sobre o dispositivo. Espera-se que ao final do processo $R_{MEM} \simeq R_{REF}$.

• Comparador de Tensão

O circuito comparador de tensão é o mesmo apresentado na Seção 4.2.1.1 que, agora, compara as duas tensões providas do divisor resistivo.

• Travamento

O circuito utilizado para habilitar a rampa de tensão e desconectá-la do memoristor no momento apropriado está apresentado na Figura 4.12, conectado ao divisor resistivo e ao comparador de tensão.

Mantendo-se o sinal $\overline{ENABLE}$ em nível alto (por exemplo, V_{DD}), o mosfet Q_{10} está conduzindo e desviando a tensão da rampa para o terra, de modo que a tensão aplicada ao divisor resistivo vale $R_{44} \cdot I_E$ que, embora muito próxima de zero, é grande o suficiente

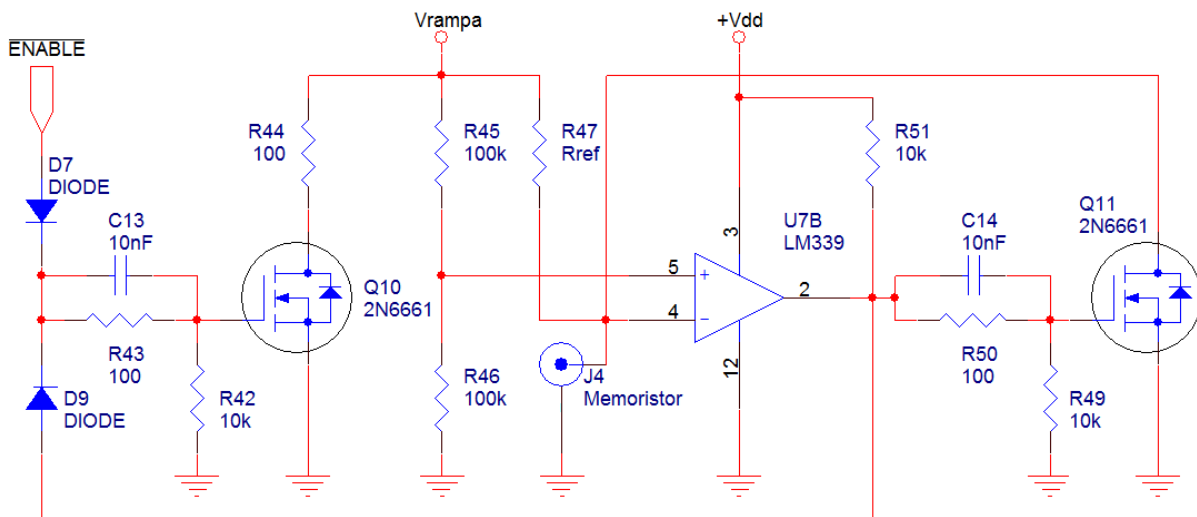


Figura 4.12: Circuito final de habilitação, divisor resistivo e comparação da segunda proposta de circuito para eletroformação de memoristores.

para que o comparador de tensão não oscile. Com a saída do comparador em zero, Q_{11} está em aberto e o memoristor está conectado ao circuito.

Retirando-se o sinal de $\overline{ENABLE}$, a porta do mosfet Q_{10} é aterrada através de R_{42} , que abre e permite que a rampa de tensão passe a subir. No instante em que a tensão na entrada não inversora do comparador exceder a tensão da entrada inversora, ou seja, houver uma queda na resistência do memoristor abaixo de R_{REF} , a saída do comparador é levada a nível alto, fazendo com que Q_{11} curto-circuite o memoristor com o terra e ao mesmo tempo que o sinal de $\overline{ENABLE}$ seja realimentado e travado através do diodo D_9 , desligando a rampa permanentemente. Para que o circuito possa ser utilizado novamente, este deve ser desligado e reiniciado.

4.2.2.2 Resultados e Conclusões

Testes preliminares com este circuito indicaram que é extremamente difícil obter estados de resistência intermediários em dispositivos de óxido de titânio. Além disso, verificou-se que as amostras de memoristor não se comportam como resistores de alto valor, mas apresentam um comportamento retificador, de modo que após uma certa tensão de polarização a resistência cai drasticamente, mesmo quando a eletroformação ainda não ocorreu. Resultados experimentais da Seção 4.3 indicam que, para as amostras utilizadas, a razão entre as resistências R_{OFF} e R_{ON} é de cerca de $100\times$, com $R_{ON} \approx 100\Omega$ e $R_{OFF} \approx 10k\Omega$. Porém, a transição do estado ON para o estado OFF apresenta uma mudança de resistência de apenas 100 ohms, uma vez que a junção *Schottky-like* está diretamente polarizada. Assim, novos ensaios experimentais devem ser realizados para dimensionar uma resistência de referência apropriada, garantindo a eletroformação. Além disso, com resistências baixas a corrente elétrica é bem maior do que a prevista, de modo que o circuito gerador de rampa proposto não é mais adequado. O circuito da segunda proposta foi abandonado e poderá ser retomado após uma maior experiência com o comportamento real dos dispositivos.

4.2.3 Terceira Proposta de Circuito

A partir das tentativas anteriores, conclui-se que um novo método de eletroformação de memoristores é necessário. A verificação da formação pelo valor da corrente elétrica, além de ser tecnicamente trabalhosa, é incapaz de detectar transições abruptas de corrente para os casos em que um valor de compliância foi previamente atingido. Por exemplo, para a eletroformação utilizando uma rampa de tensão de 0 a 15V com compliância de 5mA, caso esta compliância seja atingida em, por exemplo, $V_{rampa} = 10V$ e a formação ocorra em, por exemplo, $V_{rampa} = 13V$, o circuito não detectaria a criação do canal de condução. Um valor de compliância para a corrente de formação tem sido associado à obtenção de modos de chaveamento de resistência distintos [13] e a uma maior repetibilidade [14] no comportamento dos dispositivos.

Por outro lado, a comparação das tensões entre um resistor de referência e o memoristor de interesse também se mostrou inviável, uma vez que o dispositivo apresenta um comportamento dominante de diodo. Observou-se também que para alguns dispositivos a polaridade do chaveamento não correspondia com a esperada e, além disso, devido à natureza rápida do chaveamento e da alteração da resistência através de canais de condução dentro do filme óxido, que ainda vêm sendo estudados, concluiu-se que esta técnica é inviável.

A Figura 4.13 apresenta a terceira proposta para circuito de eletroformação de memoristores.

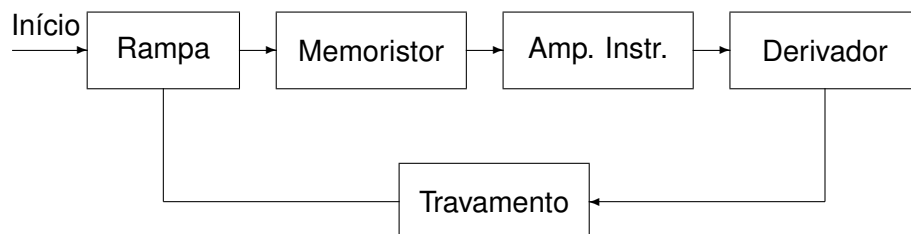


Figura 4.13: Diagrama em blocos da terceira proposta de circuito para eletroformação de memoristores.

4.2.3.1 Descrição

A descrição de cada um dos blocos da Figura 4.13 será apresentada abaixo.

- **Rampa de Tensão**

A rampa de tensão é fornecida por um gerador de sinais comercial.

- **Amplificador de Instrumentação**

Devido ao fato de que as amostras disponíveis apresentam um formato em cruz, é ideal que sejam realizadas medidas a quatro pontos, a fim de eliminar a influência das resistências de contato e de cabeamento. Assim, optou-se por utilizar um amplificador de instrumentação que mede a tensão aplicada sobre o dispositivo, em modo diferencial e com alta rejeição a ruído em modo comum. O sinal obtido equivale à tensão real aplicada sobre a junção.

• Derivador

Observou-se que durante o processo de eletroformação ocorre uma diminuição abrupta na tensão sobre a junção, associada à queda de resistência. Assim, optou-se por identificar a formação através da localização de uma transição rápida no sinal de tensão medido pelo amplificador de instrumentação. Para isso, utilizou-se um filtro passa-faixa ativo (FPFA) como circuito derivador, uma vez que um circuito derivador simples é naturalmente instável devido à presença de um zero na origem na sua função de transferência.

A Figura 4.14 apresenta a estrutura do filtro passa-faixa ativo utilizado como derivador.

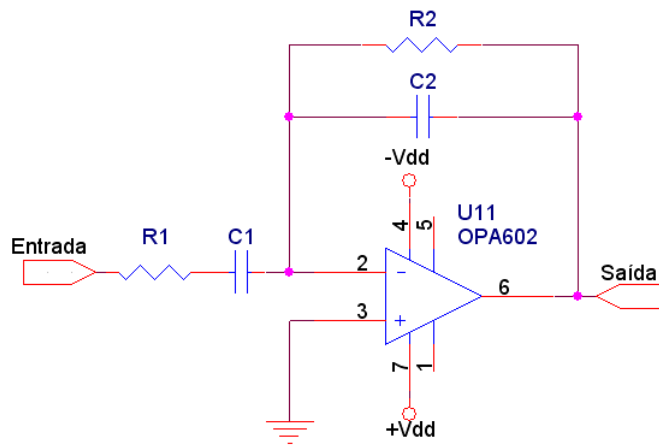


Figura 4.14: Circuito do filtro passa-faixa ativo utilizado como derivador. Fonte: Adaptado de [6].

O circuito apresentado na Figura 4.14 apresenta uma alta estabilidade e redução de ruído. Os componentes R_1C_1 e R_2C_2 não só reduzem o efeito do ruído de alta frequência na entrada, mas também formam uma rede na malha de realimentação que, se colocada abaixo da frequência de transição do operacional, fornece ainda uma maior estabilidade por compensação de fase.

Para este circuito, as seguintes relações devem ser utilizadas:

$$f_c = \frac{1}{2\pi R_2 C_1} = \frac{f_T}{10^4} \quad (4.7)$$

$$f_h = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi R_2 C_2} = \frac{f_T}{10^3} \quad (4.8)$$

$$f_c \leq f_h \leq f_T \quad (4.9)$$

Utilizando-se o operacional OPA602 com frequência de transição $f_t = 10MHz$, obtém-se $f_c = 10kHz$ e $f_h = 100kHz$. Adotando-se $C_2 = 10pF$, obtém-se pela Equação (4.8)

$$R_2 = \frac{1}{2\pi \cdot 10pF \cdot 10^4} = 159,15k\Omega \rightarrow 150k\Omega$$

Pela Equação (4.7) obtém-se

$$C_1 = \frac{1}{2\pi \cdot 150k\Omega \cdot 10^3} = 106,10pF \rightarrow 100pF$$

Por fim, pela Equação 4.8, obtém-se

$$R_1 = \frac{1}{2\pi \cdot 100pF \cdot 10^4} = 15,92k\Omega \rightarrow 16,5k\Omega$$

As frequências relevantes obtidas valem $f_{h1} = \frac{1}{2\pi R_1 C_1} = 96,46kHz$, $f_{h2} = \frac{1}{2\pi R_2 C_2} = 106,1kHz$ e $f_c = \frac{1}{2\pi R_2 C_1} = 10,61kHz$. Ensaios experimentais utilizando-se um gerador de onda dente de serra para a simulação do momento de formação indicaram que o circuito apresentou uma resposta maior para um valor de $C_1 = 5,6nF$. Neste caso, as frequências relevantes teóricas obtidas são $f_{h1} = 1,723kHz$, $f_{h2} = 106,1kHz$ e $f_c = 189,5Hz$. A Figura 4.15 apresenta as respostas em frequência teóricas do circuito antes e após o ajuste do capacitor C_1 .

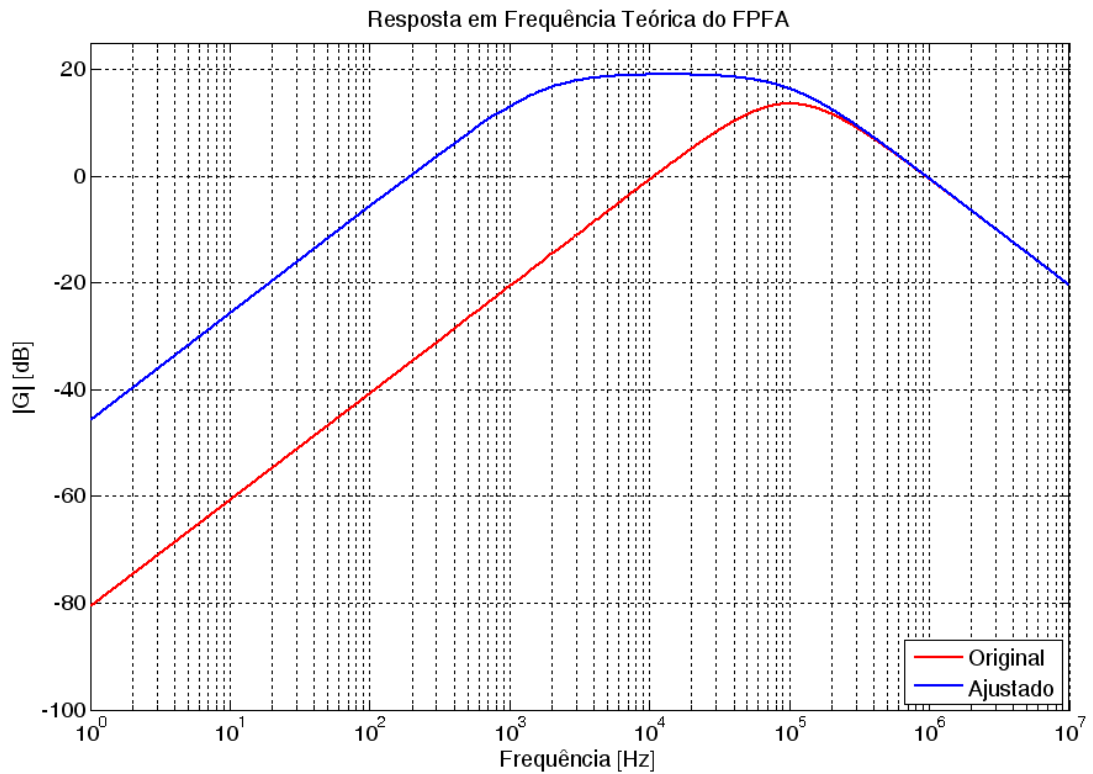


Figura 4.15: Respostas em frequência teóricas do FPFA para os dois valores de C_1 considerados.

• Travamento

O circuito utilizado para habilitar a rampa de tensão e desconectá-la do memoristor no momento apropriado é o mesmo apresentado anteriormente. Porém, ao invés de ser ativado pela saída do comparador de tensão, nesta proposta o ganho do FPFA deve ser ajustado de modo que a sua saída possa ativar diretamente a porta do mosfet que inicia o processo de travamento.

A Figura 4.16 apresenta o circuito completo da terceira proposta de circuito para eletroformação de memoristores.

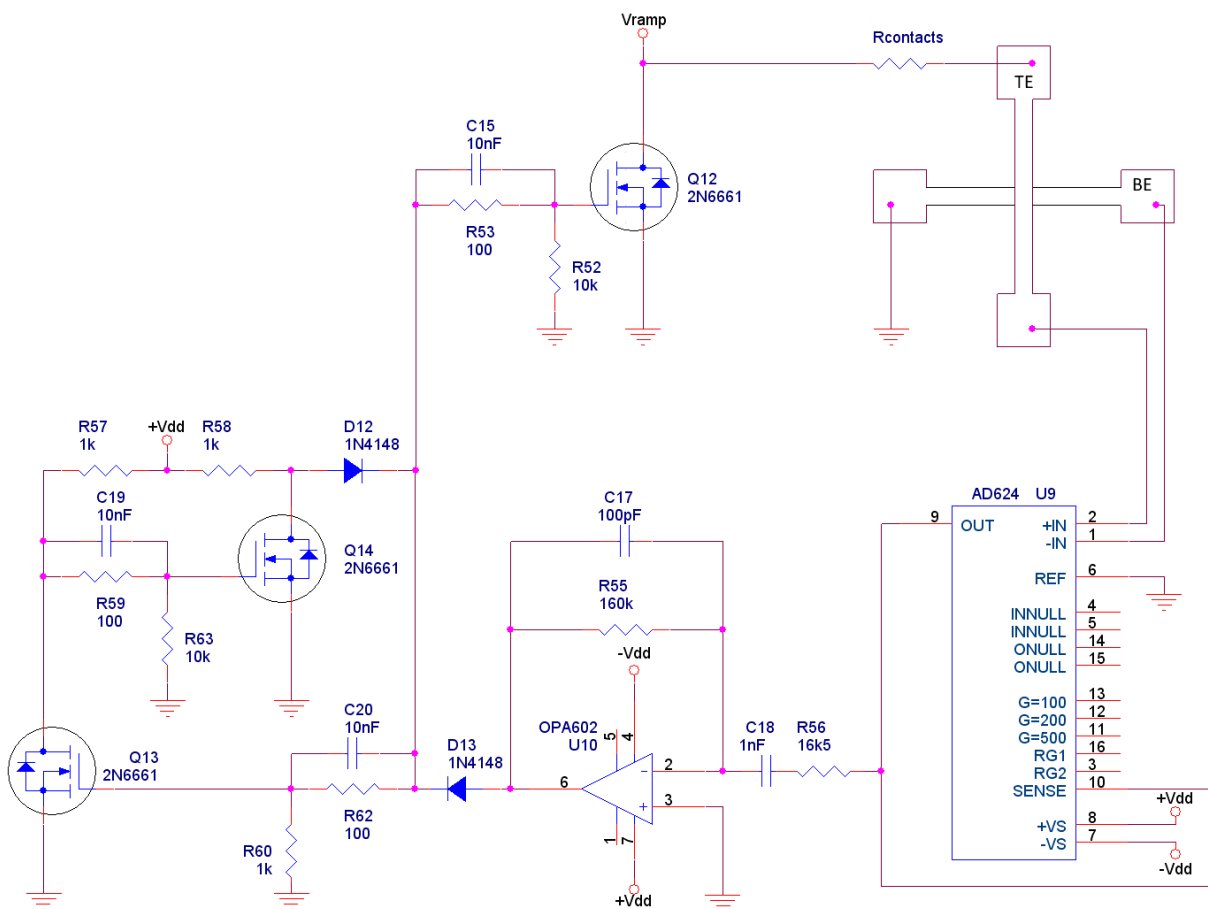


Figura 4.16: Circuito final da terceira proposta de circuito para eletroformação de memoristores.

4.2.3.2 Resultados e Conclusões

A fim de verificar o funcionamento do circuito para as etapas de formação e chaveamento de memoristores, o circuito foi implementado e testado em uma amostra virgem. A tensão sobre o memoristor foi amostrada utilizando-se uma placa de aquisição da *National Instruments* associada a um programa em LabVIEW para a obtenção de um arquivo de dados.

• Eletroformação em OFF

A Figura 4.17 apresenta as formas de onda de tensão sobre o memoristor (saída do amplificador de instrumentação) e da sua derivada (saída do FPFA) ao longo do tempo, durante a aplicação de uma rampa de tensão sobre o dispositivo no processo de eletroformação.

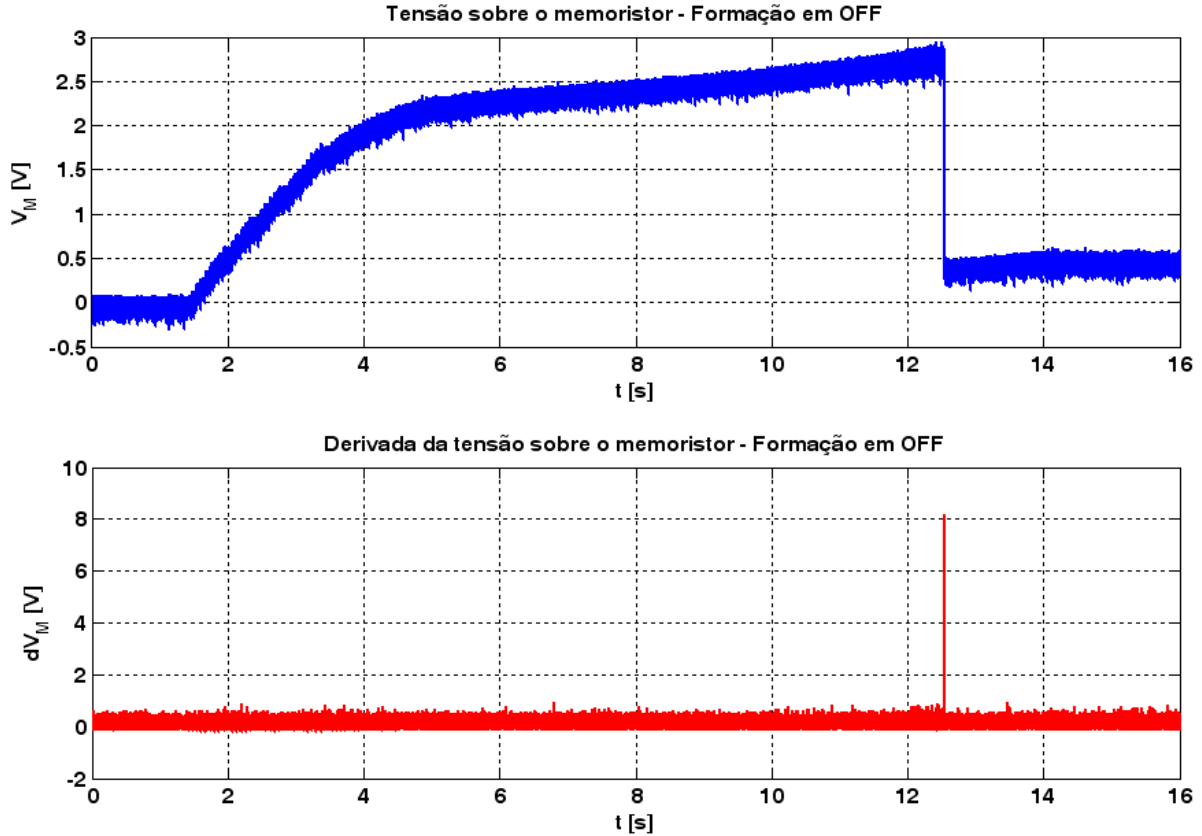


Figura 4.17: Formas de onda de tensão sobre o memoristor e sua derivada durante a eletroformação para o terceiro circuito para formação de memoristores.

É possível notar que após a eletroformação em $t \approx 12,55s$ observa-se uma queda abrupta na tensão sobre o memoristor e um grande pico de tensão na saída do circuito derivador, como esperado. Ao final da rampa, porém, para o circuito com a função de transferência ajustada, a queda de tensão sobre o memoristor provocou um pico próximo ao nível de ruído no FPFA. Assim, nota-se que o circuito deve ser ajustado para responder a uma faixa de frequências de interesse com o ganho desejado. A Figura 4.18 apresenta uma ampliação do instante de formação.

Observa-se uma variação de $dV_M \frac{-2,3682V}{100\mu s} = -23,68 \frac{kV}{s}$ com um pulso no FPFA de largura de $500\mu s$ e amplitude $\approx 8,1592V$.

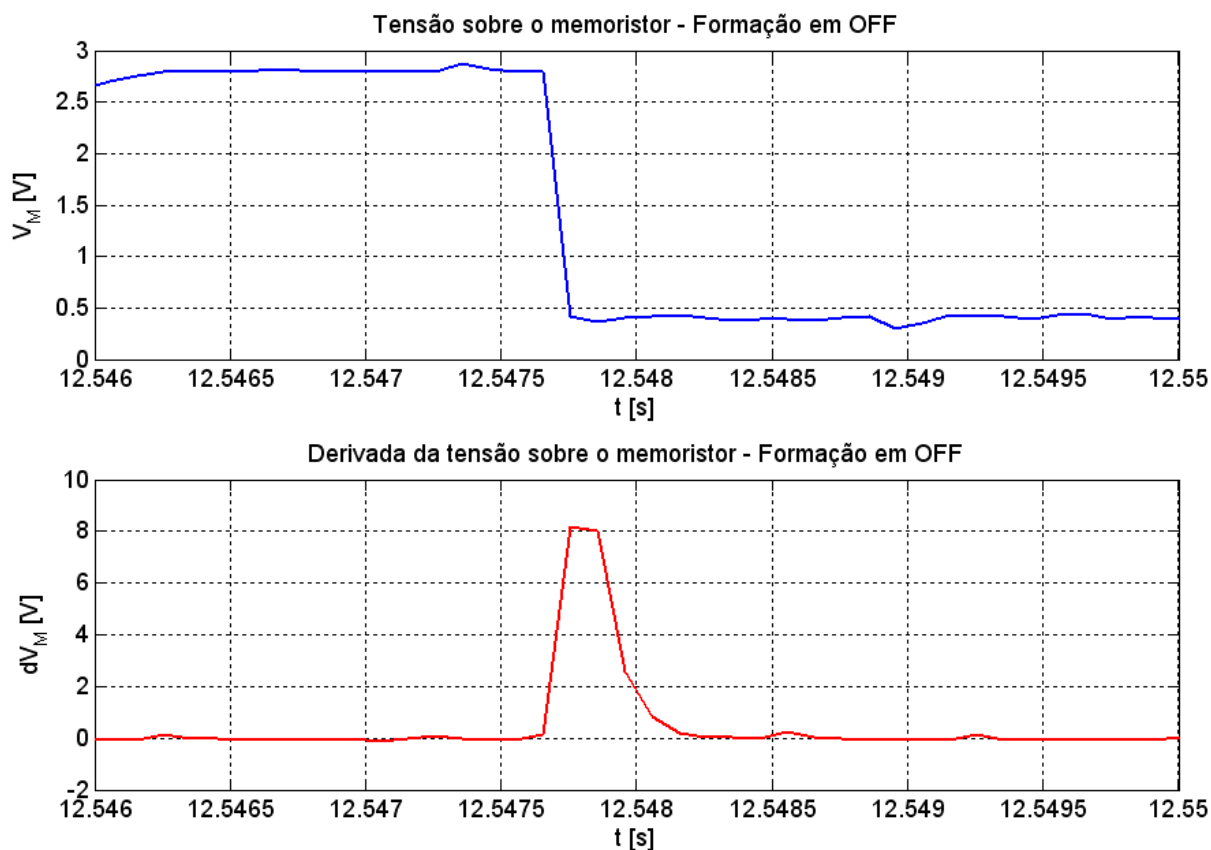


Figura 4.18: Ampliação das formas de onda de tensão sobre o memoristor e sua derivada durante a eletroformação para o terceiro circuito para formação de memoristores no instante de eletroformação.

• Chaveamento para ON

A Figura 4.19 apresenta as formas de onda de tensão sobre o memoristor (saída do amplificador de instrumentação) e da sua derivada (saída do FPFA) ao longo do tempo, durante a aplicação de uma rampa de tensão sobre o dispositivo no processo de chaveá-lo para o estado ON.

Observa-se que durante o chaveamento de OFF para ON em $t \approx 2,5s$ a grande diminuição da resistência do dispositivo provocou um pico de tensão de amplitude semelhante ao obtido durante o processo de eletroformação. Já se pode observar, também, alguns aspectos destes dispositivos que terminam por invalidar esta proposta de circuito. Após o chaveamento, o dispositivo salta novamente para um estado de resistência maior, permanecendo neste até o final da rampa de tensão. Esta transição não é percebida pelo FPFA e, em alguns casos, o processo de eletroformação ocorre de maneira semelhante, como uma série de pequenos degraus que não são suficientemente rápidos para travar o circuito. O oposto também foi verificado, uma pequena transição muito rápida é capaz de ocasionar um travamento prematuro do circuito, sem que o dispositivo tenha sido eletroformado.

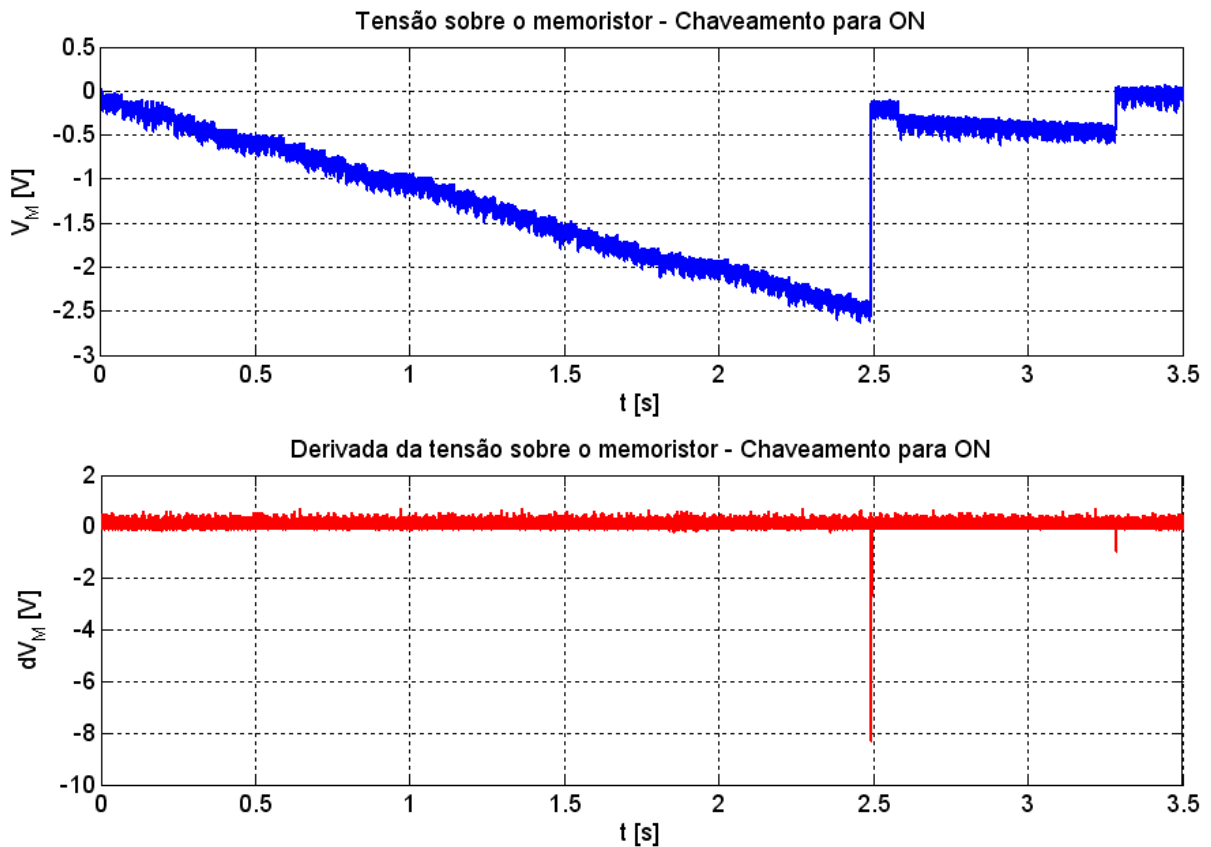


Figura 4.19: Formas de onda de tensão sobre o memoristor e sua derivada durante o chaveamento para ON para o terceiro circuito para formação de memoristores.

• Chaveamento para OFF

Por fim, a Figura 4.20 apresenta as formas de onda de tensão sobre o memoristor (saída do amplificador de instrumentação) e da sua derivada (saída do FPFA) ao longo do tempo, durante a aplicação de uma rampa de tensão sobre o dispositivo no processo de chaveá-lo para o estado OFF.

Observa-se que, para o chaveamento para OFF em questão, as transições foram únicas e foram claramente detectadas pelo circuito derivador.

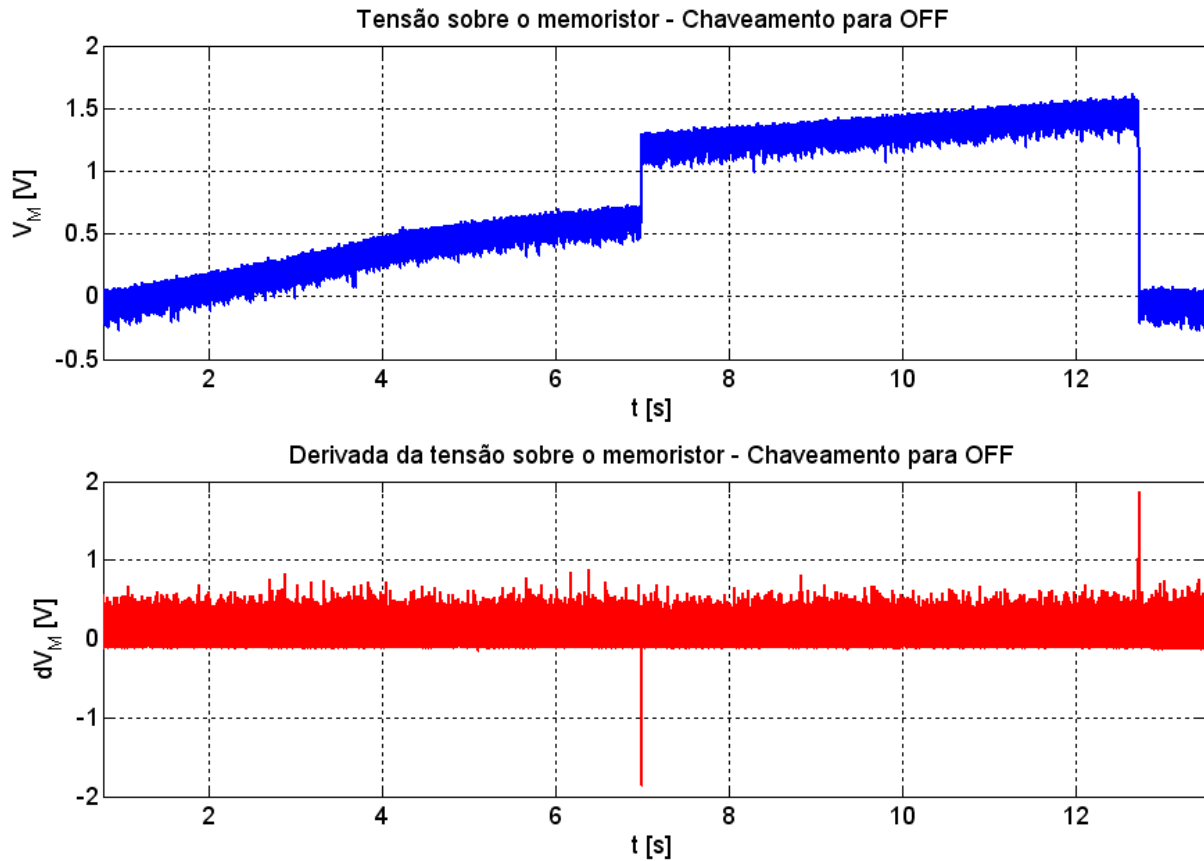


Figura 4.20: Formas de onda de tensão sobre o memoristor e sua derivada durante o chaveamento para OFF para o terceiro circuito para formação de memoristores.

Assim, a princípio, esta técnica poderia ser utilizada para eletroformar e chavear memoristores. Porém, o processo de eletroformação é crítico e de difícil controle, sendo também influenciado pelas características físicas e imperfeições dos filmes de material depositados. Assim, a criação de um circuito que consiga de fato eletroformar e chavear memoristores em todos os casos requer uma combinação das técnicas aqui citadas, possivelmente combinadas com técnicas de inteligência artificial para o reconhecimento das diversas formas de onda observadas. Os dispositivos com eletroformação vêm perdendo o interesse, pois esta etapa torna o seu uso em memórias de alta capacidade de armazenamento inviáveis (grande número de eletroformações necessárias e sem repetibilidade). Por este motivo, estes dispositivos vêm sendo substituídos por dispositivos mais finos que não requerem esta etapa (dispositivos *forming free* que, porém, não são objeto de estudo deste trabalho.

4.2.4 Utilizando o Analisador de Parâmetros de Semicondutores HP4145B

O analisador de parâmetros de semicondutores HP4145B, apresentado na Figura 4.21, é um instrumento capaz de realizar uma caracterização DC de dispositivos e materiais semicondutores. Ele é capaz de estimular dispositivos sensíveis à tensão ou à corrente, medir as correntes ou tensões resultantes e apresentar os resultados em um formato selecionado pelo usuário (gráfico, lista, matriz ou schmoo) na tela de raios catódicos. Uma calculadora *on-board* permite o cálculo em tempo real de parâmetros dependentes de tensão/corrente, como o ganho de corrente (h_{FE}) e transcondutância (g_m) de transistores, que também podem ser exibidos na tela. Além disso, o HP4145B apresenta uma série de ferramentas de análise gráfica como marcadores, cursores, função linha e interpolação.



Figura 4.21: Analisador de parâmetros de semicondutores HP4145B.

Quatro canais internos chamados de *source monitor units* (SMUs) compõem o coração do analisador de parâmetros. Cada SMU pode ser programado independentemente para funcionar como uma fonte de tensão/medidor de corrente ou uma fonte de corrente/medidor de tensão. Um transistor pode, por exemplo, ser caracterizado nas configurações de base-comum, emissor-comum e coletor comum sem que sejam necessárias alterações nas conexões com o HP4145B. O HP4145B também possui duas fontes de tensão e dois canais medidores de tensão para serem utilizados com dispositivos com mais de quatro terminais, como circuitos integrados. O HP4145B pode ser controlado diretamente do painel frontal, por protocolo GPIB ou por rotinas armazenadas em um disquete.

4.2.4.1 Materiais e Métodos

A fim de obter medições de tensão sobre o memoristor com maior exatidão, faz-se necessário o método de medição utilizando quatro pontos. Cada amostra, como apresentado na Seção 4.1, é composta por dois eletrodos em cruz que se situam acima e abaixo do filme de óxido. Assim, é possível aplicar uma tensão ou corrente através de dois eletrodos e medir a queda de tensão real sobre o dispositivo através dos dois eletrodos restantes. Como a impedância de entrada de um medidor de tensão é bem alta, a corrente que circulará nos eletrodos é baixa e as quedas de tensão nas resistências de contato são desprezíveis, tornando a medição mais exata. Além disso, os dois eletrodos não são de alguma forma influenciados pela corrente principal que circula pelo dispositivo. Uma medida convencional em dois pontos somaria uma tensão de diversos *Volts* à tensão lida sobre o memoristor, uma vez que a re-

sistência dos contatos, seja por microagulha de tungstênio ou por fios de ouro com epóxi de prata, varia de centenas de Ω até diversos $k\Omega$.

O esquema de conexão utilizado está apresentado na Figura 4.22. Neste experimento, dois SMUs são utilizados para fornecer uma rampa de tensão, sendo o primeiro configurado como fonte de tensão variável e o segundo como terra. Estes canais são conectados ao dispositivo através de micro fios de ouro colados aos eletrodos do dispositivo por epóxi condutora de prata ($\approx 90\%$), reduzindo as resistências e quedas de tensão neste ramo.

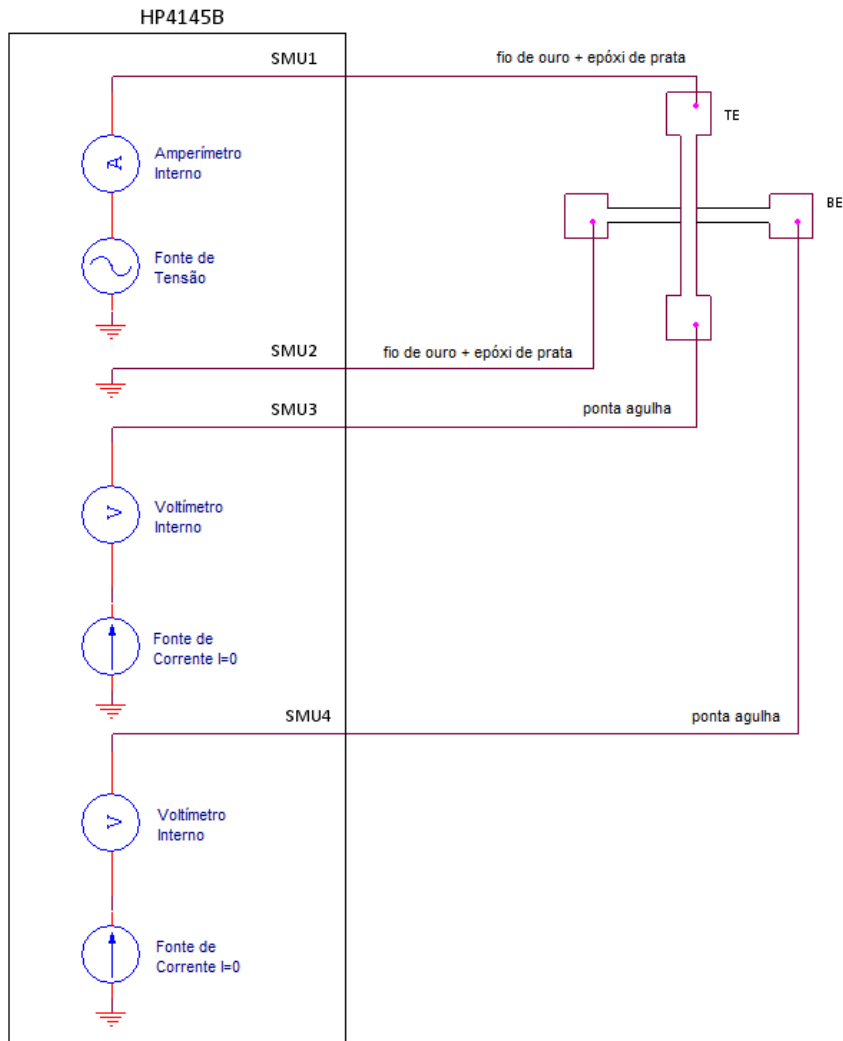


Figura 4.22: Esquema de conexões para eletroformar e chavear dispositivos com o HP4145B.

A tensão sobre o memoristor é medida em modo diferencial utilizando-se os voltímetros dos dois canais SMU restantes, ambos configurados como fontes de corrente constante de valor $I = 0A$. Ao forçar a corrente a ser zero obtém-se uma alta impedância de entrada, de modo que as resistências de contato das pontas de agulha podem ser ignoradas. As curvas $I \times V$ podem ser obtidas traçando-se $(V_{SMU3} - V_{SMU4}) \times I_{SMU1}$. A Figura 4.23 apresenta um esquema com as resistências de contato. Cabos de conexão entre o HP4145 e as conexões com fio de ouro/pontas de agulha não são exibidas.

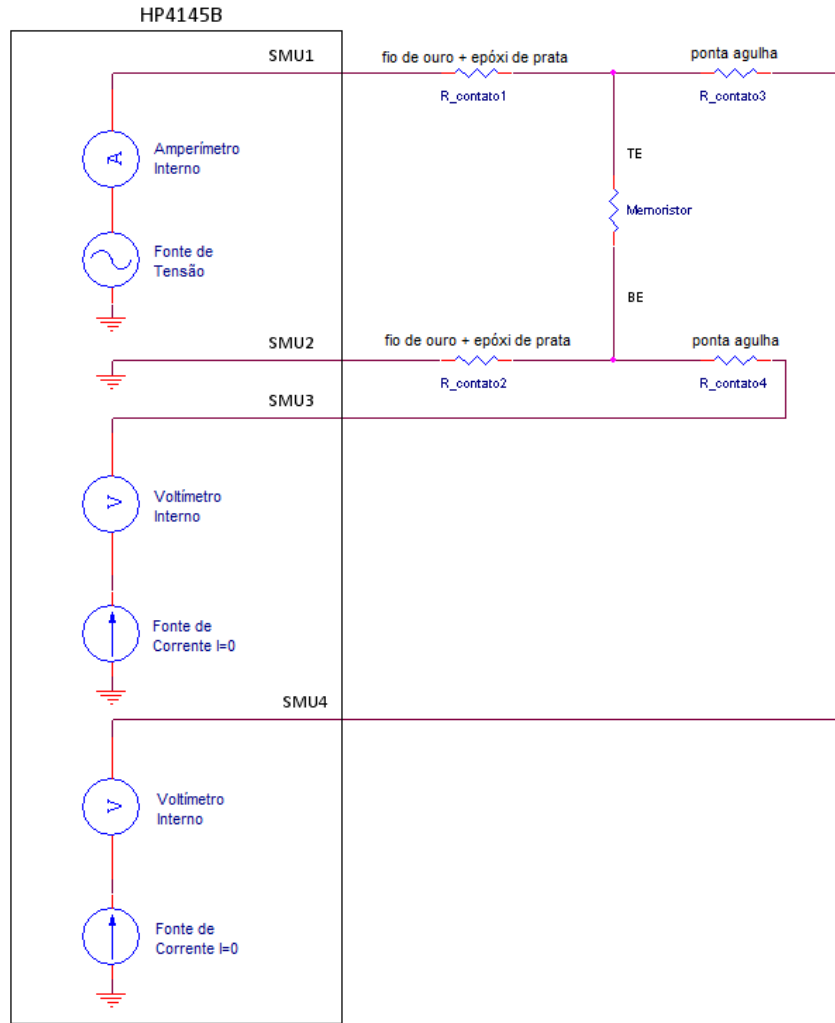


Figura 4.23: Esquema de conexões para eletroformar e chavear dispositivos com o HP4145B ilustrando as resistências de contato.

4.2.4.2 Resultados e Conclusões

Foram realizadas diversas varreduras de tensão para verificar o comportamento do memoristor antes da eletroformação e nos chaveamentos ON e OFF. Os resultados obtidos estão apresentados abaixo.

- **Dispositivo Virgem:**

Após uma varredura de $-2V$ a $2V$ observa-se na Figura 4.24 que o memoristor apresenta o comportamento de um diodo. Para tensões negativas a corrente é aproximadamente zero (nA) e, após uma tensão de cerca de $1V$, quando a barreira *Schottky-like* está conduzindo, observa-se um grande aumento na corrente. Neste ponto, a resistência dinâmica do memoristor é inferior a $R_{MEMVIRGEM} = \frac{2V}{200\mu A} = 10k\Omega$.

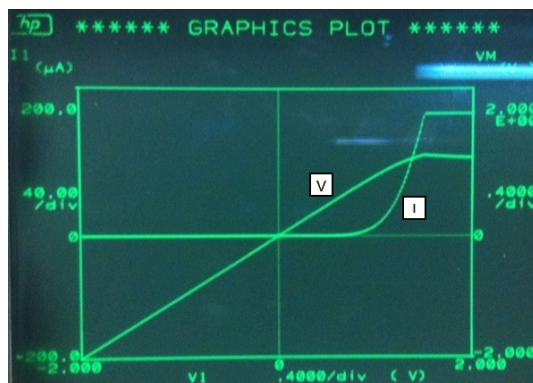
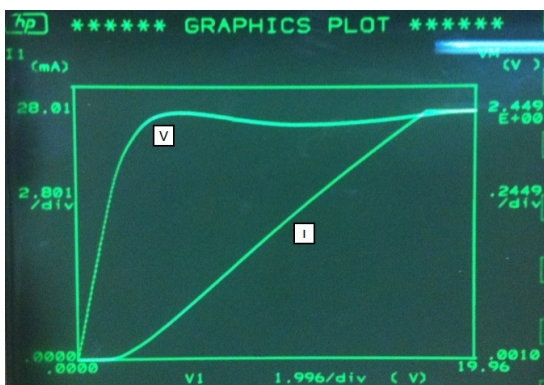


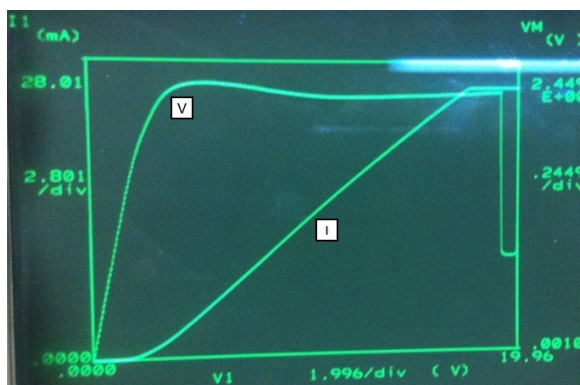
Figura 4.24: Experimento com o HP4145B: varredura de tensão de $-2V$ a $2V$ apresenta o comportamento retificador do dispositivo antes da eletroformação.

• Eletroformação em OFF:

Aplicando-se rampas de tensão com tensões finais e compliâncias de corrente crescentes, buscou-se eletroformar o dispositivo com uma tensão positiva sobre o eletrodo superior, ou seja, de modo a levar o dispositivo ao estado OFF após a ocorrência da formação de um ou mais canais de alta condutância. A Figura 4.25 (a) apresenta uma varredura de tensão sem sucesso e, aplicando-se a mesma varredura uma segunda vez, a eletroformação (b), caracterizada pela queda de tensão abrupta no final da varredura, provocada pela queda de resistência do dispositivo. Para o estado final, a resistência do memoristor é inferior a $R_{MEMOFF1} = \frac{1,25V}{28mA} = 44,64\Omega$.



(a)



(b)

Figura 4.25: Experimento com o HP4145B: (a) varredura de tensão sem eletroformação e (b) a mesma varredura aplicada novamente com eletroformação.

A Figura 4.26 apresenta uma varredura de tensão de $-0,5V$ a $0,5V$ do dispositivo eletroformado. Observa-se que agora o dispositivo apresenta um comportamento ôhmico dominante, de modo que a curva $I \times V$ apresenta uma suave inflexão na origem. Para o extremo inferior, a resistência dinâmica do dispositivo é de cerca de $R_{MEMON1} = \frac{0,463V}{17,91mA} = 25,85\Omega$. Concluiu-se que a varredura com uma tensão negativa já foi suficiente para chavear o dispositivo para o estado ON, o que é comprovado na próxima varredura de tensão.

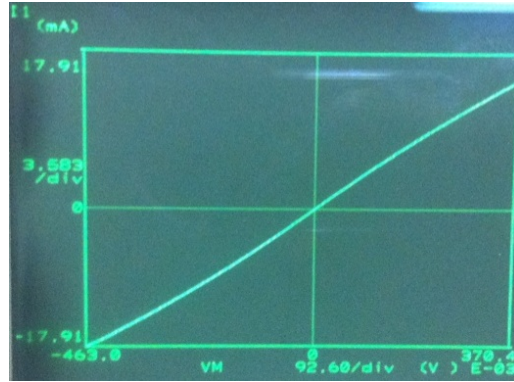
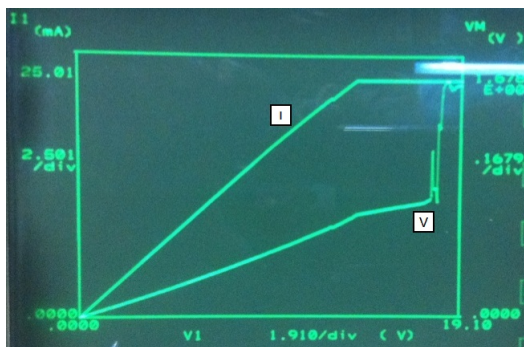


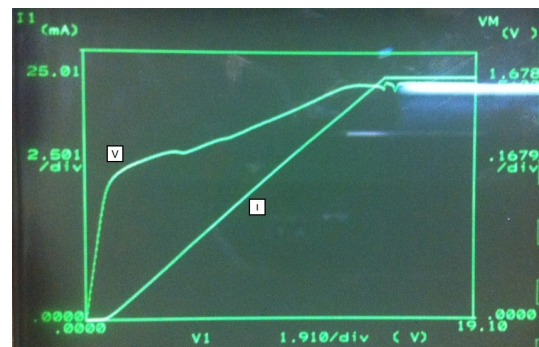
Figura 4.26: Experimento com o HP4145B: varredura de tensão de $-0,5V$ a $0,5V$ apresenta o comportamento ôhmico do dispositivo após a eletroformação.

- **Chaveamento para OFF:**

Uma rampa de tensão positiva foi novamente aplicada o dispositivo. A Figura 4.27 (a) apresenta o salto de tensão para um valor maior, indicando que o dispositivo chaveou para um estado de resistência maior. Neste caso, resistência final do dispositivo vale aproximadamente $R_{MEMOFF2} = \frac{1,678V}{25mA} = 67,12\Omega$. Observa-se, então, um aumento de resistência no estado OFF para os dois primeiros chaveamentos. A Figura 4.27 (b) apresenta a mesma varredura aplicada novamente, onde se observa que embora a resistência do dispositivo tenha se mantido a mesma, grande parte da condução ainda é dominada pela junção *Schottky-like*, o que condiz com a teoria de que o chaveamento ocorre na interface e, para o estado OFF, é uma combinação da resistência após a formação do canal e efeitos retificadores.



(a)



(b)

Figura 4.27: Experimento com o HP4145B: (a) varredura de tensão com chaveamento para OFF e (b) a mesma varredura aplicada novamente indicando a manutenção do estado OFF.

- **Chaveamento para ON:**

Uma rampa de tensão negativa foi aplicada no dispositivo. A Figura 4.28 apresenta o salto de tensão para um valor menor, indicando que o dispositivo chaveou para um estado de resistência menor. Neste caso, resistência final do dispositivo vale aproximadamente $R_{MEMON2} = \frac{0,56V}{5mA} = 111,1\Omega$. Observa-se, então, um aumento de resistência também no estado ON para os dois primeiros chaveamentos.

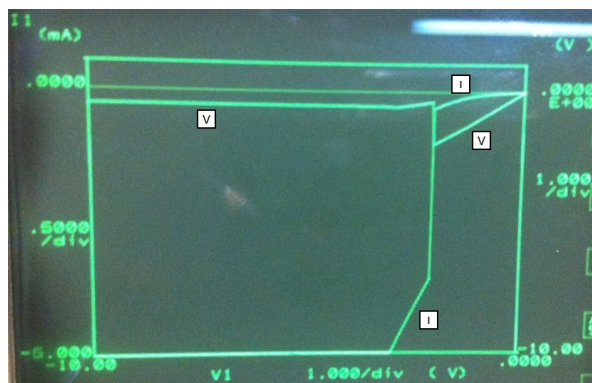


Figura 4.28: Experimento com o HP4145B: varredura de tensão com chaveamento para ON.

- **Chaveamento para OFF:**

O dispositivo foi novamente chaveado para OFF, com resistência final de $R_{MEMOFF3} = \frac{1,643V}{25mA} = 65,72\Omega$. A Figura 4.29 apresenta a curva de chaveamento.

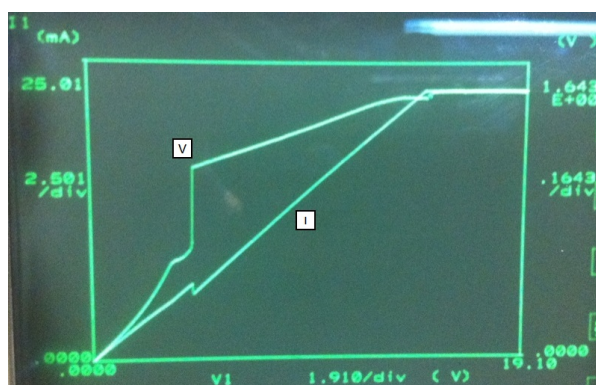


Figura 4.29: Experimento com o HP4145B: varredura de tensão com chaveamento para OFF.

- **Chaveamento para ON:**

O dispositivo foi novamente chaveado para ON, com resistência final de aproximadamente $R_{MEMON3} = \frac{0,75V}{5mA} = 150,13\Omega$. A Figura 4.30 apresenta a curva de chaveamento.

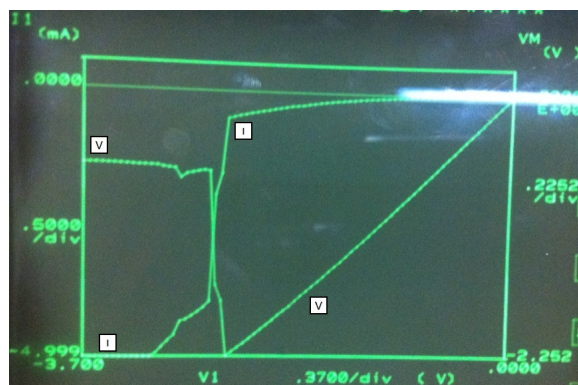


Figura 4.30: Experimento com o HP4145B: varredura de tensão com chaveamento para ON.

- **Chaveamento para OFF:**

O dispositivo foi novamente chaveado para OFF, porém com uma varredura menor de tensão, com resistência final de $R_{MEMOFF3} = \frac{1,241V}{11,14mA} = 111,4\Omega$. Assim, devido à influência da barreira *Schottky-like*, a resistência R_{OFF} instantânea é menor para valores menores de corrente e tensão, aproximando-se de R_{ON} para polarizações maiores. Deste modo, conclui-se que o estado do memoristor deve ser lido com tensões baixas, da ordem de $\pm 0,2V$ (Seção 4.3.1.2), onde a diferença entre os estados de alta e baixa resistência é mais acentuado.

A Figura 4.31 apresenta a curva de chaveamento.

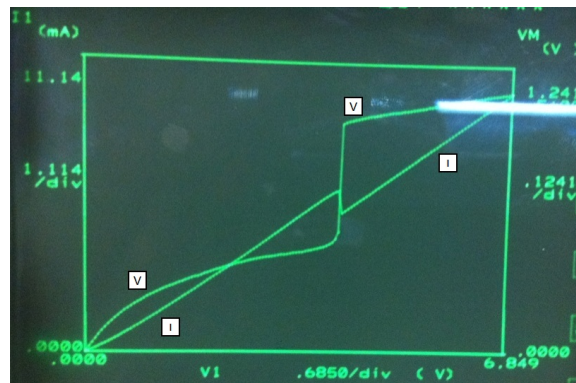


Figura 4.31: Experimento com o HP4145B: varredura de tensão com chaveamento para OFF.

4.3 Obtenção das Curvas $I \times V$

A obtenção das curvas $I \times V$ dos memoristores é essencial para a sua caracterização elétrica. É a partir dela que o comportamento dinâmico do memoristor pode ser estudado, como por exemplo a influência na simetria da tensão de alimentação no seu chaveamento, o formato real do laço de histerese, o comportamento em frequência entre outros.

O analisador de parâmetros de semicondutores HP4145B, até então utilizado para eletroformar dispositivos memoristores, não é capaz de realizar *loops* de tensão, apenas varreduras em formato escada, ou seja, o incremento de uma variável até um valor máximo, retornando-a imediatamente para zero, não retornando pelo mesmo caminho. Mesmo quando duas variáveis são controladas, ambas possuem o formato de escada, sendo a segunda subordinada à primeira.

Assim, um novo *setup* experimental é necessário para a obtenção das curvas $I \times V$ dos dispositivos estudados.

4.3.1 Utilizando o LabVIEW e Multímetros de Precisão

A partir das informações de tensão e corrente necessárias para chavear os memoristores ON e OFF obtidas com o HP4145B, verificou-se que as medições de tensão e corrente

poderiam ser realizadas por multímetros de precisão convencionais. Assim, criou-se um programa em LabVIEW para obter os valores dos dois multímetros através do protocolo GPIB, apresentando na tela as informações de tensão, corrente e a curva $I \times V$, possibilitando que o usuário salve os dados, também com informações de tempo, em um arquivo de saída.

4.3.1.1 Materiais e Métodos

Embora o contato com os fios de ouro e a epóxi condutora de prata seja bom, o processo de posicionamento dos fios e o tempo de secagem da epóxi dificulta o acesso às amostras, exigindo em média um dia para a preparação de cada dispositivo. Assim, foram adaptados quatro manipuladores com microagulhas de tungstênio, que são pressionadas contra os eletrodos, oferecendo contato elétrico. Para amostras com os fios de ouro já fixados, apenas duas agulhas são utilizadas.

As quatro microagulhas são posicionadas sobre os eletrodos com auxílio de um microscópio, que permite uma visão ampliada do dispositivo. Uma vez posicionadas, as agulhas são abaixadas até a obtenção de um bom contato com os eletrodos. O contato é testado entre duas agulhas conectadas ao mesmo eletrodo com auxílio de um ohmímetro, que em média indica uma resistência de 500Ω entre os dois contatos do eletrodo superior (um com fio de ouro e um com microagulha) e $1,2k\Omega$ entre os dois contatos do eletrodo inferior (um com fio de ouro e um com microagulha). A explicação desta diferença é que o eletrodo inferior está originalmente coberto por uma camada de óxido, que é removida riscando-se o eletrodo também com uma microagulha de tungstênio (Figura 4.2).

A Figura 4.32 apresenta o *probe station* com seu microscópio óptico e os quatro manipuladores com microagulhas de tungstênio e seus respectivos cabos de conexão. A Figura 4.33 apresenta uma visão mais próxima dos quatro manipuladores e suas agulhas e, na parte inferior, o cabo de aterramento. Durante o posicionamento das microagulhas todo o equipamento, inclusive os manipuladores, estão curto-circuitados, para evitar danos aos dispositivos por descargas eletrostáticas.

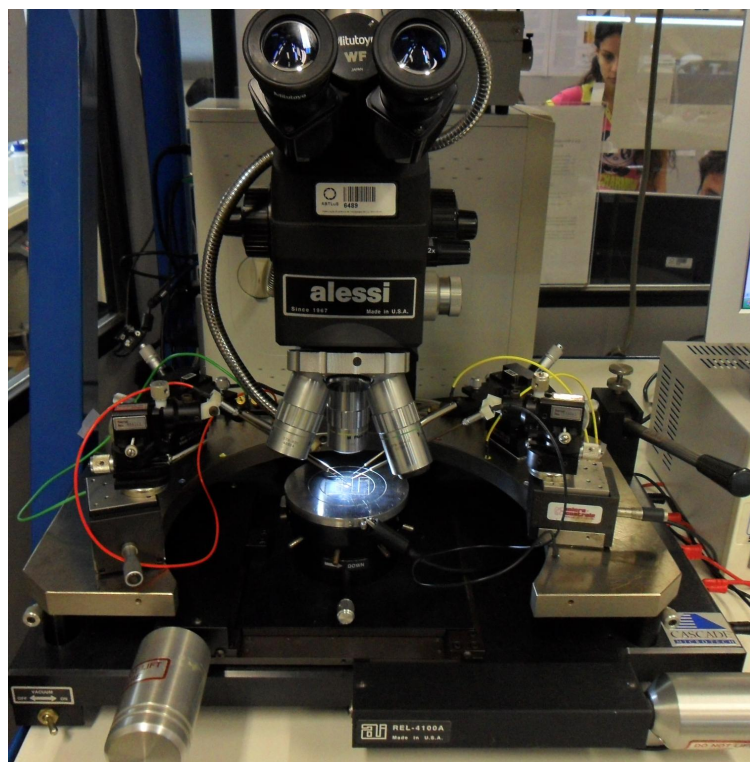


Figura 4.32: *Probe station Alessi* com microscópio ótico e quatro manipuladores com microagulhas de tungstênio para conexão de amostras.

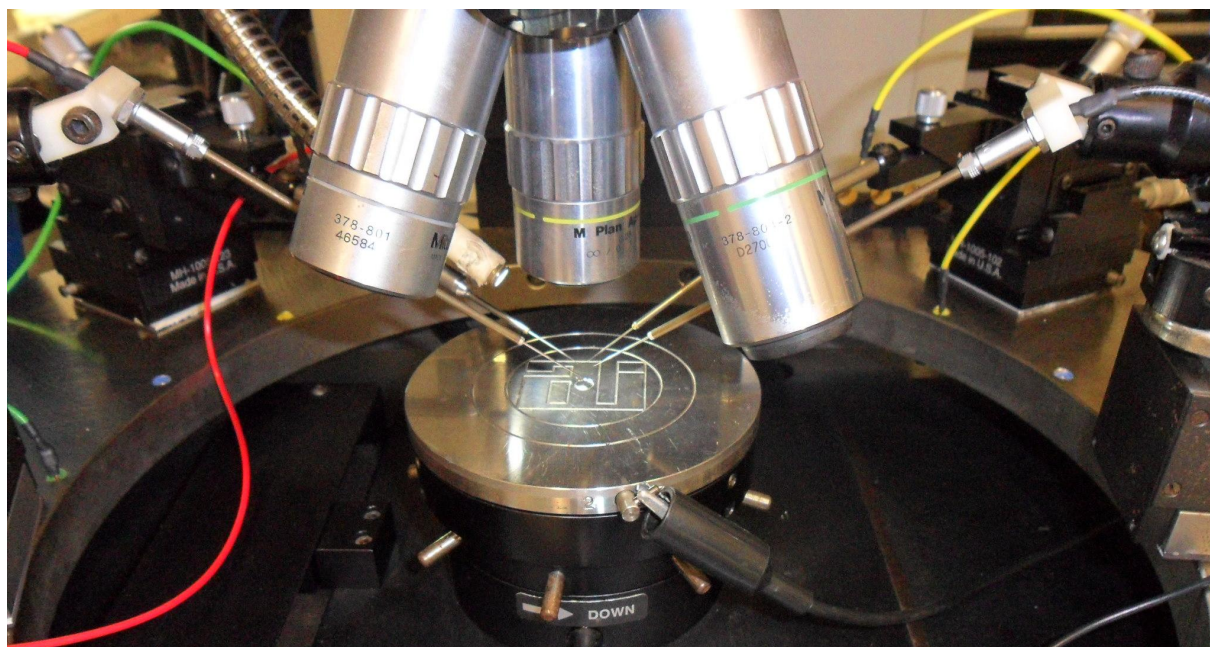


Figura 4.33: Ampliação dos quatro manipuladores com microagulhas de tungstênio e cabo de aterramento.

O esquema de conexão com a amostra está esquematizado na Figura 4.34 e parte do *setup* experimental implementado está apresentado na Figura 4.35. O sinal de alimentação é obtido através da associação em série de um gerador de sinais Stanford DS335 (1) e uma fonte de tensão DC Minipa MPC-303DI (2), que é utilizada para ajuste de *offset* quando a varredura requer uma assimetria. Uma vez que a saída do gerador é limitada em $\pm 10V$, observou-se que

uma excursão maior do lado positivo é necessária para manter o chaveamento do dispositivo. As medições de corrente (amperímetro) (3) e de tensão (voltímetro) (4) são realizadas através de dois multímetros Keithley 2000, conectados ao computador através de um conversor GPIB-USB. Pode-se adicionar, ainda, um resistor limitador de corrente, que é ajustado de modo a obter o chaveamento do memoristor com a menor corrente possível.

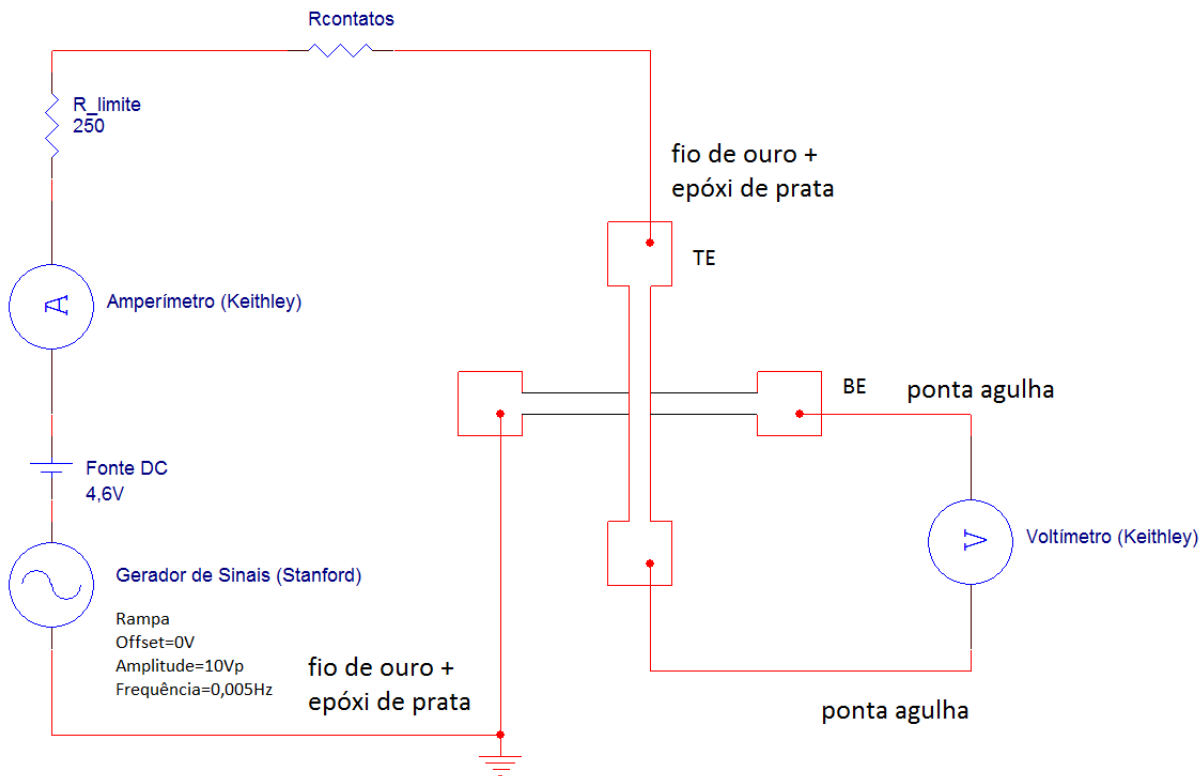


Figura 4.34: Esquema para obtenção das curvas $I \times V$ utilizando o LabVIEW e multímetros.

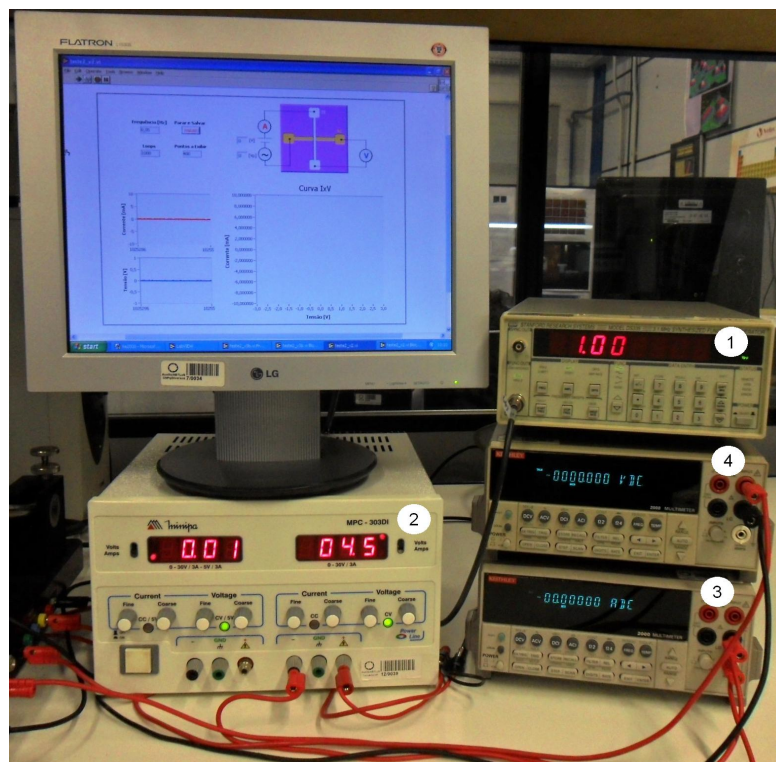


Figura 4.35: Parte do *setup* experimental para obtenção das curvas $I \times V$ apresentando os equipamentos utilizados.

A Figura 4.36 apresenta, por fim, o *setup* experimental completo.

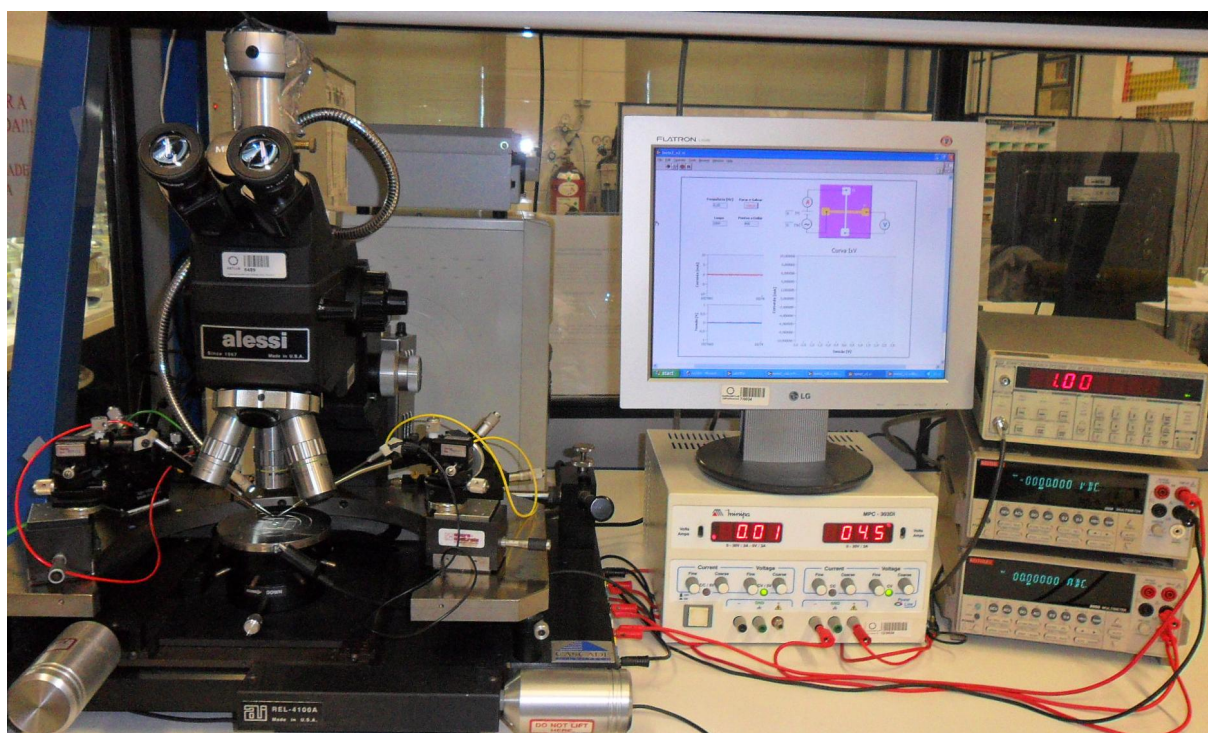


Figura 4.36: *Setup* experimental para obtenção das curvas $I \times V$.

A tela principal do programa está exibida na Figura 4.37. Embora o programa não controle os multímetros, é possível informar ao programa a frequência do sinal e o número de

loops a serem executados, possibilitando a aquisição temporizada de um número determinado de laços de histerese. Além disso, pode-se controlar o tamanho do *buffer* de pontos do gráfico xy que apresenta a curva $I \times V$, controlando a quantidade de curvas a serem exibidas. Na parte inferior esquerda estão apresentados os sinais de corrente (vermelho) e tensão (azul) e, para o caso em questão, pode-se observar os dois saltos de chaveamento, de ON para OFF (maior) e de OFF para ON (menor). Esta curva apenas ilustra a aplicação do programa, e mais resultados serão apresentados na Seção 4.3.1.2.

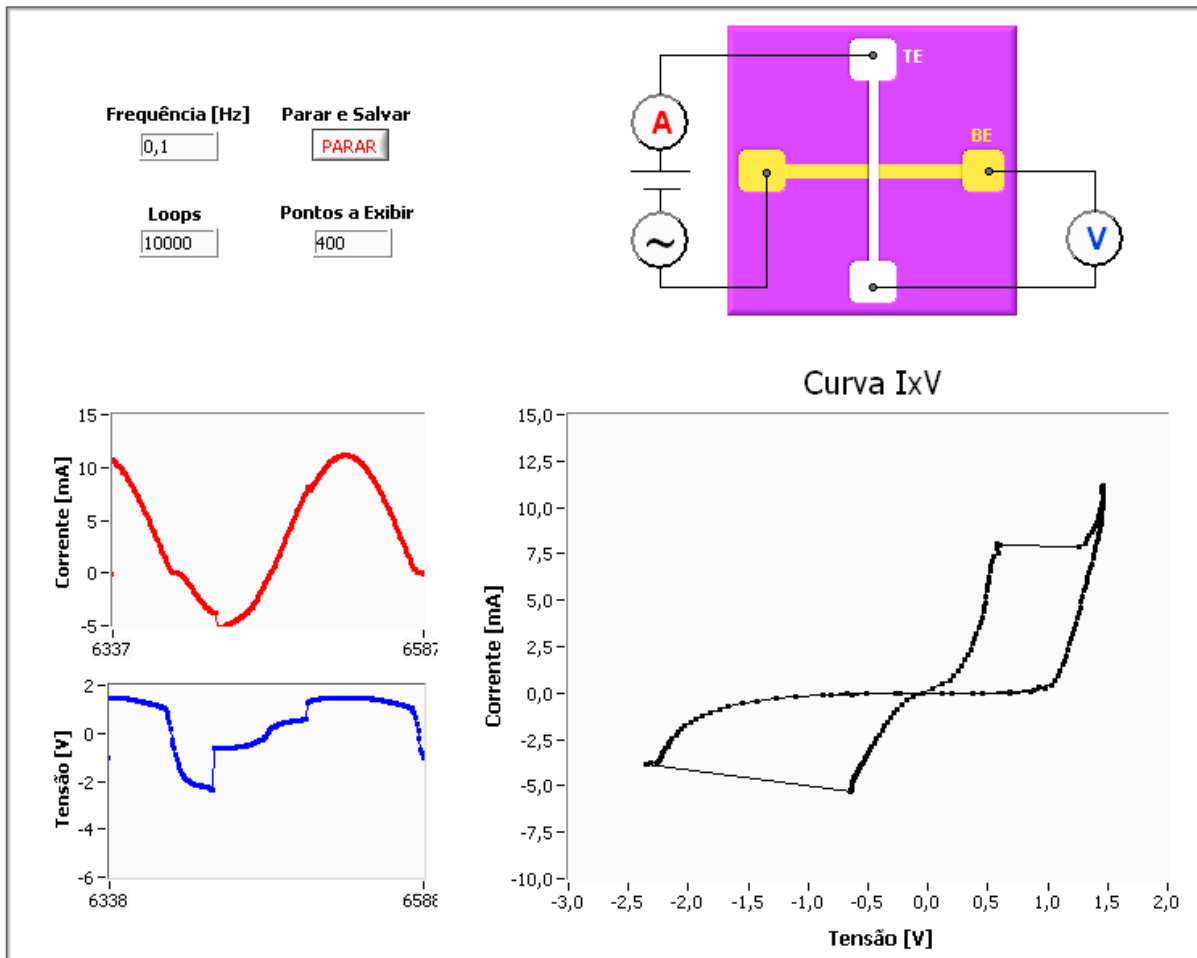


Figura 4.37: Tela do programa em LabVIEW para obtenção das curvas $I \times V$ utilizando multímetros de precisão.

4.3.1.2 Resultados e Conclusões

Foram coletados os dados de tensão e corrente no memoristor para uma excitação senoidal com três frequências distintas. Para cada caso as curvas $I \times V$ foram traçadas e os pontos (V, I) compreendidos no intervalo $|V| \leq 0,2V$ foram divididos em dois conjuntos, a passagem de $-0,2V$ a $+0,2V$ (em ON) e de $+0,2V$ a $-0,2V$ (em OFF). Ambos os conjuntos foram aproximados por uma reta, que representa as resistências R_{ON} e R_{OFF} , respectivamente. A Figura 4.38 apresenta 33 ciclos da curva $I \times V$ para uma frequência de $0,1Hz$ e as retas indicando as resistências obtidas para os dois estados.

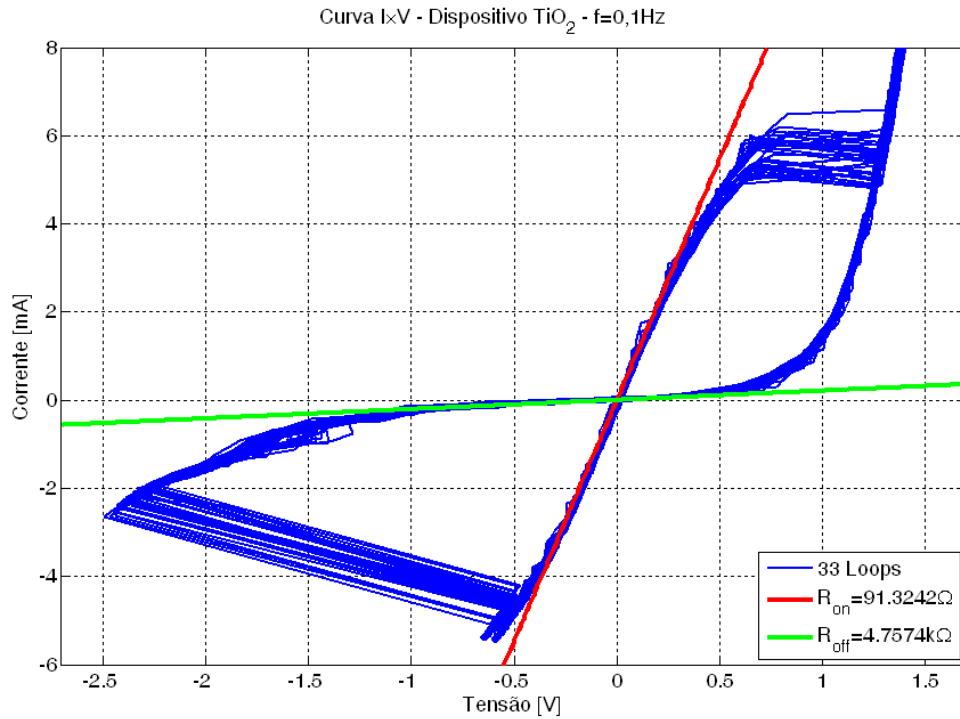


Figura 4.38: 33 ciclos da curva $I \times V$ com frequência de $0,1\text{Hz}$ indicando as retas de R_{ON} e R_{OFF} .

A Figura 4.39 apresenta 7 ciclos da curva $I \times V$ para uma frequência de $0,01\text{Hz}$ e as retas indicando as resistências obtidas para os dois estados. Observa-se que a resistência R_{OFF} obtida apresentou um aumento de $71,09\%$ em relação ao caso anterior, enquanto que a resistência R_{ON} se manteve praticamente constante.

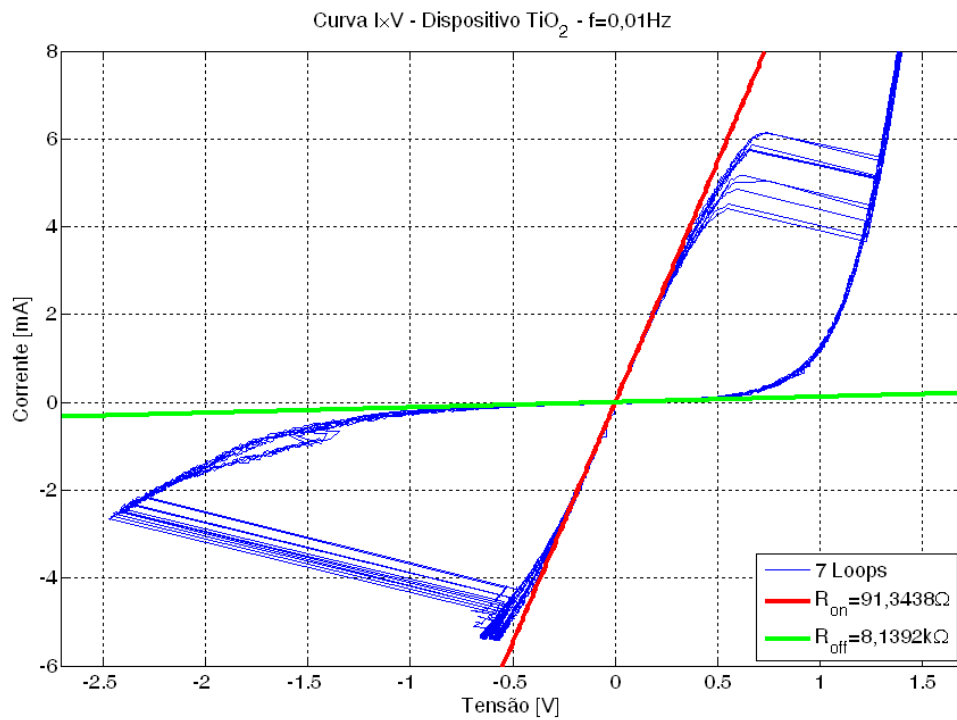


Figura 4.39: 7 ciclos da curva $I \times V$ com frequência de $0,01\text{Hz}$ indicando as retas de R_{ON} e R_{OFF} .

Por fim, a Figura 4.40 apresenta 9 ciclos da curva $I \times V$ para uma frequência de $0,001Hz$ e as retas indicando as resistências obtidas para os dois estados. Observa-se que a resistência R_{OFF} obtida apresentou um aumento de 17,80% em relação ao caso anterior e de 101,54% em relação ao primeiro caso, enquanto que a resistência R_{ON} se manteve praticamente constante. Acredita-se que isso se deve ao fato de que o chaveamento para OFF aparenta ser mais difícil ou lento do que o chaveamento para ON e, assim, como a mudança na resistência depende da integral no tempo da corrente, o aumento da frequência diminui o tempo em que o dispositivo tem a sua resistência incrementada, porém ainda sendo suficiente para atingir a resistência mínima no estado ON. Por uma limitação na frequência de amostragem dos multímetros não foram realizados testes com frequências superiores a $0,1Hz$, porém uma placa de acondicionamento de sinais pode ser preparada para amostrar os valores de tensão e corrente diretamente pela placa do LabVIEW, o que possibilitaria um detalhamento maior do comportamento do memoristor com a frequência.

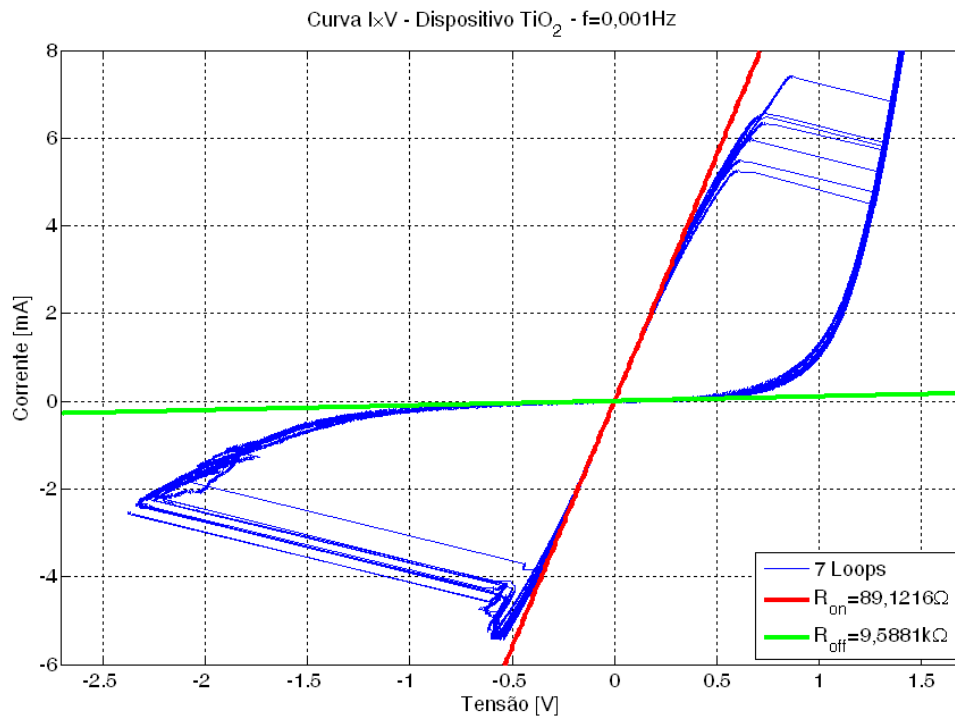


Figura 4.40: 9 ciclos da curva $I \times V$ com frequência de $0,001Hz$ indicando as retas de R_{ON} e R_{OFF} .

A Figura 4.41 apresenta a comparação dos três conjuntos de curvas obtidas. Observa-se que há uma maior variância de tensão e corrente de chaveamento para o caso OFF, o que está de acordo com os resultados obtido anteriormente. A Figura 4.42, por sua vez, apresenta uma ampliação no lado direito superior da Figura 4.41, onde é possível notar o fechamento do laço de histerese à medida que a frequência aumenta, o que está de acordo com as simulações realizadas que indicam que para altas frequências o memoristor se comporta como um resistor comum. Acredita-se, então, que o valor deste resistor se aproxime mais de R_{ON} do que de R_{OFF} .

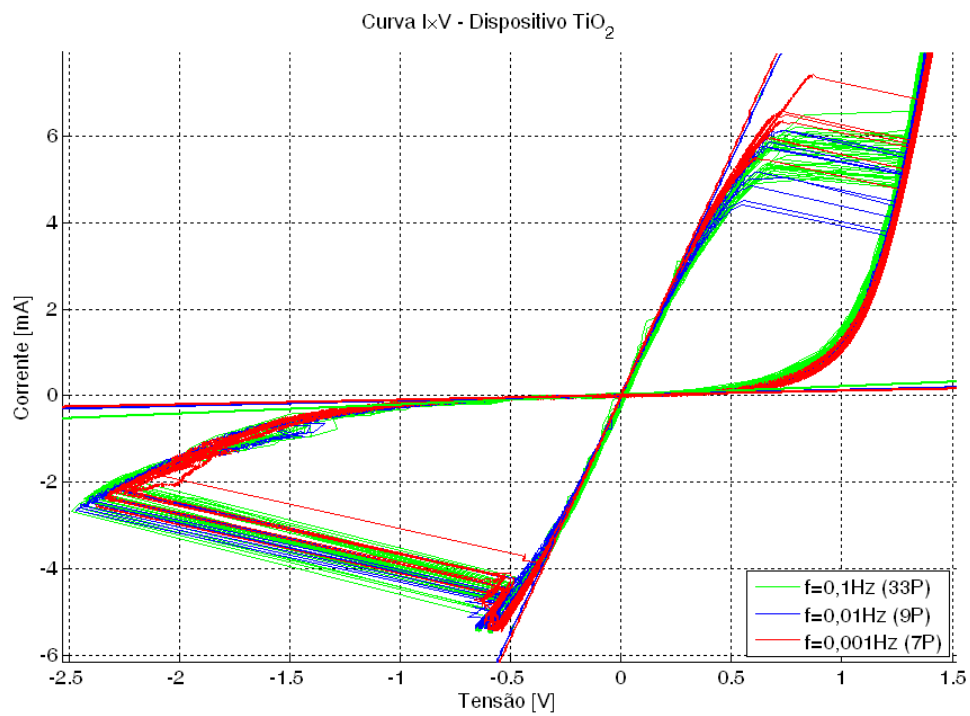


Figura 4.41: Comparação das curvas $I \times V$ para as três frequências estudadas.

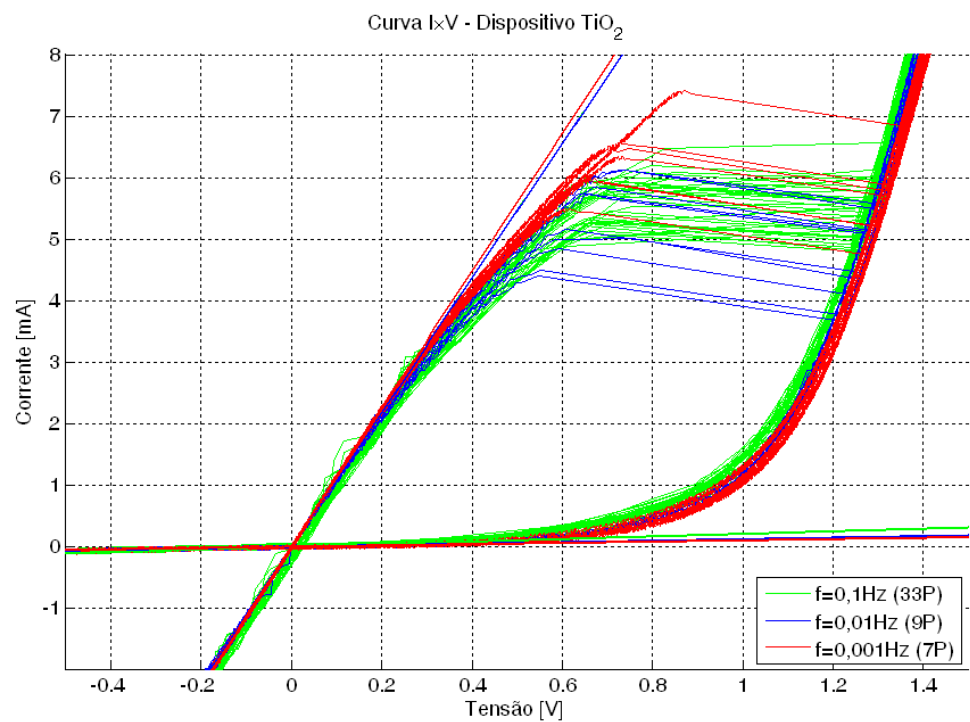


Figura 4.42: Comparação das curvas $I \times V$ para as três frequências estudadas - ampliação indicando o fechamento do laço de histerese.

5 Conclusões

A partir da sua verificação experimental em 2008, diversos grupos de pesquisa vêm buscando otimizar os dispositivos memoristores para a sua aplicação não só em memórias não voláteis de alta capacidade de armazenamento e *performance*, mas também como chaves analógicas semelhantes à sinapses em sistemas que imitam o cérebro humano e podem recordar informações e aprender a nível de *hardware*.

No entanto, para que isto seja possível, o entendimento sobre diversos aspectos destes dispositivos ainda deve ser aprofundado. A obtenção de um memoristor ideal, que apresente um comportamento repetitivo, confiável e um grande número de ciclos de chaveamento, depende de diversos fatores, entre eles fatores geométricos, que determinam a distribuição do campo elétrico no interior do dispositivo, formando regiões preferenciais para a formação de canais de condução, a liberação de gás oxigênio nos eletrodos provocando deformações na junção, a composição do filme ou filmes de material óxido para um comportamento histerético mais pronunciado, aumentando as razões entre as resistências dos estados ON e OFF e, por fim, os modos de chaveamento (por rampa ou pulso), buscando um menor aquecimento e prolongando o tempo de vida.

A partir de uma extensa revisão bibliográfica e de simulações de um memoristor ideal através da ferramenta *Simulink* do MATLAB foi possível aprofundar o conhecimento sobre o funcionamento e os mecanismos de chaveamento nesses dispositivos. O estudo das equações e das simulações variando os parâmetros separadamente comprovou que mesmo com um modelo matemático simples, o fenômeno da memoresistência é complexo e a modelagem de dispositivos reais requer um tratamento matemático rigoroso com informações topográficas e simulações estatísticas.

No contexto experimental deste trabalho foi possível acessar um conjunto de amostras fornecidas pela *HP Labs*, realizar a sua eletroformação e chaveá-las através do analisador de parâmetros de semicondutores HP4145B e visualizar as suas curvas $I \times V$ através de um programa em LabVIEW associado a multímetros de precisão. Todo o processo de revisão bibliográfica, experimentos e discussões proporcionou um grande entendimento sobre estes dispositivos que, embora atualmente sejam de conhecimento restrito, podem vir a ser de grande importância na indústria de semicondutores.

Após a conclusão das atividades de pesquisa em um dos laboratórios mais avançados do país é possível afirmar que o curso de graduação em Engenharia Elétrica com Ênfase em Eletrônica da Escola de Engenharia de São Carlos de fato proporcionou uma formação acadêmica sólida, permitindo a compreensão e solução de diversos problemas multidisciplinares. Contudo, um estudo mais aprofundado sobre as propriedades e fundamentos de materiais semicondutores seria de grande benefício, uma vez que permitiria ao aluno um maior entendimento sobre as técnicas de fabricação e o princípio de funcionamento de diversos componentes eletrônicos que formam a base da eletrônica atual.

Por fim, acredito que o Departamento de Engenharia Elétrica deveria se empenhar para

a realização de seminários frequentes com pesquisadores de instituições de pesquisa, como os laboratórios do CNPEM, para que os alunos possam não só estar em contato com os temas atuais de pesquisa, mas também possam descobrir suas áreas de interesse, direcionando seu estudo, seu estágio e o seu trabalho de conclusão de curso. O conteúdo de algumas disciplinas é um pouco ultrapassado e o contato com a tecnologia de ponta pode servir como um grande fator de motivação.

REFERÊNCIAS²

- 1 CHUA, Leon. O. Memristor - the missing circuit element. **IEEE Trans. Circuit Theory**, v. 18, p. 507–519, 1971.
- 2 STRUKOV, Dmitri B. et al. The missing memristor found. **Nature**, v. 453, 2008.
- 3 YANG, J. Joshua et al. Memristive switching mechanism for metal/oxide/metal nanodevices. **Nature Nanotechnology**, v. 3, Julho 2008.
- 4 YANG, J. Joshua et al. The mechanism of electroforming of metal oxide memristive switches. **IOP Publishing Nanotechnology**, v. 20 215201, 2009.
- 5 BIOLEK, Zdenek; BIOLEK, Dalibor; BIOLKOVA, Viera. Spice model of memristor with nonlinear dopant drift. 2009.
- 6 NATIONAL SEMICONDUCTOR CORPORATION. **AN20 - An Applications Guide for Op Amps**. In: _____. Disponível em: <www.national.com/an/AN/AN-20.pdf>.
- 7 MOORE, Gordon E. Progress in digital integrated electronics. **Electron Devices Meeting, 1975 International**, v. 21, p. 11–13, 1975.
- 8 GEORGIA STATE UNIVERSITY. **Fermi Level**. In: _____. *HyperPhysics Project*. Disponível em: <<http://hyperphysics.phy-astr.gsu.edu/hbase/solids/fermi.html>>.
- 9 TIGINYANU, I. et al. **The Schottky Barrier**. In: POROUS III-V SEMICONDUCTORS. *Porous III-V Semiconductors: online book*. Disponível em: <<http://www.porous-35.com/electrochemistry-semiconductors-5.html>>.
- 10 JOGLEKAR, Yogesh N.; WOLF, Stephen J. The elusive memristor: properties of basic electrical circuits. **Eur. J. Phys.**, v. 30, 661, p. 1–24, 2009.
- 11 SILES, P. R. F. **Propriedades eletrônicas e processos de transporte em materiais semicondutores nano-estruturados**. 154 f. Tese (Doutorado em Física) — Instituto de Física "Gleb Wataghin", Universidade Estadual de Campinas, Campinas, 2010.
- 12 TEXAS INSTRUMENTS. **OPA380 - High Speed Precision Transimpedance Amplifier**. In: _____. Disponível em: <<http://www.ti.com/lit/gpn/opa380>>.
- 13 MIAO, Feng et al. Observation of two resistance switching modes in TiO_2 memristive devices electroformed at low current. **IOP Publishing Nanotechnology**, v. 22 254077, 2011.
- 14 YI, Wei et al. Feedback write scheme for memristive switching devices. **Applied Physics A - Materials Science & Processing**, 2010.

²De acordo com a Associação Brasileira de Normas Técnicas. NBR 6023.