

Walter Gonzalez Filho, Raphael Gil Camargo

# **Modelo Computacional de um TFET e Otimização de Parâmetros**

Brasil

2017

Walter Gonzalez Filho, Raphael Gil Camargo

## **Modelo Computacional de um TFET e Otimização de Parâmetros**

Trabalho de Conclusão de Curso apresentado ao bacharelado em Engenharia Elétrica da Escola Politécnica da Universidade de São Paulo. Orientadores: João Antônio Martino e Paula Ghedini Der Agopian

Universidade de São Paulo

Escola Politécnica da USP

Engenharia elétrica - Departamento de Sistemas Eletrônicos

Brasil

2017

# Agradecimentos

Gostaríamos de agradecer aos pesquisadores do Laboratório de Sistemas Integrados (LSI) da EPUSP que nos auxiliaram muito durante este projeto. Em particular, gostaríamos de agradecer pela grande ajuda aos pesquisadores Caio Bordallo, Alberto Vinicius de Oliveira e Christian Nemeth Macambira. Sem suas contribuições esse trabalho não teria se realizado a tempo. Gostaríamos de agradecer especialmente aos nossos orientadores João Antônio Martino e Paula Ghedini Der Agopian.

# Resumo

Este trabalho visa obter um modelo computacional, utilizando o simulador numérico Sentaurus, de um transistor de tunelamento com óxido enterrado de porta tripla (SOI-FinTFET) existente para em seguida propor otimizações possíveis para este dispositivo.

**Palavras-chaves:** TFET, FinFET, nanoeletrônica, dispositivos.

# Lista de ilustrações

Figura 1	- Processadores Intel X Progressão prevista por Moore. . . . .	12
Figura 2	- Comparação do tempo de transição de estado ligado/desligado para tecnologias diferentes. . . . .	13
Figura 3	- Mecanismos de condução em um TFET. . . . .	15
Figura 4	- Bandas de energia na recombinação SRH. . . . .	16
Figura 5	- Bandas de energia e o TAT. . . . .	16
Figura 6	- O tunelamento banda a banda. . . . .	18
Figura 7	- Decomposição funcional do projeto. . . . .	19
Figura 8	- Árvore de objetivos. . . . .	20
Figura 9	- Barreira de energia e corrente de dreno para diferentes materiais. . . . .	25
Figura 10	- Novas estruturas geométricas de TFET. a) Lateral TFET, b) Line TFET, c) nanofio horizontal e d) nano fio vertical. . . . .	25
Figura 11	- Geometria simulada: SOI-FinFet de porta tripla. . . . .	27
Figura 12	- Geometria no simulador. . . . .	28
Figura 13	- Exemplo de estrutura criada no Sentaurus Structure Editor com parâmetros diferentes para teste ( $W=1000\text{nm}$ ). . . . .	29
Figura 14	- Grade do dispositivo com visão de um corte ortogonal ao comprimento do canal. . . . .	30
Figura 15	- Grade do dispositivo com visão de um corte ortogonal à largura do canal ( $W_{\text{Fin}}$ ). . . . .	31
Figura 16	- Correntes dos fenômenos separados e identificados. . . . .	33
Figura 17	- Comparação entre as curvas $I_{\text{ds}} \times V_{\text{gs}}$ Experimental (preto) e simulado (vermelho). . . . .	34
Figura 18	- Erro na comparação entre a curva experimental e a simulada. . . . .	35
Figura 19	- Geometria não auto alinhada. . . . .	36
Figura 20	- Curva $I_{\text{ds}} \times V_{\text{gs}}$ de comparação entre curvas experimental, do transistor real simulado e da geometria não autoalinhada. . . . .	37
Figura 21	- Curva $I_{\text{ds}} \times V_{\text{gs}}$ de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e da geometria com EOT de 1nm. . . . .	38
Figura 22	- Curva $I_{\text{ds}} \times V_{\text{gs}}$ de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e da geometria com $W_{\text{Fin}}$ de 20 nm. . . . .	39

Figura 23	- Curva $I_{ds}$ x $V_{gs}$ de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor com tempo de vida dos portadores de 50ns. . . . .	40
Figura 24	- Curva $I_{ds}$ x $V_{gs}$ de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor com fonte de germânio. . . . .	41
Figura 25	- Geometria do transistor otimizado com grade de simulação numérica. .	43
Figura 26	- Curva $I_{ds}$ x $V_{gs}$ de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor otimizado. .	44
Figura 27	- Curvas $I_{ds}$ x $V_{gs}$ de todas as otimizações separadamente, do transistor otimizado completo, da simulação equiparada com os dados experimentais e dos dados empíricos. . . . .	48
Figura 28	- Geometria MOSFET simulada. . . . .	52
Figura 29	- Resultado da simulação do MOSFET planar de porta dupla de mesma dimensões e dopagens que o TFET. . . . .	52

# Lista de tabelas

Tabela 1	– Cálculo dos pesos da árvore de objetivos. . . . .	19
Tabela 2	– Cálculo dos pesos do ramo da árvore de objetivos. . . . .	20
Tabela 3	– Resumo de objetivos. . . . .	21
Tabela 4	– Tabela de dimensões geometria simulada . . . . .	27
Tabela 5	– Tabela das dopagens da geometria simulada . . . . .	28
Tabela 6	– Tabela dos materiais da geometria simulada . . . . .	28
Tabela 7	– Comparação de parâmetros entre curvas experimental, real simulado e geometria não autoalinhada . . . . .	37
Tabela 8	– Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com EOT de 1 nm. . . . .	38
Tabela 9	– Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com WFin de 20nm. . . . .	39
Tabela 10	– Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não alinhado e seu modelo com TAT otimizado. . . . .	41
Tabela 11	– Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com fonte de germânio. . . . .	42
Tabela 12	– Parâmetros de fabricação do transistor otimizado: dimensões . . . . .	43
Tabela 13	– Parâmetros de fabricação do transistor otimizado: dopagens . . . . .	43
Tabela 14	– Parâmetros de fabricação do transistor otimizado: objetivos . . . . .	43
Tabela 15	– Comparação entre curvas $I_{ds}$ x $V_{gs}$ dos dados experimentais, de simulação do real, do não autoalinhado e do transistor final otimizado. . . . .	44
Tabela 16	– Parâmetros de desempenho experimental x simulado x objetivo . . . . .	45
Tabela 17	– Comparação entre o TFET experimental, seu modelo computacional, o TFET otimizado e um MOS de porta dupla. . . . .	47

## Lista de abreviaturas e siglas

TFET	Transistor de efeito de campo de tunelamento
SOI	Silicon On Insulator
MOS	Tecnologia metal-óxido-silício
SRH	Recombinação de Schokley Reed Hall
TAT	Tunelamento assistido por armadilhas
BTBT	Tunelamento Banda a Banda
CMOS	MOS complementar



# Lista de símbolos

SS	Inclinação de sublimiar
V <sub>th</sub>	Tensão de limiar
I <sub>on</sub>	Corrente de dreno no estado ON
I <sub>off</sub>	Corrente de fuga
V <sub>gs</sub>	Tensão de porta
V <sub>ds</sub>	Tensão de dreno
E <sub>c</sub>	Energia da banda de condução
E <sub>v</sub>	Energia da banda de valência
E <sub>i</sub>	Banda de energia intrínseca
E <sub>f</sub>	Banda de energia de Fermi
E <sub>defeito</sub>	Nível energético do defeito
G	Taxa de geração de portadores
n <sub>i</sub>	Concentração intrínseca de portadores
T	Temperatura
E <sub>g</sub>	Campo elétrico da porta
I <sub>ds</sub>	Corrente de dreno
$\lambda$	Janela de tunelamento
$\Delta\Phi$	Sobreposição de bandas
m*	Massa efetiva do portador
H <sub>fin</sub>	Altura do FinFET
W <sub>fin</sub>	Largura do FinFET
L	Comprimento do canal
H <sub>b</sub>	Altura do óxido enterrado
q	Carga do elétron
k	Contante de Boltzman

# Sumário

<b>1</b>	<b>Introdução</b>	<b>12</b>
1.1	Lei de Moore	12
1.2	Mecanismos de condução em um MOSFET	13
1.3	Mecanismos de condução em um TFET	14
1.3.1	A recombinação Schokley Reed Hall (SRH)	15
1.3.2	O tunelamento assistido por armadilhas (TAT)	16
1.3.3	O tunelamento banda a banda (BTBT)	18
1.4	Objetivos	18
<b>2</b>	<b>Estado da arte</b>	<b>22</b>
2.1	Situação atual do problema	22
2.2	Geração de conceitos	22
2.2.1	Spintrônica	22
2.2.2	TFET	23
2.2.3	MOS-FinFET	23
2.3	Parâmetros que vem sendo otimizados em TFETs	24
2.3.1	Novos materiais	24
2.3.2	Novas Geometrias	24
2.3.3	Otimização da junção	26
<b>3</b>	<b>Materiais e Métodos</b>	<b>27</b>
<b>4</b>	<b>Implementação</b>	<b>29</b>
<b>5</b>	<b>Resultados</b>	<b>34</b>
5.1	Equiparação com os dados experimentais	34
5.2	Otimizações	36
5.2.1	Geometria não autoalinhada	36
5.2.2	EOT de 1nm	37
5.2.3	Diminuição de W <sub>Fin</sub>	39
5.2.4	Aumento do tempo de vida dos portadores	40
5.2.5	Fonte de germânio	41
5.3	O transistor otimizado	43
<b>6</b>	<b>Conclusão</b>	<b>45</b>
6.1	Comparação do modelo não otimizado com os objetivos	45
6.2	Comparação com a tecnologia MOS	46

---

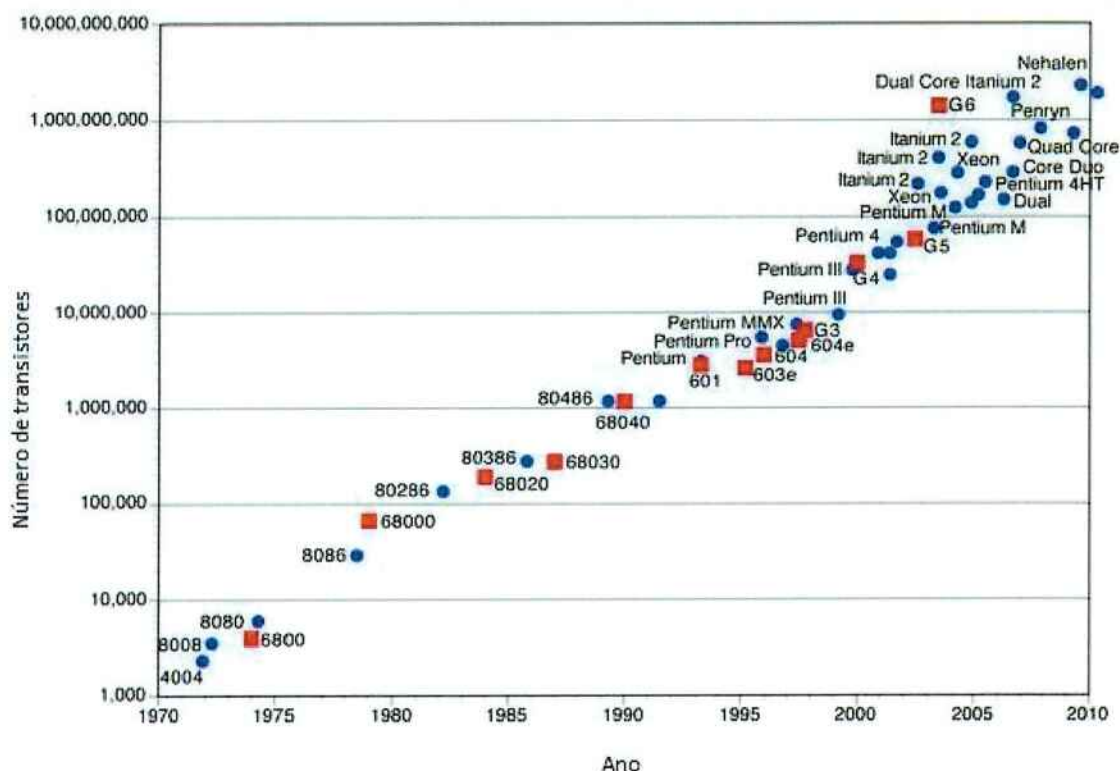
6.3 Comparação do modelo otimizado com os objetivos . . . . .	47
<b>Referências . . . . .</b>	<b>50</b>
<b>Anexos</b>	<b>51</b>
<b>ANEXO A Simulação de um MOSFET equivalente ao TFET. . . . .</b>	<b>52</b>
<b>ANEXO B Arquivo de simulação: Definição da geometria, dos contatos e das dopagens. . . . .</b>	<b>53</b>
<b>ANEXO C Arquivo de simulação: Definição da grade numérica de simulação.</b>	<b>56</b>
<b>ANEXO D Arquivo de simulação: Definição de parâmetros para a simulação de TAT. . . . .</b>	<b>60</b>
<b>ANEXO E Arquivo de simulação: Arquivo principal de simulação. . . . .</b>	<b>61</b>

# 1 Introdução

## 1.1 Lei de Moore

Gordon E. Moore, presidente da Intel em meados dos anos 1960, previu que a quantidade de transistores dentro dos chips dobraria, pelo mesmo custo, em um período de 18 meses. Com o passar do tempo, essa previsão se mostrou próxima da realidade e foi chamada de Lei de Moore <sup>1</sup>:

Figura 1: Processadores Intel X Progressão prevista por Moore.



Para que essa regra se mantenha verdadeira, tornou-se necessário que as empresas desenvolvessem transistores cada vez menores para poder ter um número maior deles dentro de um mesmo espaço físico. Atualmente já é possível construir em escala industrial transistores FinFET (que usam os mesmos princípios físicos do CMOS) com dimensões de 10 nm (como por exemplo os existentes no processador Snapdragon 835 <sup>2</sup>). Entretanto para uma redução ainda maior dessas dimensões (menores do que 5 nm) existem alguns entraves, como por exemplo os efeitos de canal curto, efeito de perfuração, degradação da mobilidade e correntes de fuga. Esses problemas são inerentes à física do funciona-

<sup>1</sup> [https://pt.wikipedia.org/wiki/Lei\\_de\\_Moore](https://pt.wikipedia.org/wiki/Lei_de_Moore)

<sup>2</sup> <https://qualcomm.com/news/releases/2017/01/03>

mento dos transistores MOS, que se baseia na mecânica da difusão e deriva dos elétrons (SIVIERI, 2016).

## 1.2 Mecanismos de condução em um MOSFET

Os mecanismos de condução de corrente elétrica nos transistores convencionais são os de difusão e deriva, que determinam, com base na temperatura do dispositivo e na tensão aplicada em sua porta, se o transistor está conduzindo e o quanto de corrente elétrica está passando por ele. O mecanismo de condução de corrente elétrica em um TFET é, principalmente, o tunelamento, que determina se o transistor está conduzindo e o quanto de corrente elétrica está passando por ele com base na largura de uma barreira de energia artificialmente imposta entre o dreno e a fonte. Este fenômeno possibilita: 1) velocidade nas mudanças de estado entre ligado/desligado (ou vice versa) maior que as da tecnologia MOS. A tecnologia MOS, devido a influência da temperatura nos mecanismos de deriva e difusão, tem um limite físico de 60mV/década na velocidade de transição entre estados ligado/desligado (inclinação de sublimiar, abreviado como SS (SIVIERI, 2016)), limite este possivelmente ultrapassado no fenômeno de tunelamento. O gráfico a seguir compara o desempenho no chaveamento de um TFET, de um MOS clássico, de um MOS de múltiplas portas (MuGFET) e de um MOS fabricado com materiais exóticos(III-Vs/Ge)(SIVIERI, 2016).

Figura 2: Comparação do tempo de transição de estado ligado/desligado para tecnologias diferentes.



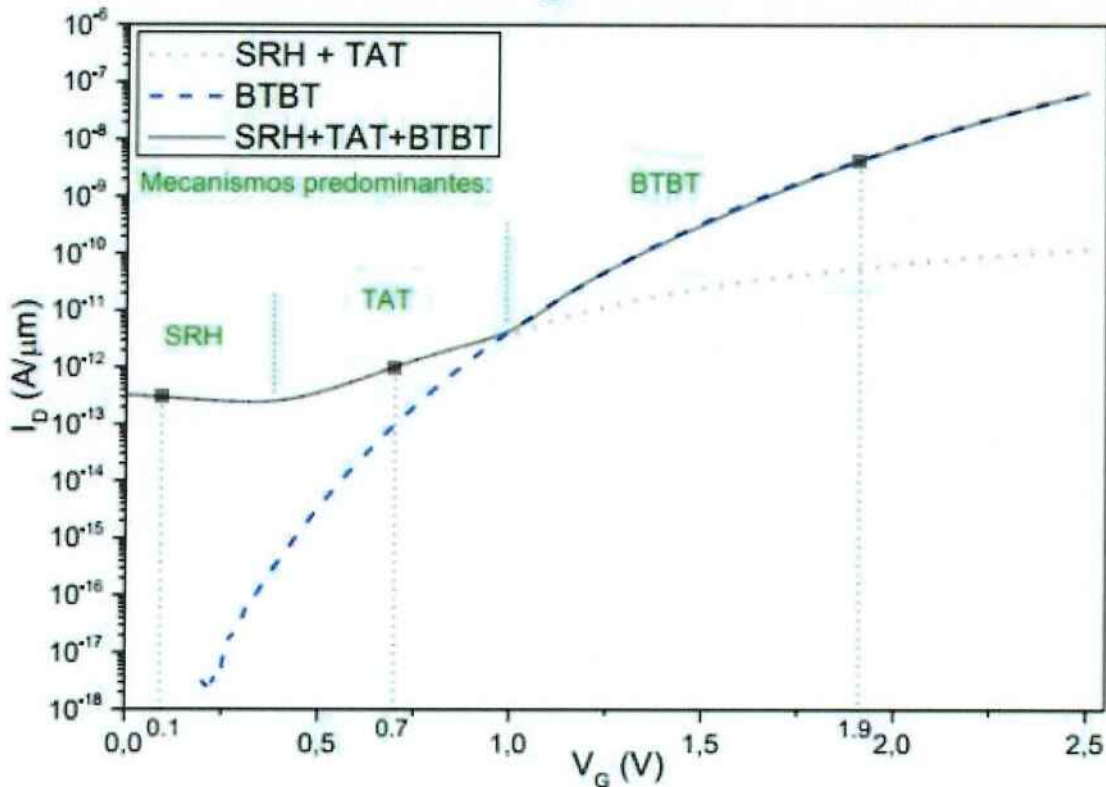
2) Consumo de potência acentuadamente menor que na tecnologia MOS. Aumentando a frequência de operação de um dispositivo, consegue-se melhorar sua velocidade proporcionalmente, mas em contrapartida, a partir de certo ponto, pioramos o seu desempenho em termos de potência porque quanto maior o número de ciclos ligado/desligado por segundo, maior a dissipação de energia. Como o tunelamento dissipa muito menos energia e produz uma corrente de fuga muito menor que a difusão/deriva, o TFET se mostra promissor também neste sentido (SIVIERI, 2016). Conforme apontado anteriormente, os grandes problemas da tecnologia MOS são os limites de frequência, dissipação de calor, o do tunelamento indevido de elétrons e o efeito de canal curto. Os TFET tem o potencial de resolver os três problemas de uma vez pois utiliza o próprio efeito de tunelamento para consumir menos potência, ser mais rápido no chaveamento ligado/desligado e consequentemente poder trabalhar com frequências de operação maiores. Pode-se ver na figura 3 que a corrente final atingida pelo TFET é menor que a dos outros dispositivos. Essa corrente demasiadamente baixa é um dos desafios que essa nova tecnologia encontra atualmente, de forma que este é um dos parâmetros a serem melhorados nos TFET (SIVIERI, 2016). Outra questão atual a ser superada nos TFET é que esses dispositivos atualmente necessitam de muitos materiais diferentes (alguns muito complexos) na sua fabricação para ter parâmetros de funcionamento positivos.

### 1.3 Mecanismos de condução em um TFET

Tipicamente em um TFET outros 2 mecanismos de condução também atuam além do tunelamento propriamente dito (denominado band to band tunneling, ou BTBT). Um deles é, assim como nos transistores MOS convencionais, é responsável pelo Ioff. Trata-se do SRH (recombinação de Schokley Reed Hall). O outro é o TAT (tunelamento assistido por armadilhas), principal causa da degradação da inclinação de sublimiar (MARTINO, 2012). Para tensões de porta ( $V_{gs}$ ) abaixo da tensão de limiar ( $V_{th}$ ), predomina o SRH, e justamente por isso que ele é responsável pelo Ioff (inclusive esse fenômeno existe mesmo sem tensão na porta). Para tensões a partir de  $V_{th}$ , tanto o BTBT quanto o TAT são significativos, sendo que para tensões menores o TAT é da mesma ordem de grandeza ou até mais significativo que o BTBT. Essa região é justamente a região de chaveamento ou de sublimiar, onde se mede o SS. Por isso, o TAT é o principal responsável por degradar SS que, se dependesse apenas do BTBT, facilmente seria menor que 60mV/década. Tais fenômenos podem ser visualizados na seguinte imagem <sup>3</sup>:

<sup>3</sup> Retirado de (MARTINO, 2012)

Figura 3: Mecanismos de condução em um TFET.



### 1.3.1 A recombinação Schokley Reed Hall (SRH)

A geração de pares elétron-lacuna ocorre com o rompimento de ligações covalentes na rede cristalina de um semiconductor por agitação térmica. Em uma concentração estável de portadores, ocorre também um processo de recombinação, em que os elétrons da banda de condução transitam (direta ou indiretamente) para a banda de valência. No caso da transição indireta, o elétron passa por um nível intermediário de energia, originado por defeito na rede cristalina, armadilhas, impurezas, entre outros defeitos de fabricação, como ilustra a figura 4<sup>4</sup>.

A energia decorrente da transição é liberada por meio da emissão de fótons.

A taxa de geração de armadilhas em um estado de energia é dada pela seguinte equação:

$$G_{srh} = \frac{pn - ni^2}{(n + n1)tp0 + (p + p1)tn0} \tag{1.1}$$

onde

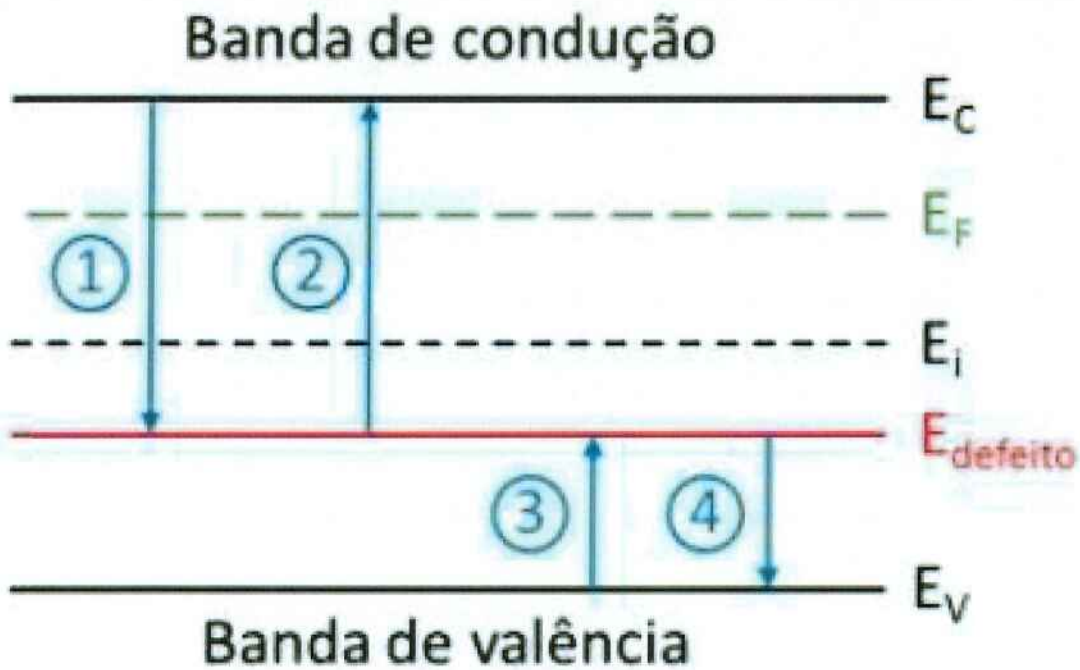
$$n1 = ni.exp\left(\frac{E_{defeito} - Ei}{kT}\right)$$

e

$$p1 = ni.exp\left(\frac{Ei - E_{defeito}}{kT}\right)$$

<sup>4</sup> Retirado de (MARTINO, 2012)

Figura 4: Bandas de energia na recombinação SRH.



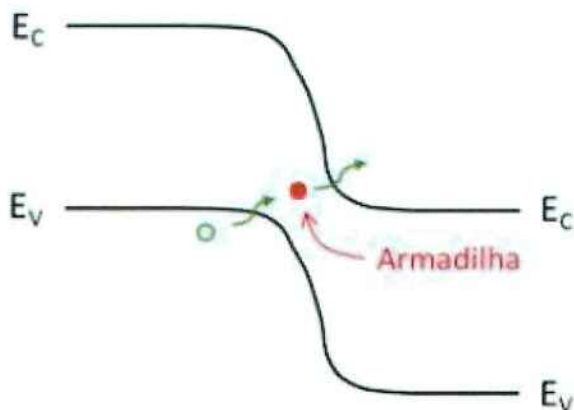
sendo  $n_i$  é a concentração intrínseca de portadores e  $E_{\text{defeito}}$  é o nível de energético do defeito.

O mecanismo de condução SRH é diretamente responsável pela corrente de fuga  $I_{\text{off}}$  e é diretamente afetado pela temperatura, como sugere a equação.

### 1.3.2 O tunelamento assistido por armadilhas (TAT)

No TAT, o nível energético do defeito ( $E_{\text{defeito}}$ ) age como um local intermediário de energia facilitando o tunelamento, como ilustrado na figura 5:

Figura 5: Bandas de energia e o TAT.





O TAT também é fortemente influenciado pela temperatura. Na verdade, o mecanismo de condução é o mesmo do SRH, acrescido apenas de um fator que depende do campo elétrico da porta  $E_g$ , de forma que a geração de portadores, e portando a corrente de dreno, aumente com o acréscimo de  $E_g$  (ou seja, da tensão de porta  $V_{gs}$ ).

O modelo de recombinação SRH é acrescido pelo seguinte fator de enriquecimento de campo que é multiplicado pelo tempo de vida dos portadores:

$$[1 + g(F)]^{-1} \quad (1.2)$$

No caso de elétrons,  $g(F)$  tem a forma:

$$g_n(F) = \left(1 + \frac{(\hbar\Theta)^{3/2} \sqrt{E_t - E_0}}{E_0 \hbar\omega_0}\right)^{-1} \frac{1}{2} \frac{(\hbar\Theta)^{3/4} (E_t - E_0)^{1/4}}{2 \sqrt{E_t E_0}} \left(\frac{\hbar\Theta}{kT}\right)^{3/2} \times \exp\left(-\frac{E_t - E_0}{\hbar\omega_0} + \frac{\hbar\omega_0 - kT}{2\hbar\omega_0} + \frac{2E_t + kT}{2\hbar\omega_0} \ln \frac{E_t}{\epsilon_R} - \frac{E_0}{\hbar\omega_0} \ln \frac{E_0}{\epsilon_R} + \frac{E_t - E_0}{kT} - \frac{4}{3} \left(\frac{E_t - E_0}{\hbar\Theta}\right)^{3/2}\right) \quad (1.3)$$

Onde  $E_0$  é a energia de um caminho de transição horizontal ótimo que, finalmente, depende do campo elétrico e da temperatura como mostra a seguinte equação:

$$E_0 = 2 \sqrt{\epsilon_F} [\sqrt{\epsilon_F + E_t + \epsilon_R} - \sqrt{\epsilon_F}] - \epsilon_R, \quad \epsilon_F = \frac{(2\epsilon_R kT)^2}{(\hbar\Theta)^3} \quad (1.4)$$

Para elétrons,  $E_t$  está relacionado com o nível energético das armadilhas ( $E_{trap}$ ) pela equação:

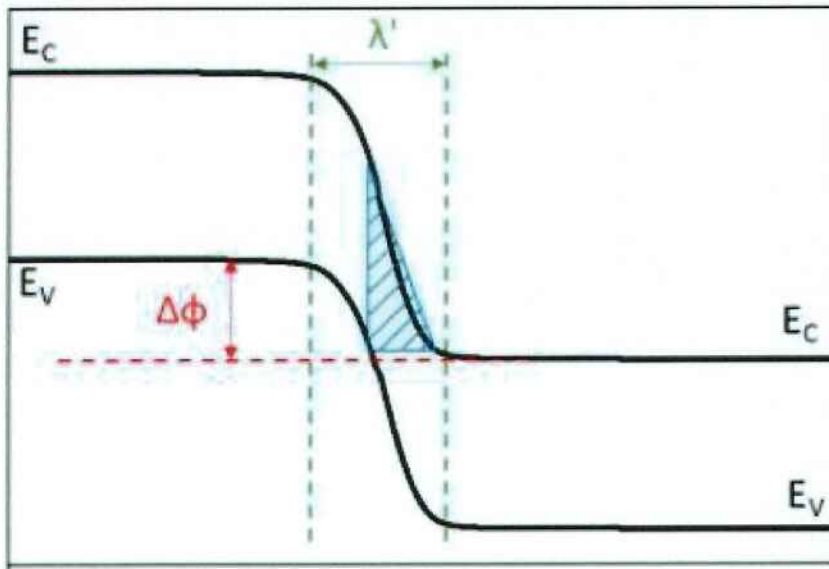
$$E_t = \frac{1}{2} E_{g,eff} + \frac{3}{4} kT \ln \left(\frac{m_n}{m_p}\right) - E_{trap} - (32 R_c \hbar^3 \Theta^3)^{1/4} \quad (1.5)$$

O TAT é o principal fator de degradação de SS, pois apesar de contribuir um pouco com a corrente de dreno, tem uma inclinação na curva  $I_{ds} \times V_{gs}$  muito pior que a do BTBT. Duas formas de contornar isso seriam fazendo uma passivação química superficial robusta e um redimensionamento dos óxidos de porta (SIVIERI, 2016).

### 1.3.3 O tunelamento banda a banda (BTBT)

O tunelamento banda a banda ocorre quando o campo elétrico no canal é forte o suficiente para que as bandas de condução e de valência na junção fiquem sobrepostas, como ilustrado na figura 6:

Figura 6: O tunelamento banda a banda.

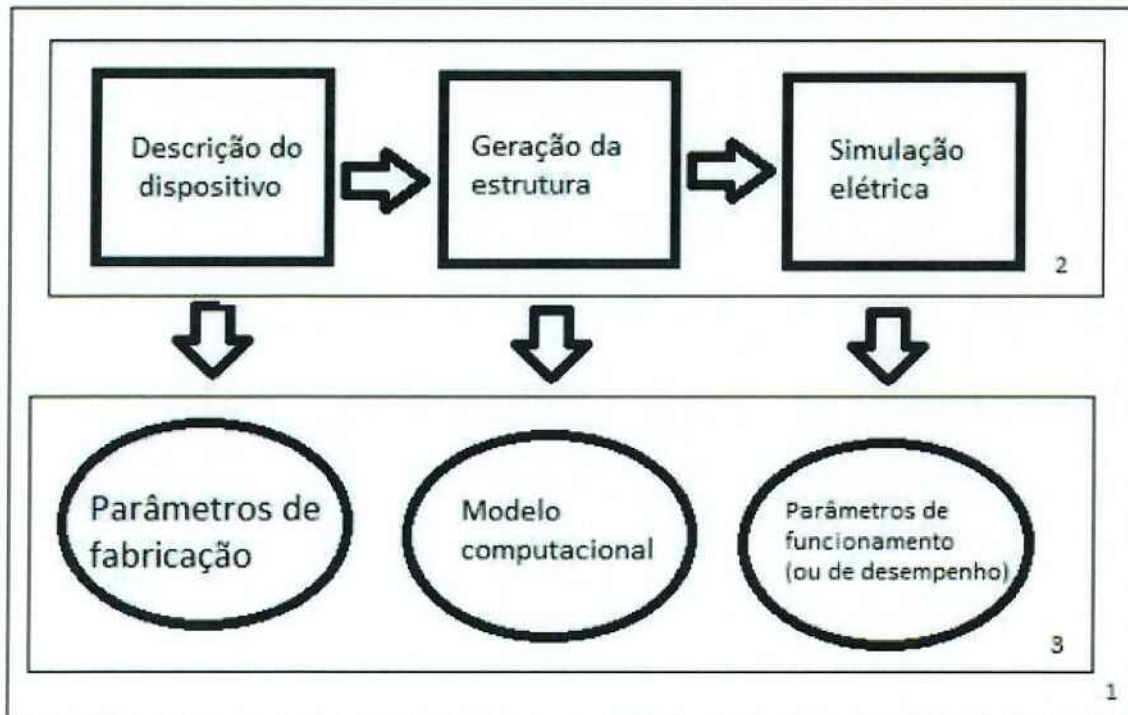


Em geral utiliza-se a aproximação WKB para se calcular a taxa de transmissão de elétrons na junção (SIVIERI, 2016). Sabe-se que a corrente de dreno é proporcional a taxa de transmissão, mas estudos recentes mostraram que a aproximação WKB não é muito adequada para o silício (IONESCU, 2013). Contudo ela pode nos fornecer uma análise qualitativa de que a taxa de transmissão de elétrons na junção, e portanto a corrente de dreno, se torna maior com o aumento no valor de  $\lambda$  (janela de tunelamento) e com a diminuição da faixa energética de sobreposição de bandas  $\Delta\Phi$ . Ou seja, concluímos que para se ter uma corrente de dreno maior é desejável ter uma junção tão abrupta quanto possível.

## 1.4 Objetivos

O objetivo primário deste projeto é otimizar um TFET existente, além de fazer um modelo computacional dele. O resultado final pode ser dividido em três partes: descrição do dispositivo, geração da estrutura e simulação elétrica, conforme ilustrado na figura 7:

Figura 7: Decomposição funcional do projeto.



Legenda:

Bloco 1: Simulação final.

Bloco 2: Decomposição da simulação em etapas.

Bloco 3: Resultados entregues para cada etapa de simulação.

Os objetivos buscados nos parâmetros de desempenho foram analisados em uma árvore de objetivos ponderada:

Cálculo dos pesos:

Comparação par a par de importância numa escala de 1 a 4, sendo 1: igualmente importante e 4: muito mais importante.

Tabela 1: Cálculo dos pesos da árvore de objetivos.

	SS	Consumo	Ids	Materiais	Peso geométrico	Peso normalizado
SS	1	1	1/3	3	1	0,226
Consumo	1	1	1/3	3	1	0,226
Ids	3	3	1	4	2,45	0,467
Materiais	1/3	1/3	1/4	1	0,41	0,081

Figura 8: Árvore de objetivos.

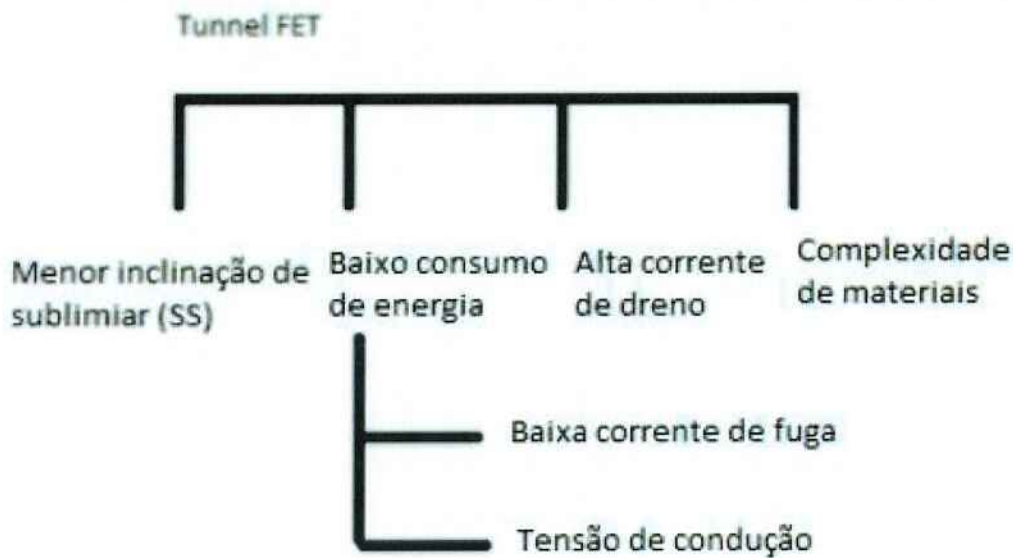


Tabela 2: Cálculo dos pesos do ramo da árvore de objetivos.

	Corrente de fuga	Vth	Peso geométrico	Peso normalizado
Corrente de fuga	1	1/2	0,71	0,333
Vth	2	1	1,41	0,666

Os parâmetros de desempenho são definidos como:

Inclinação de sublimiar (SS) mínima: O SS é definido como  $SS = dV_{gs}/d\log(I_{ds})$  nos trechos de transição entre os estados ON e OFF.

Corrente de dreno  $I_{on}$ : o valor de  $I_{on}$  é definido como a corrente para  $V_{gs}$  igual a tensão de alimentação. A tensão de alimentação pode ser definida arbitrariamente, porém sempre se visa ter a menor tensão de alimentação quanto possível para se obter uma maior eficiência energética. Visando superar a tecnologia comercial atual (que conta com uma tensão de alimentação de 1,8V em módulo), Essa tensão será definida como 1,5V, de forma que  $I_{on}$  fica definido como a corrente para a condição de  $V_{gs}=1,5V$  (em módulo).

Menor complexidade de materiais para fabricação: O transistor simulado deve ser de silício ou de germânio, com boro e arsênio como impurezas,  $SiO_2$  e  $HfSiON$  como óxidos de porta, TiN e Si-poli como metais de porta e  $SiO_2$  como óxido enterrado (para geometria SOI [14]). Esses materiais são relativamente simples e já tipicamente usados na indústria de microeletrônica.

Consumo de energia:

Corrente de fuga ( $I_{dsOFF}$ ): É a corrente na condição de  $V_{gs}=0V$ .

Tensão de condução: A tensão de condução pode ser definida de várias formas.

No caso deste trabalho, a tensão de condução é definida como o valor de  $V_{gs}$  a partir da qual a corrente se torna sensível ao campo elétrico da porta. Entre os 3 fenômenos de condução apresentados na seção 1. Introdução, apenas o SRH não depende da tensão aplicada na porta, de forma que a tensão de condução pode ser definida como o valor de  $V_{gs}$  em que o TAT começa a se manifestar. Matematicamente, isso pode ser identificado através do valor de SS: uma vez que o valor de  $V_{gs}$  atingir a tensão de condução, o SS deve passar abruptamente de um número muito alto (pois a curva na região de SRH é quase horizontal em escala log) para um valor bem menor, da ordem de algumas centenas de mV/década, momento no qual o TAT passa a atuar e a corrente a subir.

Na tabela abaixo pode-se ver os valores numéricos dos objetivos:

Tabela 3: Resumo de objetivos.

Parâmetro	Objetivo	Unidade
Inclinação de sublimiar (SS)	<60	mV/déc
Corrente de dreno Ion	>0,1	uA
Tensão de condução ( $V_{th}$ ) em módulo	<1	V
Corrente de fuga ( $I_{off}$ )	<1	pA
Materiais de fabricação:		
Metal dos contatos	TiN	-
Óxido de porta	HfSiON e SiO <sub>2</sub>	-
Substrato	Si ou Ge	-

## 2 Estado da arte

### 2.1 Situação atual do problema

Por muito tempo foi-se utilizado como material para a produção de transistores o silício, entretanto, quando os componentes chegaram a dimensão de 14 nm, efeitos como o tunelamento e o “gate leakage” tornaram inviáveis a utilização desse material para tecnologias menores, mesmo utilizando geometrias como a do FinFet. Para possibilitar a produção de transistores de 10 nm e 7 nm foi necessário materiais como silício-germânio (SiGe) ou germânio puro <sup>1</sup>. No momento atual, a indústria da eletrônica está vivendo o que chamam de “o Nó dos 5 nanômetros”, que é um marco histórico para o desenvolvimento tecnológico pois deflagra o fim da validade da Lei de Moore, tendo em vista que será necessário mais do que dois anos para a implementação de transistores com essa dimensão em chips comerciais. Várias empresas e universidades estão estudando possibilidades para a solução do nó dos 5 nanômetros, entre as possíveis soluções, que podem ser implementadas em conjunto, estão: vortex laser, MOSFET-BJT dual-mode transistor, 3D packaging, microfluidic cooling, PCMOS, vacuum transistors, t-rays, extreme ultraviolet lithography, carbon nanotube transistors, silicon photonics, graphene, phosphorene, organic semiconductors, gallium arsenide, indium gallium arsenide, nano-patterning, e reconfigurable chaos-based microchips. Apesar de muito investimento e as múltiplas possibilidades de solução, especialistas acreditam que o transistor de 5 nm só será comercializável em, no mínimo, 2020<sup>2</sup>.

### 2.2 Geração de conceitos

Das diversas tentativas atuais de se inovar em termos de tecnologia em dispositivos em nanoeletrônica, foram escolhidas três em particular que estão, sucessivamente, cada uma em uma fase de implementação. O TFET, como será mostrado a seguir, se encontra em uma fase intermediária de desenvolvimento, sendo este o principal critério para a escolha dele como conceito a ser desenvolvido neste projeto.

#### 2.2.1 Spintrônica

Desde 1988, com a descoberta e descrição da magnetorresistência gigante por Albert Fert e Peter Gr mberg, existe a ideia de se desenvolver dispositivos eletr nicos digitais

<sup>1</sup> <https://wccftech.com/intel-isscc-14nm/>

<sup>2</sup> <http://semiengineering.com/going-to-gate-all-around-fets/>

não baseados em corrente elétrica mas sim em spin dos elétrons. O spin é uma característica que define alguns dos estados quânticos de uma partícula e no caso do elétron pode assumir os valores 0,5 ou -0,5. Assim, os bits 0 e 1 tradicionais poderiam ser substituídos pelos dois spins possíveis do elétron, que por sua vez podem ser manipulados através de campos magnéticos aplicados a determinados materiais. Os bits tradicionais seriam então substituídos pelos qubits que tem a interessante propriedade de utilizarem a superposição de estados quânticos de forma que um bit pode ser 0, 1, os dois ou nenhum deles simultaneamente, de forma que um registrador de um qubit pode ter 4 estados possíveis ao invés de 2. Este conceito, apesar de já ser utilizado em alguns tipos de memória mais modernas, ainda não foi possível de ser utilizado em um dispositivo eletrônico de fato como um diodo ou transistor e hoje em dia ainda se encontra no campo de estudo da física de estado sólido. Atualmente, os esforços estão concentrados em se fazer o mapeamento de spins para diversos tipos de materiais, bem como a manipulação de spins em materiais supercondutores sob campos magnéticos extremamente intensos, estando portanto em um patamar de pesquisa anterior a fabricação de dispositivos propriamente ditos (JOSHI, 2016).

### 2.2.2 TFET

O TFET, como já explicado em seções anteriores deste artigo, também utiliza um efeito quântico para seu funcionamento. Contudo o efeito do tunelamento, pela sua própria natureza de se basear na largura de uma barreira de energia, tem uma aplicação mais direta para dispositivos eletrônicos e é mais facilmente manipulável que os spins de elétrons em um material semiconductor, que necessita de campos magnéticos muito grandes (JOSHI, 2016). Dessa forma, o TFET já foi concebido como prova de conceito de um dispositivo possível e diversos dispositivos desse tipo vêm sendo fabricados em diversas geometrias e com diversos materiais nos últimos anos, diferentemente da spintrônica que é ainda um conceito a ser provado em termos de dispositivo, apesar de ter passado pela prova de conceito a nível de materiais (não é a toa que podemos falar de diodos túnel e TFETs mas ainda não podemos falar em spin-transistors ou spin-diodos). Apesar disso, podemos dizer que o TFET se encontra numa escala intermediária de implementação porque essa tecnologia ainda não foi usada comercialmente e é ainda apenas um conceito promissor como dispositivo.

### 2.2.3 MOS-FinFET

O FinFET é um tipo de transistor ainda baseado na tecnologia MOS, de forma que funciona com base na deriva/difusão, mas que é implementado em uma geometria diferente: ao invés de conceber o transistor como uma estrutura planar, o FinFET o faz em uma estrutura tridimensional, de forma a se ter múltiplas portas. Isso possibilita minimizar consideravelmente o efeito de canal curto e o tunelamento indesejado, sendo uma

tecnologia que possibilitou a redução de tamanho dos transistores para valores abaixo dos que seriam possíveis com o MOS tradicional, de forma a ser a primeira tecnologia comercial a ultrapassar a primeira barreira física que havia sido prevista em teoria para os MOSFET (imposta principalmente pelo efeito de canal curto). Esse tipo de transistor passou a ser usado comercialmente de fato desde 2017 e não é mais só uma prova de conceito, mas sim uma realidade industrial. O aprimoramento de FinFETs pelas empresas de semicondutores e pelas universidades continua acontecendo com o estudo de variações na geometria, nos níveis de dopagem e nos materiais utilizados, bem como no desenvolvimento de técnicas de fabricação para se continuar com a redução das dimensões dos dispositivos. Apesar dessas considerações, é um fato de que o FinFET voltará a esbarrar nas barreiras físicas da tecnologia MOS, de forma que é previsto que este tipo de dispositivo só será possível até dimensões de cerca de 5nm. (SIVIERI, 2016)

À luz destes 3 conceitos de novos dispositivos em nanoeletrônica, o TFET foi escolhido porque se encontra em um campo de estudo mais próximo da engenharia do que da física (em comparação com a spintrônica), sendo um conceito provado já em termos de dispositivo, e que não tem uma barreira física em vista como os FinFET que, apesar de ainda terem muito que ser desenvolvidos e ser um dispositivo extremamente inovador, além de ser já utilizado nos processadores mais modernos, ainda se utiliza do princípio de difusão/deriva e deve ser uma tecnologia que irá se exaurir no futuro.

## 2.3 Parâmetros que vem sendo otimizados em TFETs

Existem basicamente 3 abordagens para otimização de parâmetros de fabricação em TFET: 1) Estudo de novos materiais; 2) Estudo de novas geometrias e 3) otimização da junção de tunelamento (seja em nível ou em perfil de dopagem).

### 2.3.1 Novos materiais

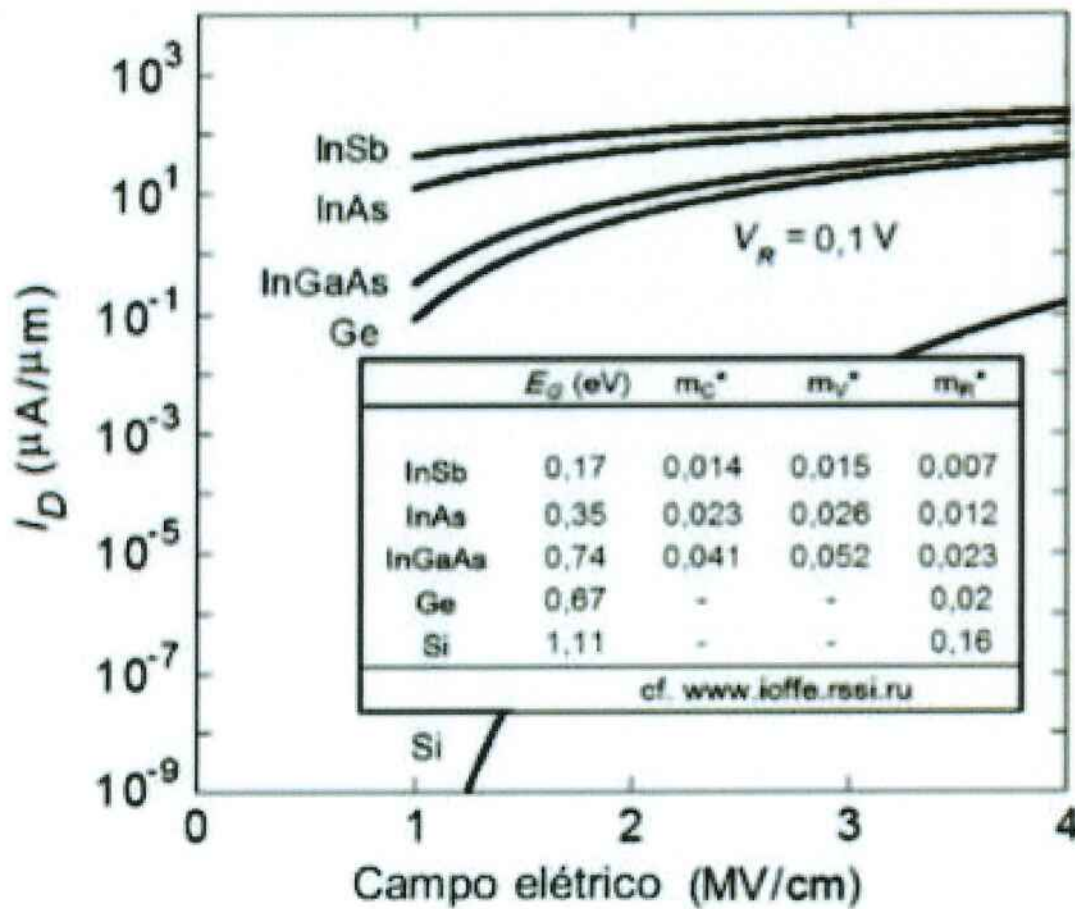
Uma vez que cada material possui uma massa efetiva e uma tensão de barreira característicos, a probabilidade de tunelamento e conseqüentemente a corrente atingida são influenciados pela escolha do mesmo. Os que têm sido mais cotados como alternativa ao silício são: germânio e ligas de germânio-silício, materiais III-V e grafeno. A figura 4 apresenta uma relação entre corrente de dreno por unidade de área e o material usado, com base na tensão de barreira ( $E_g$ ), onde podemos observar que quanto menor o valor dessa, maior o valor da corrente de dreno ( $I_d$ ) (SIVIERI, 2016).

### 2.3.2 Novas Geometrias

Alguns fatores levados em consideração na geometria do dispositivo são: o controle eletrostático da porta sobre o canal, a área da junção e o alinhamento entre o campo

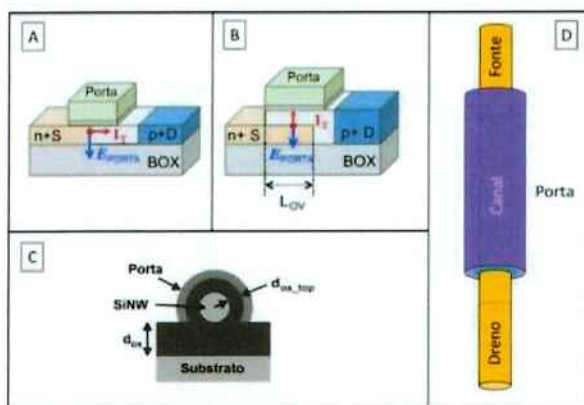


Figura 9: Barreira de energia e corrente de dreno para diferentes materiais.



elétrico da porta e o da junção de tunelamento interna. As estruturas que diferem da estrutura planar convencional e que vem sendo estudadas são o nanofio (vertical ou horizontal), e o line TFET, representados na figura seguinte (MARTINO, 2012):

Figura 10: Novas estruturas geométricas de TFET. a) Lateral TFET, b) Line TFET, c) nanofio horizontal e d) nano fio vertical.



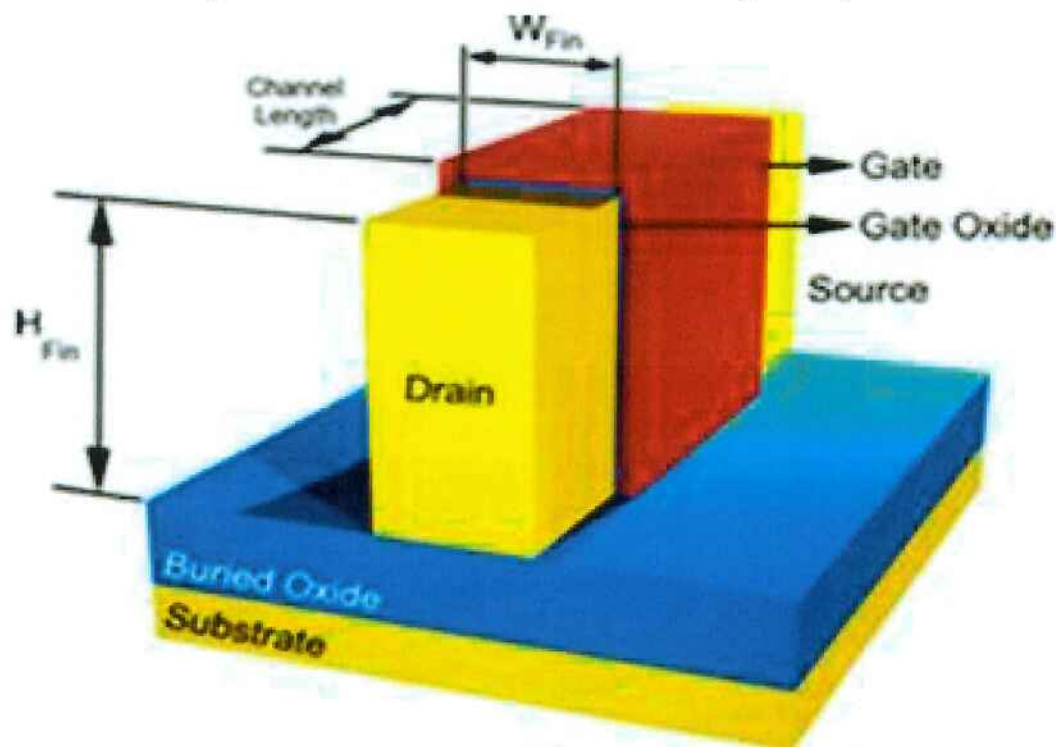
### 2.3.3 Otimização da junção

A dopagem da fonte é um parâmetro importante para o desempenho do transistor. É desejável que a concentração de dopantes seja a mais alta possível, para se ter uma taxa de tunelamento maior, porém essa taxa não pode ser alta demais, caso em que o nível de energia da fonte se torna maior que o da barreira. Quanto ao perfil de dopagem, é desejável que se tenha o perfil mais abrupto quanto possível, aumentando a probabilidade de tunelamento (SIVIERI, 2016).

### 3 Materiais e Métodos

A geometria que foi utilizada na simulação foi a SOI-FinTFET de porta tripla, conforme ilustrado na figura 9:

Figura 11: Geometria simulada: SOI-FinFet de porta tripla.



Para fazer simulações desse dispositivo utilizou-se o software Sentaurus. Esse software trata-se de um poderoso simulador de dispositivos eletrônicos multidimensionais que é capaz de fazer simular as características elétricas, térmicas e ópticas desses dispositivos. Através dele é possível fazer diversas alterações geométricas e constitutivas tanto em relação aos materiais quanto em relação às dopagens dos dispositivos e verificar as modificações de desempenho que essas alterações geram.

Tabela 4: Tabela de dimensões geometria simulada

Parâmetro	Valor (nm)
WFin	40
Comprimento do canal	150
Espessura do óxido de porta	2
HFin	65
H óxido enterrado	145

Figura 12: Geometria no simulador.

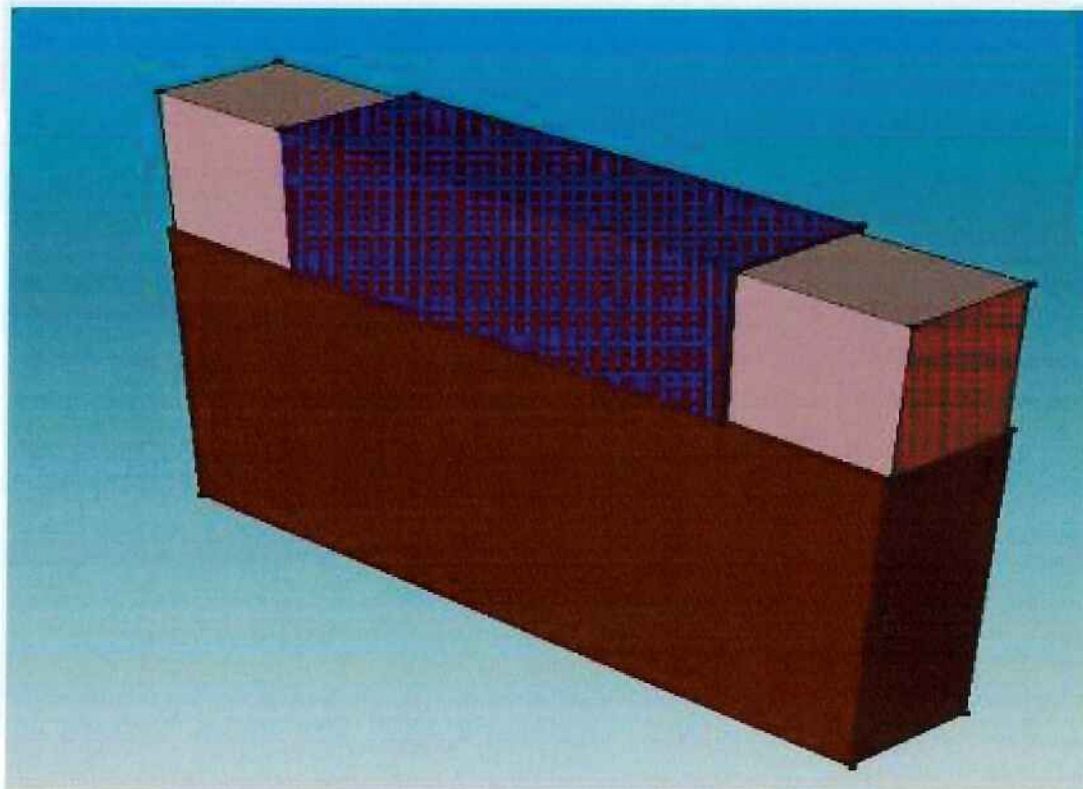


Tabela 5: Tabela das dopagens da geometria simulada

Região	Elemento	Dopagem
Canal	Boro	1e15
Fonte	Boro	1e20
Dreno	Arsênio	1e20

Tabela 6: Tabela dos materiais da geometria simulada

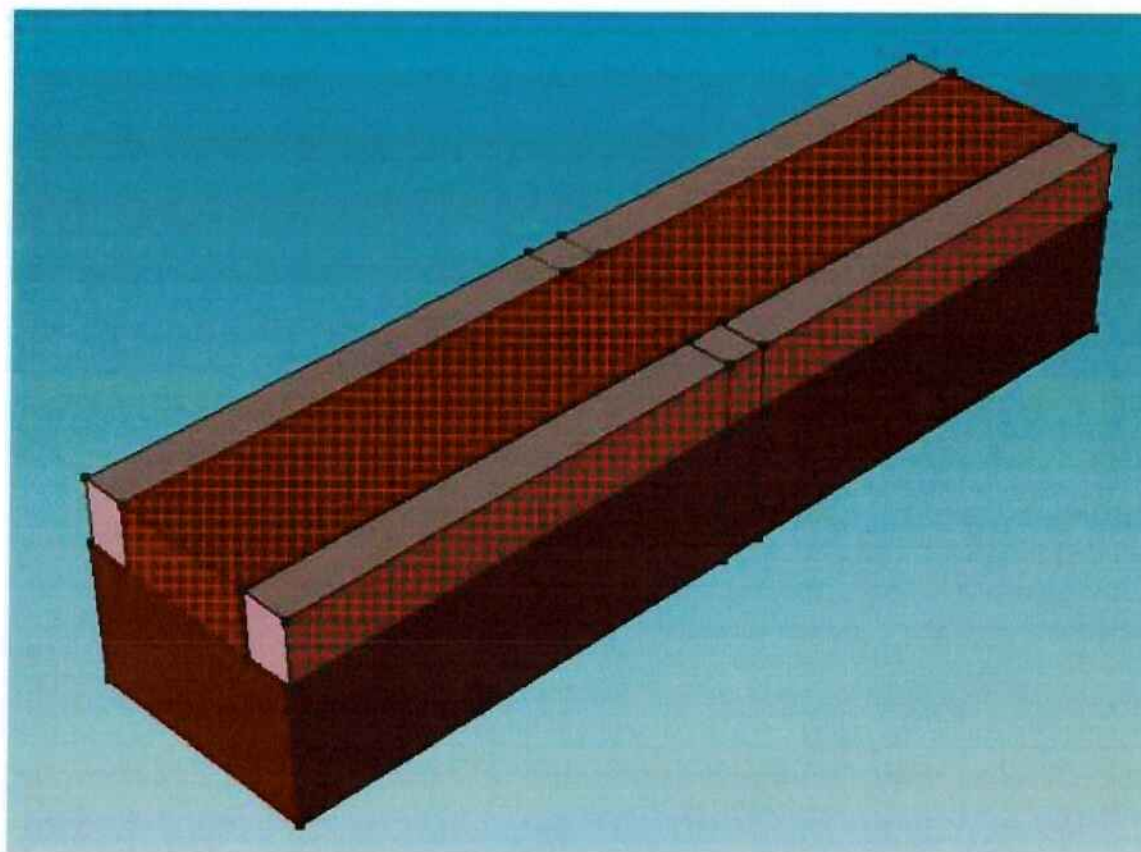
Região	Material
Óxido de porta	HfSiON e SiO <sub>2</sub>
Óxido enterrado	SiO <sub>2</sub>
Metal de contato	TiN; $\Phi_{MS} = 4,68V$

Para certificar que os dados obtidos das simulações são fidedignos, foram feitas medidas na sala de caracterização do laboratório do LSI em transistores de tunelamento com características geométricas e de dopagem muito semelhantes aos que foram simulados no Sentaurus. Esses dados empíricos puderam ser utilizados para comprovar que os dados obtidos no simulador se aproximam da realidade.

## 4 Implementação

Após a escolha do tipo de estrutura a ser utilizada para a simulação, escolhida tanto por ter um nível de complexidade não tão elevado, quanto por existir amostras desse dispositivo dentro da própria escola politécnica e também por ser possível se obter resultados interessantes e significativos, foi utilizada a ferramenta do Sentaurus chamada Sentaurus Structure Editor para dimensionar as medidas do dispositivo de forma a, em um primeiro momento, se aproximar das amostras existentes para que fosse possível comparar com os dados empíricos com os simulados. Posteriormente, após confirmação de que a simulação é bastante fidedigna, pode-se modificar os parâmetros construtivos com objetivo de otimizar o dispositivo.

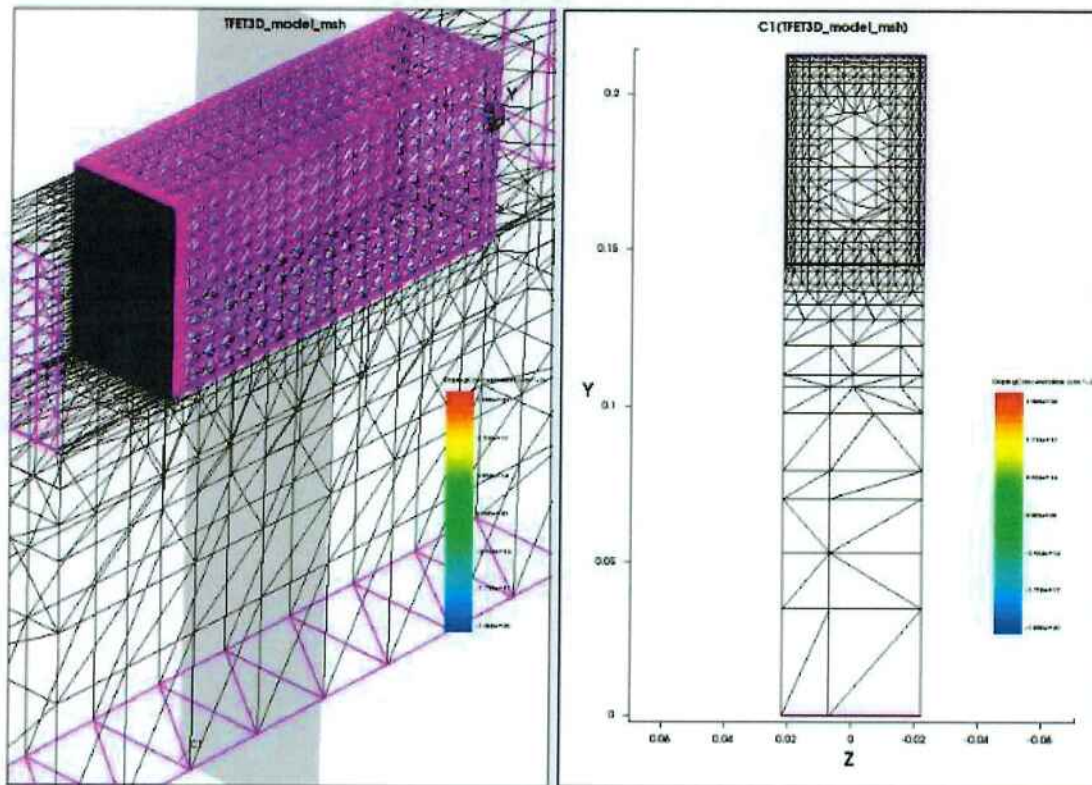
Figura 13: Exemplo de estrutura criada no Sentaurus Structure Editor com parâmetros diferentes para teste ( $W=1000\text{nm}$ ).



Após definidas as dimensões do dispositivo e os contatos devidamente posicionados e identificados é possível passar para uma segunda parte da simulação, a definição da grade de pontos onde serão calculados o campo elétrico durante a simulação. Essa parte é de extrema importância pois existem regiões do dispositivo que já sabe-se de antemão que haverá maior necessidade de se calcular o campo elétrico em muitos pontos, e outras

regiões em que não são necessários tantos pontos. Para o dispositivo em questão (SOI-FinTFET) as regiões dentro do canal que são próximas do óxido do gate e as regiões próximas a intersecção fonte/canal são as mais importantes, dessa forma foi necessário fazer uma grade mais refinada nessas regiões.

Figura 14: Grade do dispositivo com visão de um corte ortogonal ao comprimento do canal.



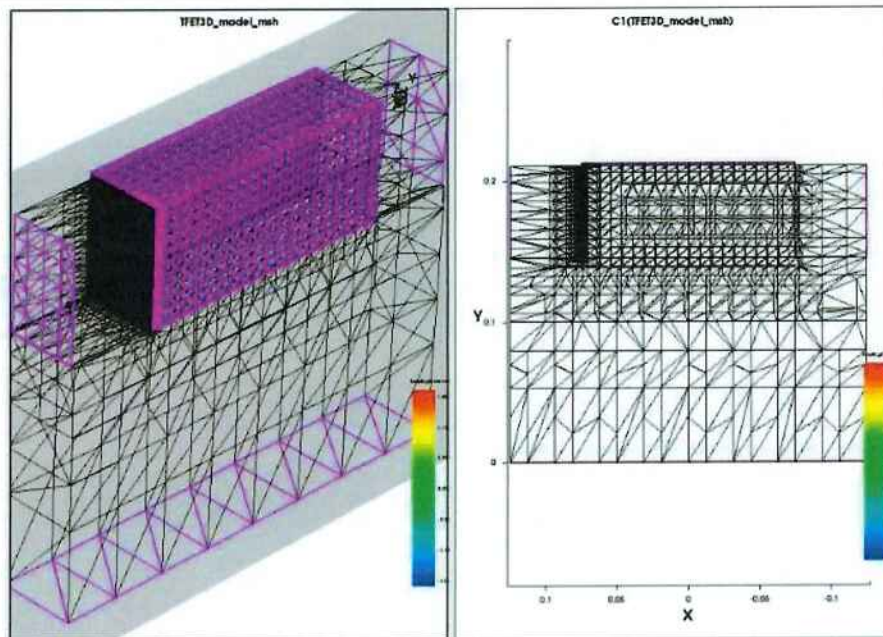
Na Figura 14 é possível observar o refinamento mais fino nas regiões do canal próximas ao óxido de porta.

Na figura 15 é possível observar que a grade é muito mais refinada na região de intersecção entre a fonte e o canal. Isso se deve ao fato de que, nesse dispositivo, o fenômeno do tunelamento ocorre quase que em sua totalidade nesta região. Essa grade utilizada para a simulação final tem 186418 pontos e 34260 elementos.

Após o dimensionamento da estrutura e da criação da grade o passo seguinte da simulação é a utilização do programa Sentaurus Device. Esse programa é o que de fato faz os cálculos dos campos elétricos e das correntes que passam pelo dispositivo.

Para fazer a simulação com mais detalhe e poder melhor compreender e controlar os diversos fenômenos que ocorrem no dispositivo (BTBT, TAT, SRH), foram feitas simulações separadas, cada uma com um dos fenômenos ocorrendo. No caso do BTBT e do SRH, esses fenômenos puderam ser simulados de forma isolada. O TAT, conforme explicado na seção 1. Introdução, é causado pelo mesmo nível energético intermediário (Etrap)

Figura 15: Grade do dispositivo com visão de um corte ortogonal à largura do canal (WFin).



que também está presente no SRH, de forma que a densidade de portadores gerados é calculada da mesma forma em ambos, com a diferença de que no TAT é acrescido um termo de enriquecimento de campo (ou seja, proporcional a  $V_{gs}$ ). Por conta deste termo e da mesma origem dos dois fenômenos, eles não são separáveis, de forma que o TAT é modelado como um SRH fortemente dependente do campo elétrico.

Para fazer essa separação dos três principais fenômenos físicos que ocorrem no transistor de tunelamento utilizamos uma parte do código do Sentaurus Device chamado Physics, no qual é possível selecionar os fenômenos e princípios de condução que serão de fato utilizados para a simulação. Será explicado em mais detalhes o funcionamento dos fenômenos ativados para cada uma das simulações:

Usado em todas as simulações:

Temperatura=300K : A temperatura foi mantida constante pois não faz parte do escopo desse trabalho verificar os efeitos térmicos;

EffectiveIntrinsicDensity(noBandGapNarrowing): o band gap efetivo é calculado como:

$$E_{eff} = E_g(T) - E_{bgn} \quad (4.1)$$

onde  $E_g(T)$  é o band gap calculado pelo modelo de dependência térmica e  $E_{bgn}$  é o estreitamento de band gap. Utilizando noBandGapNarrowing, o termo  $E_{bgn}$  é ignorado.

Para a simulação do BTBT foi ativado o seguinte modelo:

Recombination(Band2Band(Model=NonLocalPath)): Esse princípio de condução considera não só os portadores de carga gerados por tunelamento próximos à superfície da intersecção do canal mas também os portadores gerados dentro do próprio canal. No NonLocalPath o caminho é calculado iterativamente e não só num caminho pré definido próximo a superfície como o no modelo local;

Para simulação do SRH foi ativado o seguinte modelo:

Recombination(SRH(Doppingdependence)): Esse princípio de condução considera os fenômenos de difusão e deriva em função dos tempos de vida dos portadores. Esse tempo de vida por sua vez é calculado com base nas dopagens do dispositivo;

Para simulação do TAT foi ativado o seguinte modelo:

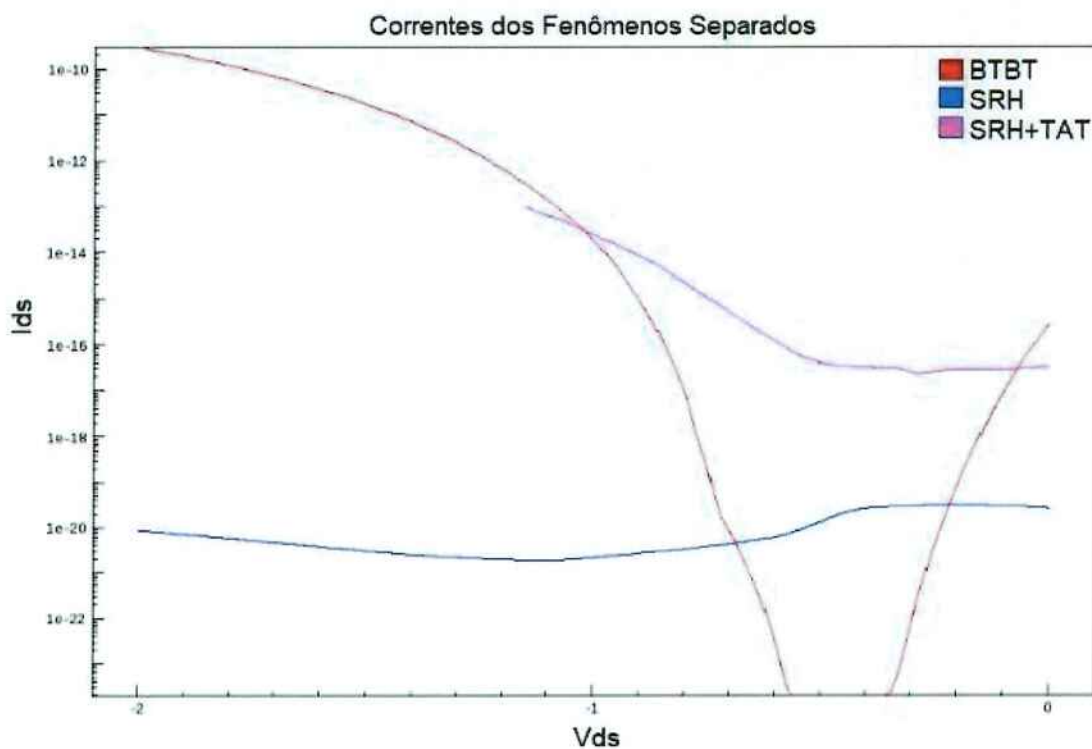
Recombination(SRH(NonLocalPath(Lifetime = Schenk))): Esse princípio de condução considera os portadores capturados e emitidos pelas imperfeições existentes. Para cada ponto e cada tipo de portador, o caminho do tunelamento é calculado dinamicamente.

Escolheu-se, ao invés de simular diretamente a corrente no dispositivo, simular a densidade de geração de portadores ao longo do dispositivo e multiplicar esse valor por uma constante para obter a corrente. Essa escolha foi feita para que os diferentes fenômenos de condução possam ser devidamente isolados e termos a certeza de que eles estão sendo calculados sem interferência de outros fenômenos físicos ou modelos que o simulador possa vir a considerar. A densidade de portadores é calculada pela integração do potencial elétrico ao longo do dispositivo, e a densidade de integração  $N$  utilizada foi de 250. A densidade de portadores gerados é dada em termos de número de portadores por  $\mu\text{m}^2.s$ , de forma que basta multiplicar os valores resultantes por  $q.10^{-12}$ , onde  $q$  é a carga do elétron, que resulta em  $1,6.10^{-31}$ .



Na figura abaixo pode-se visualizar em um mesmo gráfico uma simulação para cada um dos fenômenos de condução. Nesta figura, além de podermos ver o comportamento isolado de cada um dos fenômenos, fica evidente como o BTBT é o principal responsável pela corrente de Ion, como o TAT é o principal responsável pela degradação de SS e como o SRH define a corrente de fuga Ioff:

Figura 16: Correntes dos fenômenos separados e identificados.



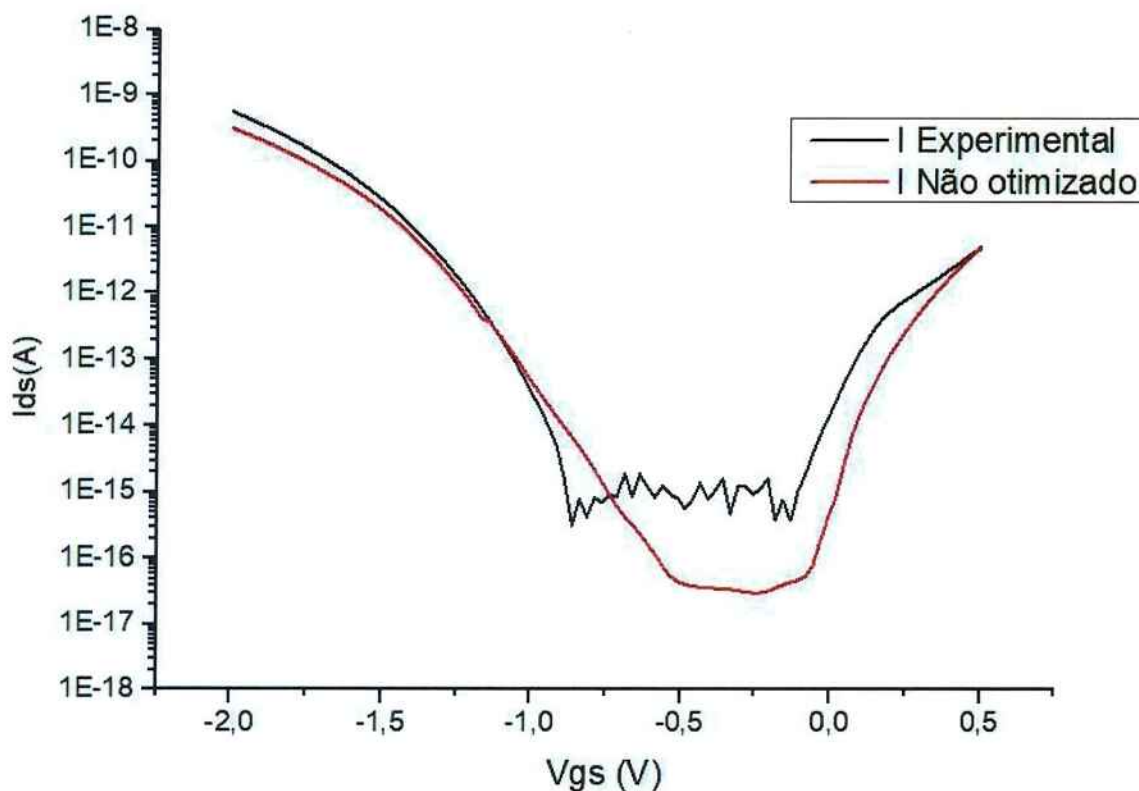
## 5 Resultados

Segundo o que foi apresentado na seção 2. Objetivos, o escopo deste trabalho contempla: parâmetros de fabricação, um modelo computacional e parâmetros de desempenho do dispositivo estudado. Nesta seção serão apresentados e discutidos os parâmetros de desempenho resultantes dos parâmetros de fabricação, apresentados na seção 4. Materiais e métodos, simulados com o modelo computacional apresentado na seção 5. Implementação, tanto para a simulação equiparada com a curva experimental quanto para as simulações de otimizações.

### 5.1 Equiparação com os dados experimentais

Uma vez definido o modelo computacional do transistor do qual se obteve os dados experimentais, conforme descrito nas seções 4. Materiais e métodos e 5. Implementação, foram feitas simulações cujos resultados podem ser vistos na figura abaixo:

Figura 17: Comparação entre as curvas  $I_{ds}$  x  $V_{gs}$  Experimental (preto) e simulado (vermelho).

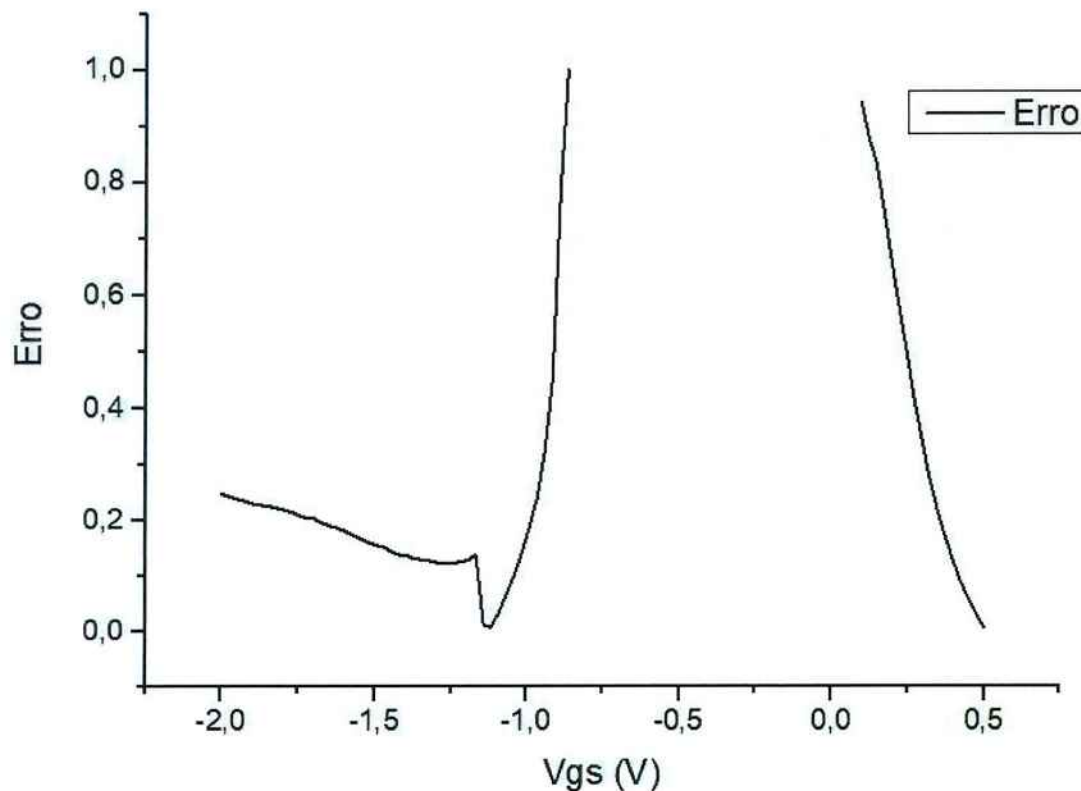


O aparelho utilizado para as medidas experimentais têm a limitação de não conseguir medir correntes menores que alguns fA, de forma as medidas entre -0,9V e 0,1V podem ser, na melhor das hipóteses, apenas estimadas com ajuda de simulações. Nas de-

mais regiões, os modelos adotados tiveram uma aderência muito boa com relação à curva experimental, como pode se observar na figura abaixo, em que o erro foi definido como:

$$|\text{erro}| = \log(I_{\text{experimental}}) - \log(I_{\text{simulado}}) \quad (5.1)$$

Figura 18: Erro na comparação entre a curva experimental e a simulada.



O erro foi definido como a diferença dos logs das correntes porque apenas diferenças de ordens de grandeza são significativas. Não foi calculado o erro para tensões entre -0,9V e 0,1V por causa da limitação de medição de corrente do equipamento experimental. Vemos que ao longo de toda a curva o erro não passou de 1, ou seja, em nenhum ponto a diferença entre o simulado e o experimental chegou a ser maior que uma ordem de grandeza.

É possível também perceber que o transistor exibe um efeito de ambipolaridade: após passar por um platô de baixa corrente (estado OFF), a corrente passa a subir significativamente a partir de  $V_{gs}=0V$ . O tunelamento entre bandas (BTBT) ocorre não só na fonte (para tensões negativas) mas também acontece no dreno (para tensões positivas) porque ao aplicar-se tensão negativa na porta a banda de condução do canal cruza com a banda de valência da fonte, e o oposto acontece no dreno para tensões positivas (MARTINO, 2012).

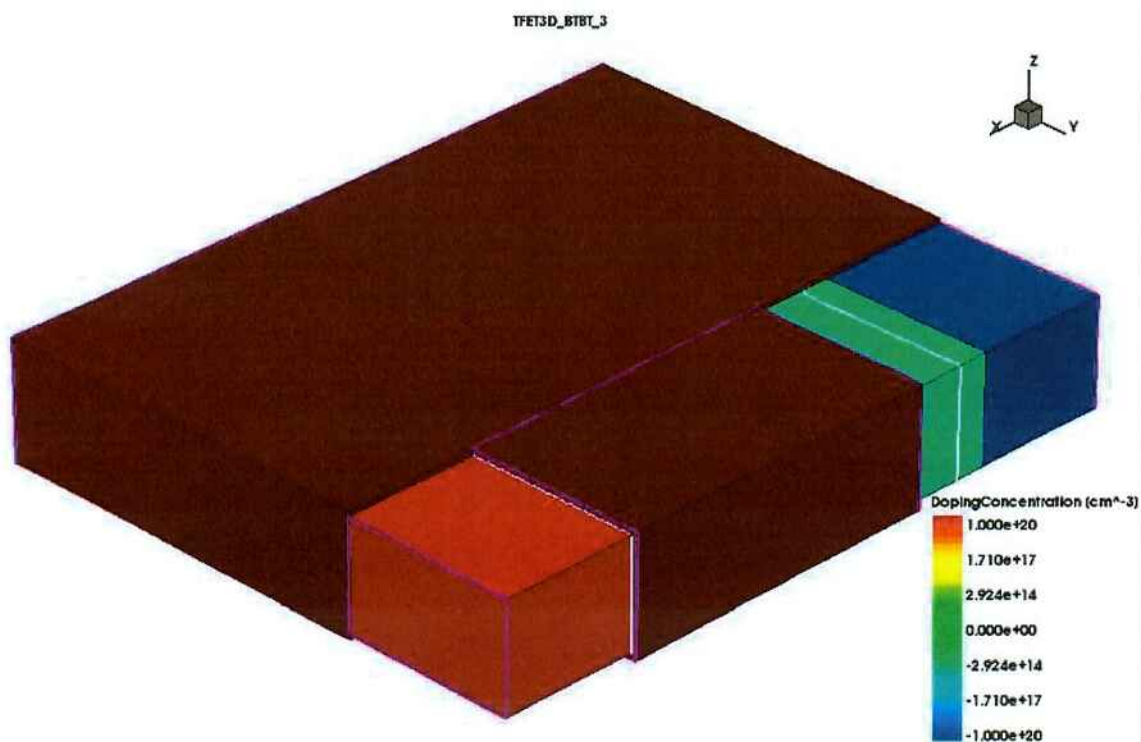
## 5.2 Otimizações

Partindo do modelo computacional do transistor real, fez-se uma série de otimizações visando atingir os objetivos definidos na seção 2. Todas elas foram feitas com base em uma geometria não autoalinhada. Essas otimizações foram: fazer uma geometria não auto alinhada para eliminar o efeito de ambipolaridade, diminuir a espessura do óxido de porta, diminuir a largura do transistor ( $W_{fin}$ ), aumentar o tempo de vida dos portadores para reduzir o efeito do TAT e simular um transistor de fonte de germânio.

### 5.2.1 Geometria não autoalinhada

Reduzindo a área de porta em cima do canal para o lado do dreno o campo elétrico se torna muito menos intenso nele reduzindo a ambipolaridade (MARTINO, 2012):

Figura 19: Geometria não auto alinhada.



A redução feita foi de 20nm e foi possível observar o desaparecimento total do indesejado efeito da ambipolaridade anteriormente existente no dispositivo, como mostra a Figura 20:

Figura 20: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado e da geometria não autoalinhada.

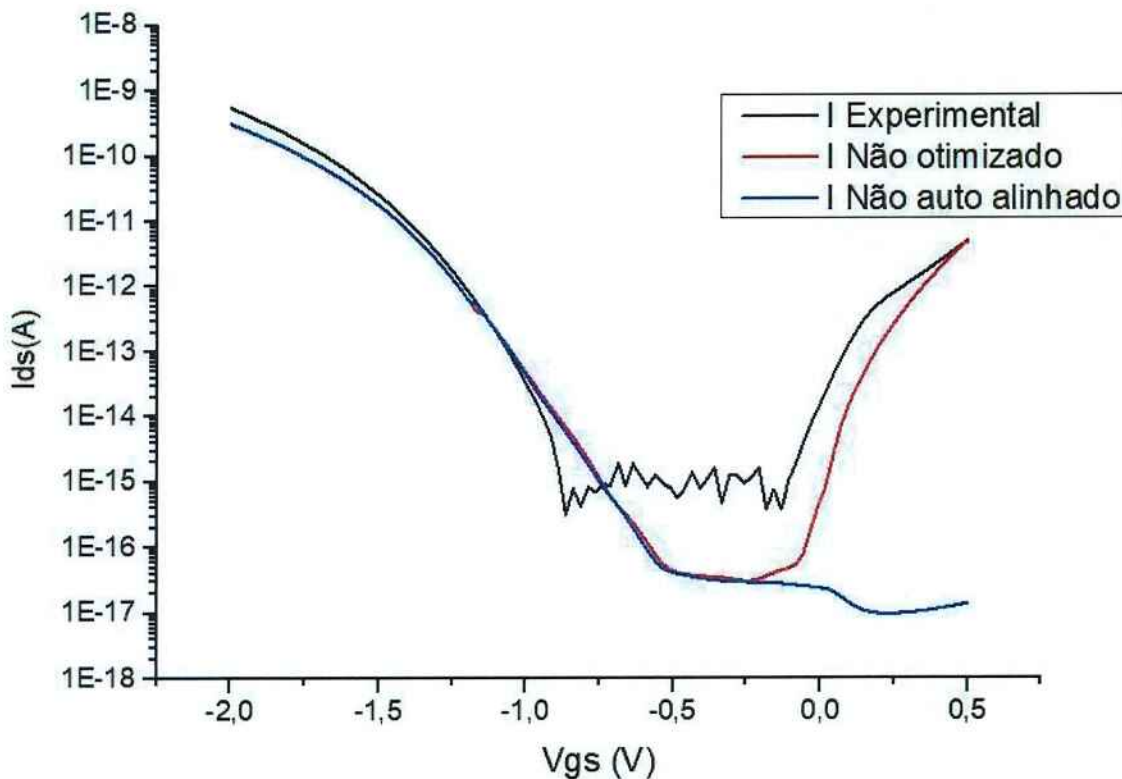


Tabela 7: Comparação de parâmetros entre curvas experimental, real simulado e geometria não autoalinhada

	Experimental	Real simulado	Não autoalinhado
SS mínimo (mV/déc)	<102	150	144
$V_{th}$ (V) (em módulo)	<1	0,56	0,58
$I_{off}$ (fA)	<1,6	0,4	0,02
$I_{on}$ (nA)	0,024	0,017	0,017

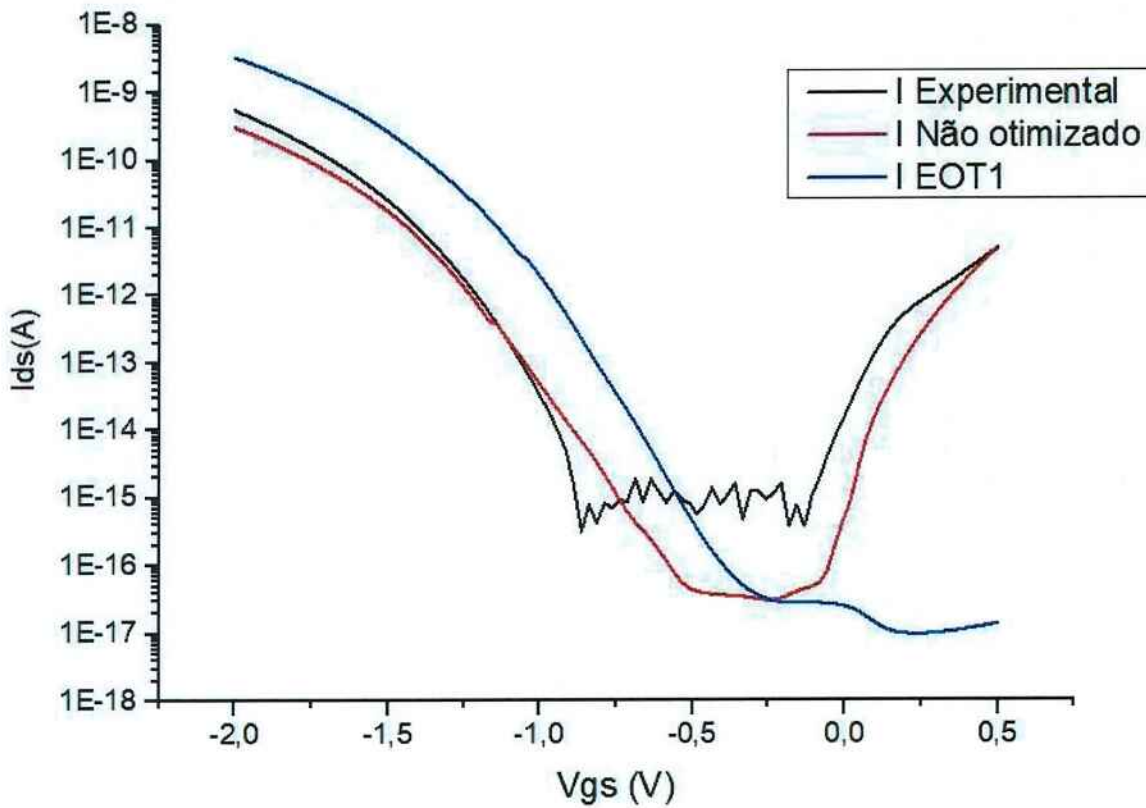
Além do desaparecimento do efeito ambipolar, é possível ver que o  $I_{off}$  para a geometria não autoalinhada é um pouco menor. Como os valores de  $I_{on}$  e de  $V_{th}$  são iguais para ambas as geometrias, isso resultou em um SS um pouco menor para a geometria não autoalinhada.

### 5.2.2 EOT de 1nm

A fim de aumentar a intensidade do campo elétrico na junção fonte-canal, pode-se diminuir a espessura do óxido de porta. Espessuras abaixo de 1nm são muito difíceis de serem fabricadas, sendo portanto esta a espessura mínima escolhida. Os resultados podem ser vistos na figura abaixo:

É possível perceber que a corrente de dreno  $I_{on}$  subiu em cerca de uma ordem de grandeza, mas que a corrente de fuga se manteve a mesma. Consequentemente, O valores

Figura 21: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e da geometria com EOT de 1nm.



de  $V_{th}$  e de  $SS$  diminuíram. A tabela a baixo resume esses resultados:

Tabela 8: Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com EOT de 1 nm.

	Experimental	Real simulado	Não autoalinhado	EOT de 1nm
SS mínimo (mV/déc)	<102	150	144	127
$V_{th}$ (V) (em módulo)	<1	0,56	0,58	0,4
$I_{off}$ (fA)	<1,6	0,4	0,02	0,02
$I_{on}$ (nA)	0,024	0,017	0,017	0,25

### 5.2.3 Diminuição de WFin

Ao diminuir a espessura do transistor intensifica-se o campo elétrico na junção canal-fonte, resultando em um aumento da corrente gerada por BTBT e por TAT, aumentando o valor de  $I_{on}$ , e diminuindo o efeito do SRH, diminuindo  $I_{off}$ . Consequentemente, o valor de SS diminui (MARTINO, 2012), sem alteração de  $V_{th}$ . O valor de WFin foi diminuído pela metade, resultando em 20nm. O resultado pode ser visto na figura abaixo:

Figura 22: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e da geometria com WFin de 20 nm.

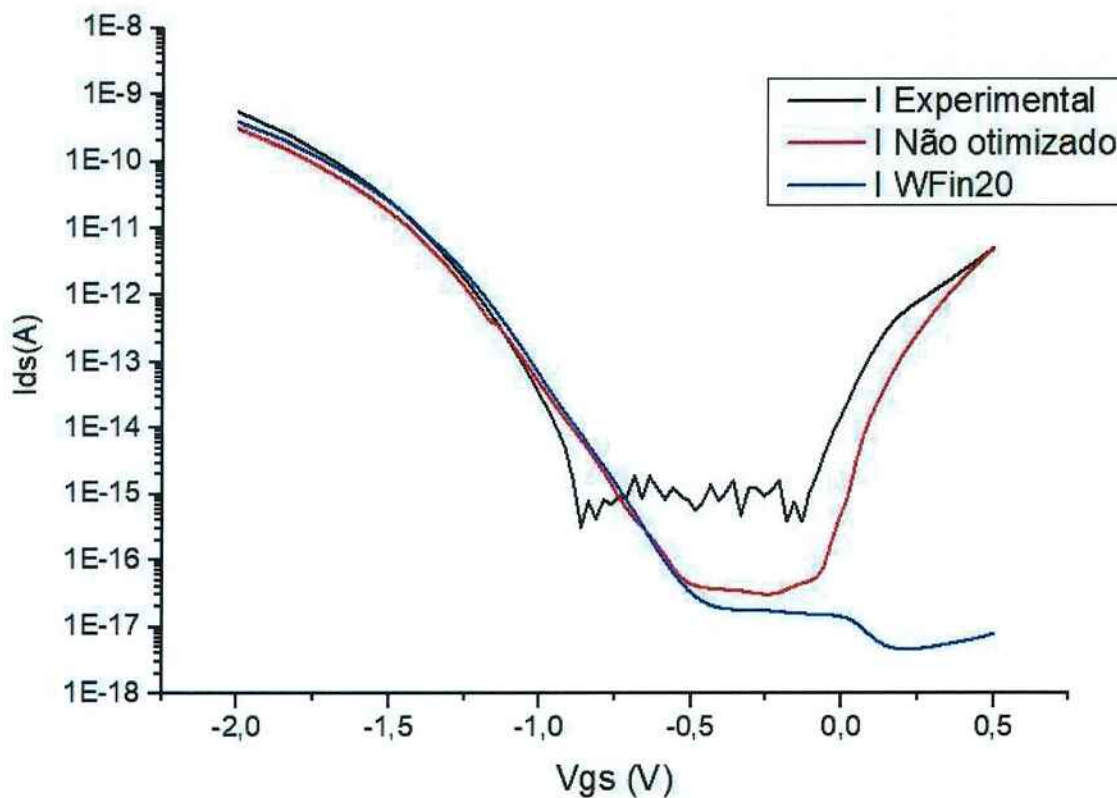


Tabela 9: Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com WFin de 20nm.

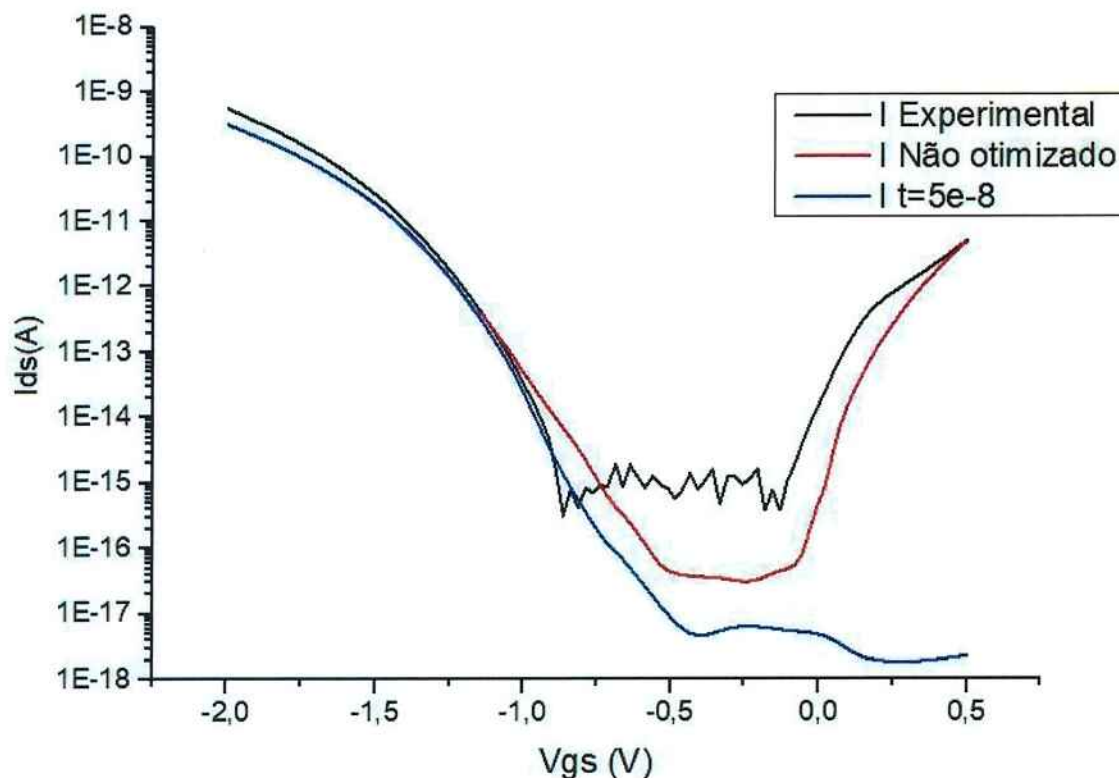
	Experimental	Real simulado	Não autoalinhado	WFin de 20nm
SS mínimo (mV/déc)	<102	150	144	130
$V_{th}$ (V) (em módulo)	<1	0,56	0,58	0,55
$I_{off}$ (fA)	<1,6	0,4	0,02	0,01
$I_{on}$ (nA)	0,024	0,017	0,016	0,025

O ganho de SS,  $I_{on}$  e  $I_{off}$  aconteceu mas foi pouco significativo.

### 5.2.4 Aumento do tempo de vida dos portadores

A taxa de recombinação depende tempo de vida dos portadores de carga. Esse parâmetro é definido como o tempo que leva para um par elétron-lacuna se recombinar em um átomo neutro. O tempo de vida dos portadores depende da concentração de impurezas. Os defeitos de fabricação fazem com que o tempo de vida dos portadores diminua, aumentando a taxa de recombinação e conseqüentemente a intensidade do TAT e do SRH. Como o TAT é o principal responsável pela degradação de SS, é desejável diminuir a ocorrência desse efeito, o que pode ser atingido via um processo de fabricação mais sofisticado (com maior limpeza, minimização de choques térmicos, processos mais eficientes e máquinas mais sofisticados, etc). Uma menor concentração de defeitos pode ser simulada aumentando o tempo de vida dos portadores. O valor de simulação equiparada com experimental resultou em um tempo de vida dos portadores igual a 10 ns. Esse valor foi aumentado para 50ns para simular um melhor processo de fabricação. Os resultados podem ser vistos na figura abaixo:

Figura 23: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor com tempo de vida dos portadores de 50ns.



É possível ver que o TAT se torna preponderante a partir de cerca de -1,1V para a geometria não autoalinhada com TAT não otimizado. Para o TAT otimizado, este só passa a ser importante a partir de cerca de -0,75V, resultando em SS,  $V_{th}$  e  $I_{off}$  menores. Os resultados estão resumidos na tabela 10:



Tabela 10: Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não alinhado e seu modelo com TAT otimizado.

	Experimental	Real simulado	Não alinhado	Melhor TAT
SS mínimo (mV/déc)	<102	150	144	99
Vth (V)(módulo)	<1	0,56	0,58	0,45
Ioff (fA)	<1,6	0,4	0,02	0,005
Ion (nA)	0,024	0,017	0,017	0,017

### 5.2.5 Fonte de germânio

Conforme explicado na seção 1. Introdução, a corrente de dreno  $I_{on}$  e o valor de SS dependem de diversos parâmetros associados ao material. A janela de tunelamento  $\lambda'$  depende do bandgap do material e influencia muito na corrente de dreno, conforme indica a aproximação WKB. O valor de  $\Delta\Phi$  e da massa efetiva dos portadores  $m^*$  também influenciam nesses parâmetros e dependem do material. Dessa forma, simulou-se um transistor com a fonte de germânio. Somente a fonte precisa ser de germânio pois é na interface desta com canal em que os portadores gerados por tunelamento são produzidos. Os resultados podem ser vistos na figura e na tabela abaixo:

Figura 24: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor com fonte de germânio.

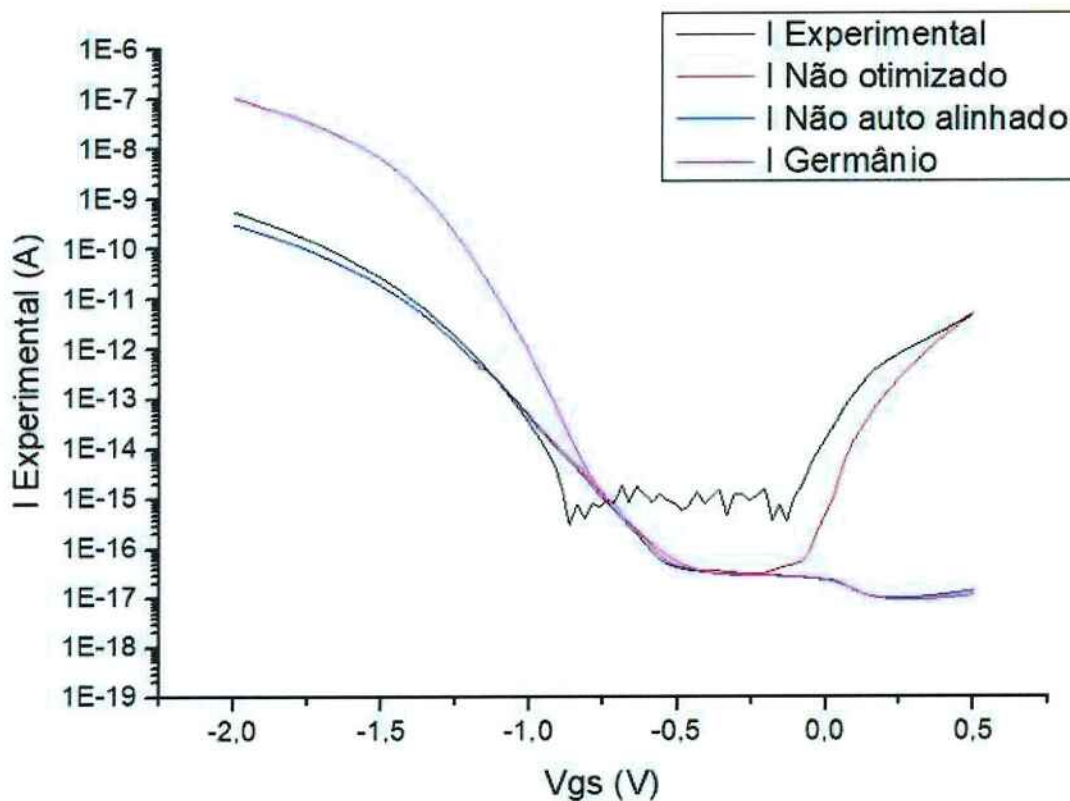


Tabela 11: Comparação entre transistor real, seu modelo computacional não otimizado, seu modelo não auto alinhado e seu modelo com fonte de germânio.

	Experimental	Real simulado	Não autoalinhado	Germânio
SS mínimo (mV/déc)	<102	150	143	77
Vth (V) (módulo)	<1	0,56	0,58	0,53
Ioff (fA)	<1,6	0,4	0,02	0,02
Ion (nA)	0,024	0,017	0,016	5,8

Conforme esperado, o valor de Ion subiu consideravelmente e o valor de SS mínimo diminuiu também consideravelmente. Contudo, é importante frisar que nesta simulação o efeito do TAT foi subestimado e deve ser maior que o apresentado aqui, de forma que o SS deve também deve ser maior. Sendo agora o transistor uma hetero-estrutura, o nível de defeitos na estrutura cristalina das moléculas deve ser bem maior na interface canal-fonte. Como o TAT depende diretamente do nível de defeitos e é proporcional a este, ele deve ser na prática maior. Este efeito não foi considerado nas simulações devido a falta de parâmetros para devida caracterização do germânio, dos defeitos e da estrutura como um todo.

### 5.3 O transistor otimizado

Juntando todas essas otimizações chegou-se no projeto do seguinte transistor:

Tabela 12: Parâmetros de fabricação do transistor otimizado: dimensões

Parâmetro	Valor (nm)
WFin	20
Comprimento de canal	150
Espessura do óxido de porta	1
HFin	65
H óxido enterrado	145

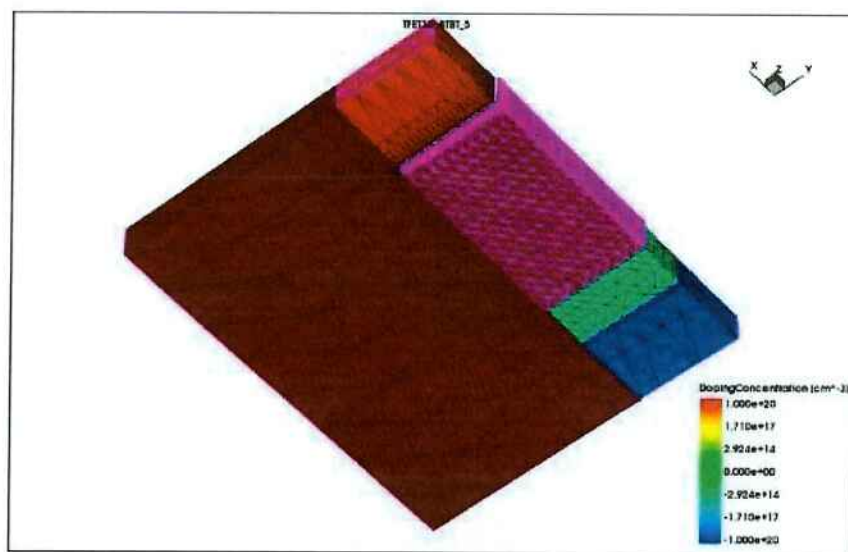
Tabela 13: Parâmetros de fabricação do transistor otimizado: dopagens

Região	Elemento	Dopagem
Fonte	Boro	1e20
Dreno	Boro	1e20
Canal	Arsênio	1e15

Tabela 14: Parâmetros de fabricação do transistor otimizado: objetivos

Região	Material
Óxido de porta	SiO2 e HfSiON
Óxido enterrado	SiO2
Metal de porta	TiN; $\Phi_{MS}=4,68V$
Substrato	Si e fonte de Ge

Figura 25: Geometria do transistor otimizado com grade de simulação numérica.



Número de elementos da simulação: 98147

Os resultados obtidos estão na figura e na tabela abaixo:

Figura 26: Curva  $I_{ds}$  x  $V_{gs}$  de comparação entre curvas experimental, do transistor real simulado, da geometria não autoalinhada e do transistor otimizado.

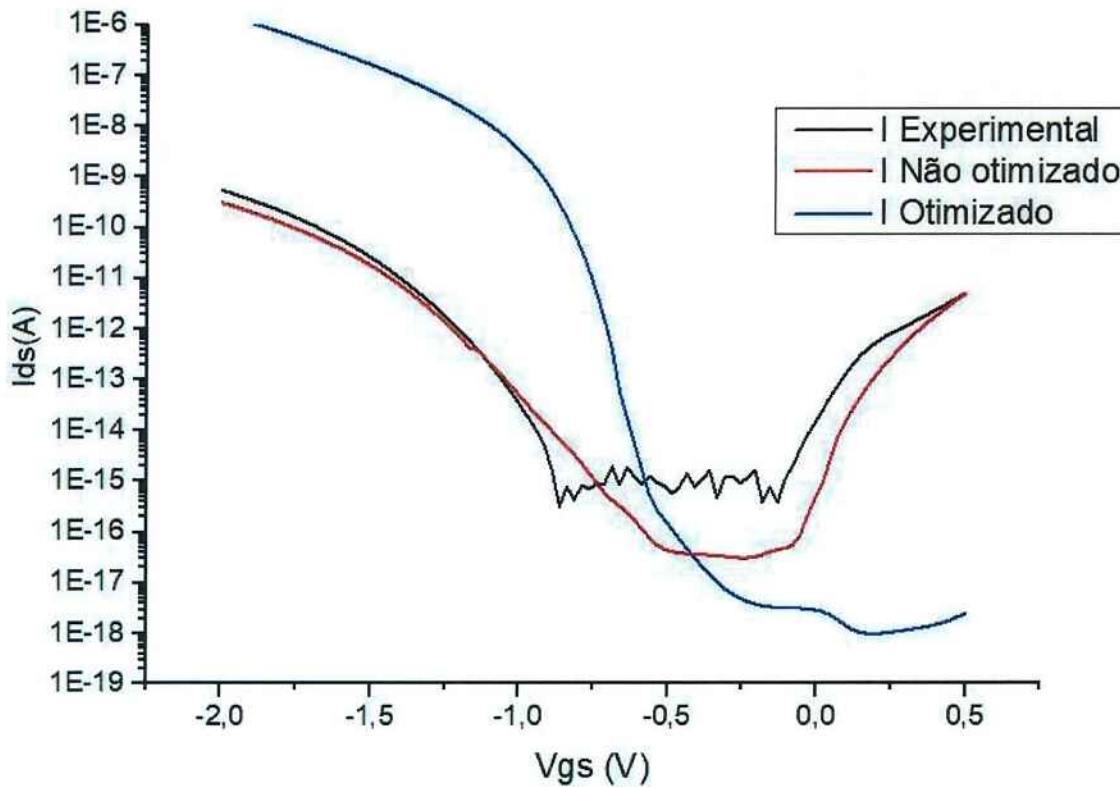


Tabela 15: Comparação entre curvas  $I_{ds}$  x  $V_{gs}$  dos dados experimentais, de simulação do real, do não autoalinhado e do transistor final otimizado.

	Experimental	Real simulado	Não alinhado	Otimizado	Objetivo
SS mín (mV/déc)	<102	150	144	42	<60
$V_{th}$ (V) (módulo)	<1	0,56	0,58	0,36	<1
$I_{off}$ (fA)	<1,6	0,4	0,02	0,003	<1000
$I_{on}$ (nA)	0,024	0,017	0,017	156	>100

Podemos ver que as otimizações produziram efeitos significativos em todos os parâmetros, em particular para os dois mais importantes que são corrente de dreno  $I_{on}$  e inclinação de sublimiar SS. Contudo é importante ressaltar que o SS na prática deve ser maior que o apresentado na tabela 15 por conta do maior número de defeitos na estrutura cristalina das moléculas na interface canal-fonte, por conta da hetero-estrutura adotada.

## 6 Conclusão

### 6.1 Comparação do modelo não otimizado com os objetivos

O primeiro objetivo importante deste trabalho foi de desenvolver um modelo computacional do dispositivo estudado robusto o suficiente para que fosse o mais próximo possível do experimental. Conforme discutido na seção anterior, este objetivo foi atingido de tal forma que a diferença entre o simulado e o experimental não ultrapassou em nenhum ponto uma ordem de grandeza. Nesse sentido, o segundo objetivo discutido na seção 2, que é: obter um modelo computacional do dispositivo foi devidamente atendido. Neste ponto também podemos dizer que a complexidade dos materiais utilizados (o que foi definido como um parâmetro de desempenho) foi suficientemente baixa: utilizou-se apenas materiais largamente utilizados pela indústria pelo menos desde 2007 (MARKOFF, 2007). Esses materiais são Si, SiO<sub>2</sub>, Boro, Arsênio, HfSiON e TiN. Quanto aos parâmetros de desempenho quantitativos (ou seja, além dos materiais), pode-se visualizá-los na seguinte tabela:

Tabela 16: Parâmetros de desempenho experimental x simulado x objetivo

	Experimental	Real simulado	Objetivo
SS mínimo (mV/déc)	<102	150	<60
V <sub>th</sub> (V) (módulo)	<1	0,56	<1
I <sub>off</sub> (fA)	<1,6	0,4	<1000
I <sub>on</sub> (nA)	0,024	0,017	>100

Vemos que os únicos objetivos não atingidos ainda pelo transistor real foram de se ter uma corrente de dreno maior que  $0,1\mu\text{A}$  e um SS menor que  $60\text{mV/déc}$ . Isso já era esperado visto que o fenômeno do tunelamento depende diretamente da taxa de transmissão de portadores através da junção, que é tipicamente bastante baixa (IONESCU, 2013), diminuindo a corrente de dreno. Além disso, já era esperado que o SS não passasse muito de  $100\text{mV/década}$  por causa do TAT.

Por esses motivos, esses não só são os principais desafios desse trabalho como de toda a tecnologia discutida aqui. Em particular, sabe-se que a taxa de transmissão de portadores é muito baixa no Si em comparação com outros semicondutores como ligas de SiGe ou materiais III-V. Isso se deve ao fato de que a taxa de transmissão de portadores depende diretamente da massa efetiva  $m^*$  dos portadores, sendo que este parâmetro depende exclusivamente do material semicondutor e o valor de  $m^*$  para o Si é relativamente pequeno.

Há duas formas de melhorar a corrente de dreno: mudando o material ou levan-

tando toda a curva  $I_{ds} \times V_{gs}$  a custo da corrente de fuga  $I_{off}$ . Analisando a tabela 6 vamos que a corrente de fuga foi, tanto para o experimental como para o simulado, algumas ordens de grandeza menor que o objetivo. Assim, essa segunda forma de aumentar a corrente de dreno parece adequada para se atingir o objetivo proposto.

A corrente de fuga  $I_{off}$  de objetivo foi facilmente atingida, o que já era esperado visto que essa é justamente uma das grandes vantagens do tunelamento como fenômeno de condução, fato resultante também da baixa taxa de transmissão de portadores e da polarização reversa.

A tensão de limiar experimental infelizmente não pôde ser completamente determinada, mas pôde-se verificar que ela fica bem abaixo do objetivo de  $-1V$ .

Para a curva simulada, o  $V_{th}$  ficou em cerca de  $0,6V$  e módulo, tensão  $0,4V$  menor que o objetivo, fato que representa o ganho de eficiência energética do dispositivo e também é uma das vantagens conhecidas dessa tecnologia.

É importante ressaltar que o valor do TAT foi um pouco superestimado na simulação equiparada com experimental, aumentando valor de SS mínimo de cerca de 100 para 150. Quanto a isso pode-se fazer duas ressalvas que garantem que a robustez do modelo se mantém: esses valores de SS dizem respeito apenas ao SS mínimo e não ao SS médio (ou seja, ao SS ao longo de toda a curva), e esses pontos de discordância de SS se estendem por apenas cerca de 20 mV, como pode se ver na figura 17, de forma que o valor de SS médio deve se manter aproximadamente o mesmo. Além disso, o erro, conforme exibido na figura 18, não ultrapassou uma ordem de grandeza em todos os pontos considerados válidos para essa comparação.

## 6.2 Comparação com a tecnologia MOS

De uma forma geral os resultados, tanto experimentais como em simulação, foram condizentes com o que se espera ao se comparar um TFET com um MOSFET: menor corrente de dreno e de fuga, menor inclinação de sublimiar, tensão de limiar variável e complexidade de materiais igual ou maior. Na tabela abaixo pode-se visualizar a comparação entre a mesma simulação apresentada na figura 7 e uma simulação de um MOS de dimensões e dopagens idênticas, com a única diferença que esse MOS é de porta dupla (e é uma estrutura planar) enquanto o TFET é de porta tripla (e portanto é um FinFET):

As otimizações tornaram possível ultrapassar o SS é de  $60mV/década$  do MOS ideal, mas mesmo aumentando a corrente  $I_{on}$  em 3 ordens de grandeza ela ainda fica 3 ordens de grandeza abaixo da corrente  $I_{on}$  do MOS ideal.

Tabela 17: Comparação entre o TFET experimental, seu modelo computacional, o TFET otimizado e um MOS de porta dupla.

	Experimental	Real simulado	Otimizado	MOS ideal
SS mínimo (mV/déc)	<102	150	42	60
Vth (V) (módulo)	<1	0,56	0,36	0,1
Ioff (fA)	<1,6	0,4	0,003	1000
Ion (nA)	0,024	0,017	156	100000

### 6.3 Comparação do modelo otimizado com os objetivos

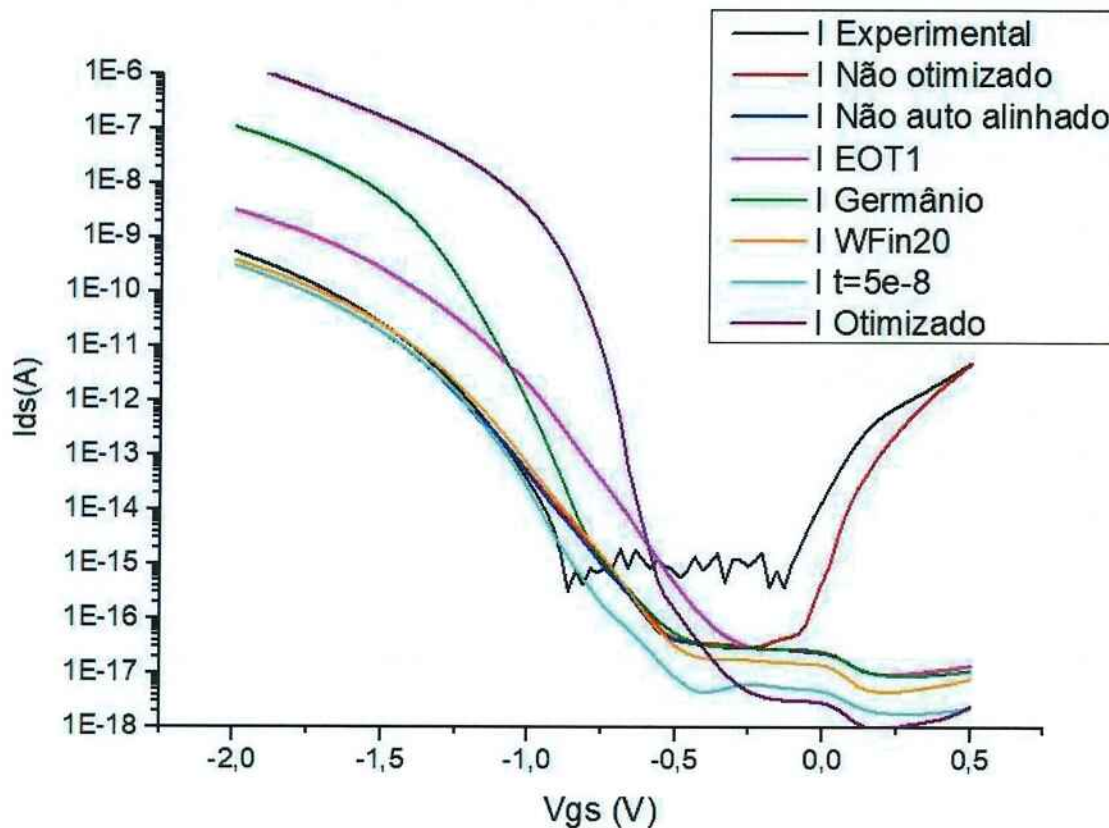
Após se obter um modelo computacional cujos resultados se aproximaram satisfatoriamente dos experimentais, buscou-se criar um novo modelo, agora com parâmetros diferentes do dispositivo real, com objetivo de se alcançar as metas propostas no capítulo 2 que o modelo não otimizado ainda não havia alcançado. Como visto na seção 7.1, os únicos quesitos no qual o modelo não otimizado se mostrava insatisfatório frente ao almejado eram Ion e SS mínimo, por isso as modificações propostas foram no sentido de melhorar esses dois parâmetros. O modelo otimizado como descrito na seção 5.3 superou todas metas estipuladas e obteve os resultados quantitativos que estão na tabela 15 da seção 5.3.

As otimizações propostas influenciaram os resultados finais da seguinte forma:

- Geometria não autoalinhada: acabou com a indesejada ambipolaridade observada no dispositivo real e melhorou um pouco os valores de SS e Ioff;
- Diminuição da espessura do óxido: Contribuiu para o aumento da corrente Ion e para a diminuição da Tensão de Limiar. Também contribuiu um pouco para a diminuição de SS;
- Diminuição de Wfin: Contribuiu com a diminuição de SS, aumento de Ion e diminuição de Ioff, mas de forma pouco significativa;
- Diminuição do tempo de vida dos portadores: Contribuiu com a diminuição de SS;
- Fonte de germânio: Contribuiu consideravelmente para o aumento de Ion e diminuição do SS e de Ioff consideravelmente, além de diminuir um pouco o valor de Vth.

Esses resultados podem ser vistos na figura abaixo, que contém as curvas de Ids x Vgs de todas as otimizações separadamente, bem como do transistor otimizado completo:

Figura 27: Curvas  $I_{ds}$  x  $V_{gs}$  de todas as otimizações separadamente, do transistor otimizado completo, da simulação equiparada com os dados experimentais e dos dados empíricos.



Contudo, são feitas as seguintes ressalvas sobre cada uma dessas otimizações:

- Geometria não autoalinhada: a partir de um underlap de cerca de 100nm o dispositivo passa a apresentar uma resistência série considerável (MARTINO, 2012);
- Diminuição da espessura do óxido: 1nm é praticamente o limite que se consegue atingir na prática, e mesmo essa espessura pode já ser bem difícil de se conseguir. Para tal e para evitar corrente de fuga pela porta se faz necessário um maior uso de materiais de alta permissividade elétrica como HfSiON por exemplo;
- Diminuição de  $W_{fin}$ : pode-se obter melhores resultados com espessuras menores, possivelmente chegando até a um  $W_{fin}$  de 5nm. Contudo existe um compromisso entre siminuição da espessura do transistor e maior dificuldade de se fazer a litografia durante a fabricação;
- Diminuição do tempo de vida dos portadores: pode ser bastante difícil de se conseguir na prática, mas a tendência é que com o tempo as técnicas de fabricação de dispositivos se tornem melhores e mais sofisticas, diminuindo a concentração de armadilhas e melhorando o TAT;



- Fonte de germânio: A influência do TAT deve ser na prática maior do que a apresentada aqui devido ao aumento de armadilhas por causa da hetero-estrutura de silício e germânio, de forma que o valor de SS deve ser um pouco maior que os 42mV/década apresentados aqui.

Como descrito na seção 5.2. Otimizações, nenhuma otimização individualmente pôde fazer o transistor atingir valores satisfatórios de SS e Ion, entretanto a combinação de todas as modificações tornou possível alcançar as metas pretendidas. É possível observar que a modificação que contribuiu de forma mais significativa para os parâmetros de SS e Ion foi a alteração do material da fonte de silício para germânio. Analisando de forma quantitativa, após a implementação da fonte de germânio, de forma isolada, a corrente Ion aumentou mais de 350 vezes e o SS teve uma redução de 46,15% em relação ao transistor não auto-alinhado de silício.

Por fim, utilizando-se as diversas modificações propostas, foi possível desenvolver um modelo computacional de dispositivo que satisfaz plenamente todos os requisitos de engenharia propostos no início do projeto e se obter os parâmetros para se construir fisicamente esse dispositivo. Tais parâmetros construtivos podem ser vistos nas tabelas 12, 13 e 14 da seção 5.3.

## Referências

IONESCU, A. M. Tunnel field-effect transistors as energy-efficient electronics switches. *Nature* 10679, 2013. Citado 2 vezes nas páginas 18 e 45.

JOSHI, V. K. Spintronics: A contemporary review of emerging electronics devices. *Engineering Science and Technology Journal*, 2016. Citado na página 23.

MARKOFF, J. Intel says chips will run faster, using less power. *New York Times*, 2007. Citado na página 45.

MARTINO, M. D. V. Estudo de transistores de tunelamento controlados por efeito de campo. *Escola Politécnica da Universidade de São Paulo*, 2012. Citado 7 vezes nas páginas 14, 15, 25, 35, 36, 39 e 48.

SIVIERI, V. D. B. Estudo de transistores de tunelamento induzido por efeito de campo (tfet) construídos em nanofio. *Escola Politécnica da Universidade de São Paulo*, 2016. Citado 6 vezes nas páginas 13, 14, 17, 18, 24 e 26.

# Anexos

# ANEXO A – Simulação de um MOSFET equivalente ao TFET.

Figura 28: Geometria MOSFET simulada.

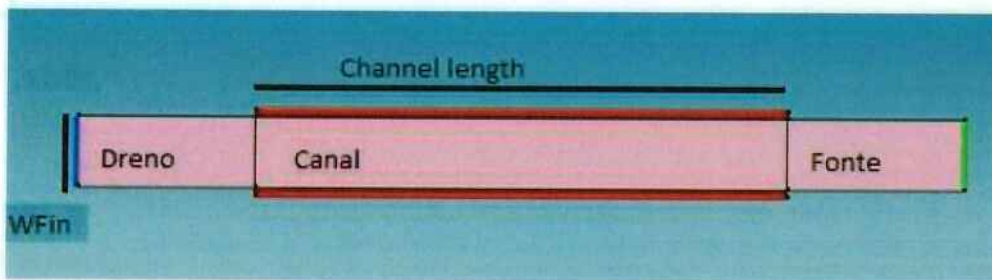
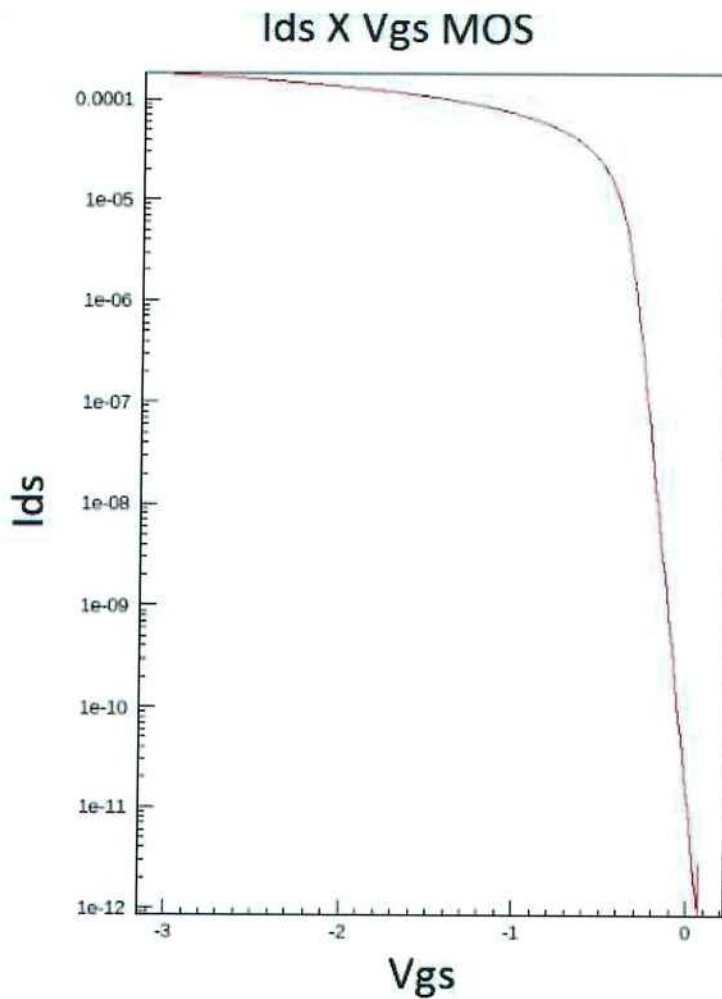


Figura 29: Resultado da simulação do MOSFET planar de porta dupla de mesma dimensões e dopagens que o TFET.



## ANEXO B – Arquivo de simulação: Definição da geometria, dos contatos e das dopagens.

Código simulado no programa SDE da Synopsys.

```

;-----SDE-----

;-----Definindo os parametros-----
(define tbox 0.145); [um] espessura do oxido enterrado;
(define Hfin 0.065); [um] altura do Finfet;
(define EOT 0.001 ); [um] espessura do oxido de porta efetivo;
(define L 0.150); [um] comprimento do canal;
(define W 0.02); [um] Largura do canal;
(define S 0.10); [um] Dobro do comprimento do dreno e fonte;
(define LBOX (+ L S)); comprimento do oxido enterrado;
(define WBOX (+ W (* 2 EOT))); largura do oxido enterrado;
;-----definindo constantes-----;
(define LBOXmax (/ LBOX 2.0))
(define WBOXmax (/ WBOX 2.0))
(define Lc (/ L 2.0))
(define Wc (/ W 2.0))
(define H (+ Hfin tbox))
(define u (* Wc -1.0))
(define k (- u EOT))
(define o (/ EOT 2))
(define q (/ Hfin 2))
;-----Estrutura-----;

(sdegeo:create-cuboid (position (* LBOXmax -1.0) 0.0 (* WBOXmax -1.0 ))
(position LBOXmax tbox WBOXmax ) "Oxideoxido_enterrado")
(sdegeo:create-cuboid (position (* (- Lc 0.03) -1) tbox k )
(position Lc (+ H EOT) (+ Wc EOT) ) "Oxideoxido_porta")
(sdegeo:create-cuboid (position (* Lc -1) tbox (* Wc -1) ) (position Lc H Wc ) "Silicon
canal")
(sdegeo:create-cuboid (position (* LBOXmax -1.0) tbox (* Wc -1) ) (position (* Lc -1) H

```

```

Wc ) "Silicondreno")
(sdegeo:create-cuboid (position Lc tbox (* Wc -1) )
(position LBOXmax H Wc ) "Germaniumfonte")
;-----Contatos-----
;Vermelho contato fonte
(sdegeo:define-contact-set "Contato_fonte"4 (color:rgb 1 0 0 ) "###")
(sdegeo:set-current-contact-set "Contato_fonte")
(sdegeo:define-3d-contact (list (car (find-face-id (position LBOXmax
(- H 0.001) 0.0)))) "Contato_fonte");Observar a altura y

(journal:pause)
(render:rebuild)
;-----
;Amarelo contato dreno
(sdegeo:define-contact-set "Contato_dreno"4 (color:rgb 1 1 0 ) "###")
(sdegeo:set-current-contact-set "Contato_dreno")
(sdegeo:define-3d-contact (list (car (find-face-id (position
(* LBOXmax -1) (- H 0.001) 0.0)))) "Contato_dreno")
(journal:pause)
(render:rebuild)

;-----
;Branco contato substrato
(sdegeo:define-contact-set "Contato_substrato"4 (color:rgb 1 1 1 ) "###")
(sdegeo:set-current-contact-set "Contato_substrato")
(sdegeo:define-3d-contact (list (car (find-face-id
(position 0.0 0.0 (/ WBOXmax 2)))))) "Contato_substrato")
(journal:pause)
(render:rebuild)
;-----
;Azul contato porta
(sdegeo:define-contact-set "Contato_porta"4 (color:rgb 0 0 1 ) "###")
(sdegeo:set-current-contact-set "Contato_porta")
(sdegeo:define-3d-contact (list (car (find-face-id
(position (/ EOT 2) (+ H EOT) 0.0))) (car (find-face-id (position (/ EOT 2)
(+ q tbox) (* k -1)))) (car (find-face-id (position (/ EOT 2)
(+ q tbox) k))) ) "Contato_porta")
(journal:pause)
(render:rebuild)

```

```

;-----Dopagens-----
(sdedr:define-constant-profile "ConstantProfileDefinition_fonte"
"PhosphorusActiveConcentration"1E20)
(sdedr:define-constant-profile-region "Constant
ProfilePlacement_fonteConstantProfileDefinition_fontefonte")

(sdedr:define-constant-profile "ConstantProfileDefinition_dreno"
"BoronActiveConcentration"1E20)
(sdedr:define-constant-profile-region "Constant
ProfilePlacement_drenoConstantProfileDefinition_drenodreno")

(sdedr:define-constant-profile "ConstantProfileDefinition_canal"
"BoronActiveConcentration"1E15)
(sdedr:define-constant-profile-region "Constant
ProfilePlacement_canalConstantProfileDefinition_canalcanal")

;;; Refinement "global"{z
; MaxElementSize = (0.05 0.05 0.05)
; RefineFunction = MaxLenInt(Interface("Silicon","Silicon"),
; value=0.001, factor=0.2, DoubleSide)
;
; }
;;;
;;;
;;
```

## ANEXO C – Arquivo de simulação: Definição da grade numérica de simulação.

Arquivo rodado no programa SNMESH da Synopsys.

```
Title "TFET3D_model"
Controls {
}

Definitions {
Constant "ConstantProfileDefinition_fonte"{
Species = "PhosphorusActiveConcentration"
Value = 1e+20
}
Constant "ConstantProfileDefinition_dreno"{
Species = "BoronActiveConcentration"
Value = 1e+20
}
Constant "ConstantProfileDefinition_canal"{
Species = "BoronActiveConcentration"
Value = 1e+15
}
Refinement "RefinementDefinition_canal"{
MaxElementSize = ( 0.05 0.05 0.05 )
MinElementSize = ( 0.05 0.05 0.05 )
}
Refinement "RefinementDefinition_fonte"{
MaxElementSize = ( 0.05 0.05 0.05 )
MinElementSize = ( 0.05 0.05 0.05 )
}
Refinement "RefinementDefinition_dreno"{
MaxElementSize = ( 0.05 0.05 0.05 )
MinElementSize = ( 0.05 0.05 0.05 )
}
```



```
Refinement "RefinementDefinition_oxido_porta"{
MaxElementSize = ( 0.05 0.05 0.05 )
MinElementSize = ( 0.05 0.05 0.05 )
}
Refinement "canal_fonte_x-"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
Refinement "canal_fonte_x+"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
Refinement "canal_fonte_super_x+"{
MaxElementSize = (0.001 0.001 0.001)
MinElementSize = (0.001 0.001 0.001)
}
Refinement "canal_fonte_super_x-"{
MaxElementSize = (0.001 0.001 0.001)
MinElementSize = (0.001 0.001 0.001)
}
Refinement "canal_oxide_lat_z+"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
Refinement "canal_oxide_lat_z-"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
Refinement "canal_oxide_sup"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
Refinement "canal_oxide_sub"{
MaxElementSize = (0.01 0.01 0.01)
MinElementSize = (0.01 0.01 0.01)
}
}
```

```
Placements {
  Constant "ConstantProfilePlacement_fonte"{
    Reference = "ConstantProfileDefinition_fonte"
    EvaluateWindow {
      Element = region ["fonte"]
    }
  }
  Constant "ConstantProfilePlacement_dreno"{
    Reference = "ConstantProfileDefinition_dreno"
    EvaluateWindow {
      Element = region ["dreno"]
    }
  }
  Constant "ConstantProfilePlacement_canal"{
    Reference = "ConstantProfileDefinition_canal"
    EvaluateWindow {
      Element = region ["canal"]
    }
  }
  Refinement "RefinementPlacement_canal"{
    Reference = "RefinementDefinition_canal"
    RefineWindow = region ["canal"]
  }
  Refinement "RefinementPlacement_fonte"{
    Reference = "RefinementDefinition_fonte"
    RefineWindow = region ["fonte"]
  }
  Refinement "RefinementPlacement_dreno"{
    Reference = "RefinementDefinition_dreno"
    RefineWindow = region ["dreno"]
  }
  Refinement "RefinementPlacement_Oxido_porta"{
    Reference = "RefinementDefinition_oxido_porta"
    RefineWindow = region ["oxido_porta"]
  }
}
```

```
Refinement "canal_fonte_x-"{
Reference = "canal_fonte_x-"
RefineWindow = Cuboid [(0.055 0.145 -0.02) (0.075 0.212 0.02)]
}
Refinement "canal_fonte_x+"{
Reference = "canal_fonte_x+"
RefineWindow = Cuboid [(0.075 0.145 -0.02) (0.085 0.212 0.02)]
}
Refinement "canal_fonte_super_x+"{
Reference = "canal_fonte_super_x+"
RefineWindow = Cuboid [(0.074 0.145 -0.02) (0.075 0.212 0.02)]
}
Refinement "canal_fonte_super_x-"{
Reference = "canal_fonte_super_x-"
RefineWindow = Cuboid [(0.075 0.145 -0.02) (0.076 0.212 0.02)]
}
Refinement "canal_oxide_lat_z+"{
Reference = "canal_oxide_lat_z+"
RefineWindow = Cuboid [(-0.075 0.145 0.05) (0.075 0.21 0.01)]
}
Refinement "canal_oxide_lat_z-"{
Reference = "canal_oxide_lat_z-"
RefineWindow = Cuboid [(-0.075 0.145 -0.05) (0.075 0.21 -0.01)]
}
Refinement "canal_oxide_sup"{
Reference = "canal_oxide_sup"
RefineWindow = Cuboid [(-0.075 0.205 -0.02) (0.075 0.21 0.02)]
}

Refinement "canal_oxide_sub"{
Reference = "canal_oxide_sub"
RefineWindow = Cuboid [(-0.075 0.145 -0.02) (0.075 0.147 0.02)]
}
}
```

## ANEXO D – Arquivo de simulação: Definição de parâmetros para a simulação de TAT.

Arquivo rodado no programa SDEVICE da Synopsys.

```
Scharfetter{  
    taumin= 0.0000e+00 , 0.0000e+00 [s]  
    taumax= 5E-8, 5E-8 [s]  
    Nref= 1.0e+16, 1.0e+16 [cm-3]  
    Talpha= -1.5, -1.5 [] -1.5, -1.5  
    gamma= 0, 0 []  
    Etrap= 0.0e+00 [eV]  
}  
  
    TrapAssistedTunneling{ S= 3.5 [1]  
    hbarOmega = 0.068 [eV]  
    MinField = 1.0000e+03 [V/cm]  
    m_theta = 0.258 , 0.24 [1]  
    Z = 0.0000e+00 [1]  
}
```

## ANEXO E – Arquivo de simulação: Arquivo principal de simulação.

Arquivo rodado no programa SDEVICE da Synopsys.

```
File{
Grid= "TFET3D_modelmsh.tdr"
Doping="TFET3D_modelmsh.tdr"
parameter="parametros_SRH_TAT.par"
Plot= "TFET3D_SRH_TAT.tdr"
Current="TFET3D_SRH_TAT.plt"
Output="TFET3D_SRH_TAT.log"}
Electrode {
{ Name="Contato_fonte"Voltage=0 }
{ Name="Contato_dreno"Voltage=0 }
{ Name="Contato_porta"Voltage=0 Workfunction=4.68 }
{ Name="Contato_substrato"Voltage=0 }
}
Physics{
Temperature=300
Fermi
eMultivalley(NonParabolicity)
hMultivalley(NonParabolicity)
EffectiveIntrinsicDensity (NoBandGapNarrowing)
# hQuantumPotential(Resolve Density)
# eQuantumPotential(Resolve Density)
###para SRH and TAT:
# Recombination(SRH(Dopingdependence))
Recombination(SRH(NonlocalPath(
```

```
Lifetime = Schenk
TwoBand
Fermi)
)
)
# Recombination(SRH(ElectricField (
# Lifetime = Schenk
# DensityCorrection = Local )
# )
# )
}
#Physics{
# Recombination(
# Band2Band(Model=NonlocalPath1
# -InterfaceReflection
# -FranzDispersion
# )
# )
#}
Plot{
EffectiveBandgap
eDensity hDensity
eCurrent hCurrent
TotalCurrent TotalCurrentDensity
SRHrecombination
eSRHrecombination hSRHrecombination tSRHrecombination
TotalRecombination
Potential
ElectricField/Vector
eBarrierTunneling hBarrierTunneling
```

```
Band2BandGeneration
eBand2BandGeneration hBand2BandGeneration
eQuasiFermi hQuasiFermi
ConductionBand ValenceBand
Doping DonorConcentration AcceptorConcentration
BandGap
BandGapNarrowing
EffectiveBandGap
SemiconductorGradValenceBand/Vector
DielectricConstant
ElectronAffinity
SpaceCharge
B2BTunnelingMass1
}
Math{
Extrapolate
RelErrControl
Currentweighting
Iterations=60
NotDamped=50
Digits=5
NoSRHperPotential
DensityIntegral(250)
RhsFactor = 1e25
#RecomputeQFP
}
CurrentPlot{
#eBand2BandGeneration(Integrate(Everywhere))
#hBand2BandGeneration(Integrate(Everywhere))
#SRHRecombination(Integrate(Everywhere))
```

```
#eSRHRecombination(Integrate(Everywhere))
tSRHRecombination(Integrate(Everywhere))
#hSRHRecombination(Integrate(Everywhere))
#TotalRecombination(Integrate(Everywhere))
}
Solve {
#initial solution:
#Coupled {Poisson hQuantumPotential eQuantumPotential}
Coupled {Poisson}
Coupled {Poisson Electron Hole}
#Bias drain to target bias:
Quasistationary(
InitialStep=0.05 Increment=2
MinStep=1e-3 MaxStep=0.5
Goal { Name="Contato_dreno"Voltage = -0.5}
){Coupled {Poisson Electron Hole} }
Save( FilePrefix="VDS=-0.5"noOverwrite)
Load( FilePrefix="VDS=-0.5")
NewCurrentProfile="VDS=-0.5"
Quasistationary(
InitialStep=0.05 Increment=2
MinStep=1e-5 MaxStep=100e-3
Goal { Name="Contato__porta"Voltage=-2}
){Coupled {Poisson Electron Hole} }
}
```