

**UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS**

Luiz Gustavo Soares Martins

**Estudo e Projeto de Conversor *Buck* de Duas Fases
com Indutores Acoplados e Controle V^2**

São Carlos

2023

Luiz Gustavo Soares Martins

**Estudo e Projeto de Conversor *Buck* de Duas Fases
com Indutores Acoplados e Controle V^2**

Monografia apresentada ao Curso de Engenharia Elétrica com Ênfase em Eletrônica, da Escola de Engenharia de São Carlos da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Engenheiro Eletricista.

Área de concentração: Eletrônica de Potência

Orientador: Prof. Dr. João Navarro Soares Júnior

**São Carlos
2023**

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica elaborada pela Biblioteca Prof. Dr. Sérgio Rodrigues Fontes da
EESC/USP com os dados inseridos pelo(a) autor(a).

S298e Soares Martins, Luiz Gustavo
 Estudo e Projeto de Conversor Buck de Duas Fases
 com Indutores Acoplados e Controle V^2 / Luiz Gustavo
 Soares Martins; orientador João Navarro Soares Júnior.
 São Carlos, 2023.

 Monografia (Graduação em Engenharia Elétrica com
 ênfase em Eletrônica) -- Escola de Engenharia de São
 Carlos da Universidade de São Paulo, 2023.

 1. Conversores Multifásicos. 2. Conversores
 Entrelaçados. 3. Conversores CC-CC. 4. Indutores
 Acoplados. 5. Controle V^2 . 6. Controle COT. I. Título.

FOLHA DE APROVAÇÃO

Nome: Luiz Gustavo Soares Martins

Título: “Estudo e Projeto de Conversor Buck de Duas Fases com Indutores Acoplados e Controle V^2 ”

Trabalho de Conclusão de Curso defendido e aprovado em
06/07/2023

com NOTA 9,1 (NOVE,UM), pela Comissão Julgadora:

Prof. Dr. João Navarro Soares Júnior - Orientador - SEL/EESC/USP

Prof. Dr. Augusto Matheus dos Santos Alonso - SEL/EESC/USP

Mestre Daniel Eduardo Silva Piovani - Project Manager - Chipus
Microeletrônica S.A

Coordenador da CoC-Engenharia Elétrica - EESC/USP:
Prof. Associado Rogério Andrade Flauzino

Aos meus avós Marina, Rubens, Sonia e Nelson

AGRADECIMENTOS

Agradeço à Universidade de São Paulo, por ter sido um ambiente que me proporcionou um enorme crescimento pessoal e profissional.

Ao Professor João Navarro, por todo o suporte e orientação ao longo dos meses em que este trabalho foi concebido.

À Chipus Microeletrônica, pela oportunidade de fazer parte do projeto que deu origem à este trabalho e de estar diariamente envolvido com a Microeletrônica. Em especial, ao meu supervisor, Daniel Piovani e ao meu colega Victor Preuss, pelos ensinamentos diários.

Aos amigos e colegas de curso, com quem compartilhei diversas experiências, as quais jamais serão esquecidas. Em especial ao meu amigo de longa data, Bilu, e aos amigos que fiz neste último ano de curso, Recife e Avião.

Por fim e acima de tudo, à minha família, em especial à minha querida mãe, pelos sacrifícios feitos para que eu pudesse estar onde estou, e à minha tia Andréa, que me ajudou muito durante todos os anos de graduação, sobretudo no último.

“Almost every important turning point of anyone’s life is the result of an accident. [...] Being prepared to take advantage of accidents is the important thing”

R. D. Middlebrook

RESUMO

MARTINS, L. G. S. **Estudo e Projeto de Conversor *Buck* de Duas Fases com Indutores Acoplados e Controle V^2** . 2023. 125p. Monografia (Trabalho de Conclusão de Curso) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2023.

O uso de conversores CC-CC chaveados em aplicações integradas tem se tornando cada vez mais importante devido ao número crescente de aplicações que se beneficiam dessas estruturas. Entre as diversas topologias de conversores disponíveis, destaca-se o uso de conversores multifásicos, que empregam estágios básicos em paralelo com um capacitor em comum na saída. Este trabalho propõe um estudo sobre conversores de duas fases com indutores acoplados, visando esclarecer os efeitos que esses indutores têm sobre a operação desses blocos. Além disso, é proposto o projeto de um conversor de duas fases com um método de controle derivado do controle por tempo de condução constante, conhecido como controle V^2 . O trabalho é realizado com auxílio do *software* SIMPLIS o qual permite a realização de simulações CA do conversor chaveado, permitindo que o projeto do mesmo seja realizado no domínio da frequência. Testes de resposta a um degrau de carga são então realizados a fim de validar a malha de controle obtida.

Palavras-chave: Conversores Multifásicos. Conversores Entrelaçados. Conversores CC-CC. Indutores Acoplados. Controle COT. Controle V^2 .

ABSTRACT

MARTINS, L. G. S. . 2023. 125p. Monografia (Trabalho de Conclusão de Curso) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2023.

The use of switched DC-DC converters in integrated applications has become increasingly important due to the growing number of applications that benefit from these structures. Among the various available converter topologies, the use of multiphase converters stands out, which employ basic stages in parallel with a common output capacitor. This work proposes a study on two-phase converters with coupled inductors, aiming to clarify the effects that these inductors have on the operation of these blocks. Additionally, the design of a two-phase converter with a control method derived from constant on-time control, known as V^2 control, is proposed. The work is carried out with the aid of the SIMPLIS software, which allows for AC simulations of the switched converter, enabling the design to be performed in the frequency domain. Load step response tests are then performed to validate the obtained control loop.

Keywords: Multiphase Converters, Interleaved Converters, DC-DC Converters, Coupled Inductors, COT Control, V^2 Control.

LISTA DE FIGURAS

Figura 1 – Características dos microprocessadores nos últimos 50 anos.	27
Figura 2 – Requisitos de tensão e corrente de alimentação de microprocessadores da Intel® entre 1999 e 2009.	28
Figura 3 – Conversor <i>buck</i> multifásico (ou entrelaçado).	29
Figura 4 – Exemplos de indutores microfabricados. Na esquerda, um indutor toroidal. Na direita, um indutor solenoidal.	30
Figura 5 – Controle com tempo de condução constante.	30
Figura 6 – Indutores (a) diretamente e (b) inversamente acoplados.	33
Figura 7 – Modelo T equivalente de um par de indutores magneticamente acoplados.	34
Figura 8 – Modelo físico de um par de indutores magneticamente acoplados.	34
Figura 9 – Circuito equivalente de um par de indutores acoplados proposto por (WONG, 2001).	35
Figura 10 – Modelo simétrico de um par de indutores acoplados proposto por (ZHU; MCDONALD; WANG, 2009)	37
Figura 11 – Modelo simétrico de um par de indutores acoplados com adição do efeito da resistência CC parasita.	38
Figura 12 – Conversor <i>buck</i> ideal.	38
Figura 13 – Conversor <i>buck</i> (a) com chave S_1 fechada e S_2 aberta e (b) com chave S_1 aberta e S_2 fechada.	39
Figura 14 – Formas de onda de tensão e corrente no indutor em um conversor <i>buck</i> em regime permanente.	39
Figura 15 – Formas de onda de tensão e corrente no capacitor de saída de um conversor <i>buck</i> em regime permanente.	40
Figura 16 – Conversor <i>buck</i> de duas fases.	41
Figura 17 – Formas de onda de chaveamento do conversor <i>buck</i> de duas fases operando com $D < 0,5$	42
Figura 18 – Circuito equivalente do conversor <i>buck</i> de duas fases no (a) estado I e no (b) estado II ($D < 0,5$).	43
Figura 19 – Circuito equivalente do conversor <i>buck</i> de duas fases no (a) estado 3 e no (b) estado 4 ($D < 0,5$).	44
Figura 20 – Formas de onda de corrente nas fases e na saída.	45
Figura 21 – Fator de cancelamento do <i>ripple</i> de corrente de saída em um conversor de duas fases com indutores desacoplados.	46
Figura 22 – Conversor <i>buck</i> de duas fases com indutores inversamente acoplados.	47
Figura 23 – Formas de onda de tensão em cada indutor ($D < 0,5$).	48
Figura 24 – Formas de onda de tensão em cada indutor ($D > 0,5$).	51

Figura 25 – Fator de cancelamento da <i>ripple</i> de corrente dos indutores em cada fase. . . .	52
Figura 26 – Aplicação do modelo de transformador ao conversor <i>buck</i> de duas fases com indutores acoplados	53
Figura 27 – Controle com tempo de condução constante (RBCOT)	55
Figura 28 – Formas de onda do conversor <i>buck</i> com controle por tempo de condução constante (COT) operando em modo de condução contínua (CCM).	56
Figura 29 – Corrente no capacitor durante modo de condução descontínua (DCM).	57
Figura 30 – Formas de onda do conversor <i>buck</i> com controle por tempo de condução constante (COT) operando em modo de condução descontínua (DCM).	57
Figura 31 – Gerador de tempo de condução.	58
Figura 32 – Formas de onda do gerador de tempo de condução ilustrando seu funcionamento.	59
Figura 33 – Tensão de circuito aberto (OCV) versus o estado de carga (SOC) de baterias de íons de Lítio (Li-Ion) para diferentes composições químicas (25° C).	60
Figura 34 – Comparação da variação da frequência com a tensão de entrada entre controle COT e AOT.	61
Figura 35 – Controle com tempo de condução adaptativo com frequência pseudo-constante.	62
Figura 36 – Circuito Gerador de tempo de condução adaptativo.	63
Figura 37 – Circuito gerador de tempo de condução adaptativo com grampeador de tensão mínima.	63
Figura 38 – Controle com tempo de condução adaptativo (AOT) via malha de captura de fase (PLL).	64
Figura 39 – Controle V^2	65
Figura 40 – Controle V^2 com gerenciador de fases aplicado à conversores de duas fases.	66
Figura 41 – Controle V^2 com PLL aplicado à conversor de duas fases.	67
Figura 42 – Diagrama de Bode da função de transferência do estágio de potência.	69
Figura 43 – Diagrama de Bode da função de transferência do estágio de potência considerando diferentes valores de ESR.	70
Figura 44 – Tensão de saída para diferentes valores de ESR do capacitor de saída.	70
Figura 45 – Controle V^2 com injeção de <i>ripple</i> via corrente do indutor.	71
Figura 46 – Diagrama de Bode da função de transferência do estágio de potência para diferentes valores de R_i	72
Figura 47 – Topologia de controle de conversor <i>buck</i> de duas fases a ser projetada.	73
Figura 48 – Fluxograma de projeto de indutores acoplados.	74
Figura 49 – <i>Ripple</i> de corrente nos indutores normalizado para diferentes valores de k	75
Figura 50 – <i>Ripple</i> de corrente total de saída normalizado para diferentes valores de k	76
Figura 51 – <i>Ripple</i> de corrente nos indutores normalizado	77
Figura 52 – <i>Ripple</i> de corrente total de saída normalizado.	77
Figura 53 – Forma de onda de corrente de saída durante transitórios de carga.	79
Figura 54 – Fluxograma de projeto da malha de controle.	80

Figura 55 – Sensor de corrente do indutor via DCR.	80
Figura 56 – Circuito de leitura de corrente dos indutores aplicado em conversor <i>buck</i> de duas fases com indutores acoplados.	82
Figura 57 – Estrutura básica de uma malha de captura de fase (PLL).	83
Figura 58 – Estrutura básica da malha de captura de fase do tipo II (CPPLL).	84
Figura 59 – Estrutura da malha de captura de fase empregada no projeto do conversor.	84
Figura 60 – Detector de fase-frequência (PFD).	85
Figura 61 – Bomba de carga (CP).	86
Figura 62 – Filtro de malha.	86
Figura 63 – Diagrama de Bode assintótico da impedância $Z_{lpf}(s)$ do filtro de malha.	87
Figura 64 – Gerador de tempo de condução.	88
Figura 65 – Diagrama de Bode função de transferência $T_p(s)$ da malha de captura de fase.	89
Figura 66 – Circuito para obtenção da função de transferência do conversor.	91
Figura 67 – Compensador do tipo II com amplificador de transcondutância (OTA).	92
Figura 68 – Função de transferência do compensador do tipo II.	93
Figura 69 – Comparação do <i>ripple</i> de corrente nos indutores para diferentes valores de k considerando $L_s = 750$ nH.	96
Figura 70 – <i>Ripple</i> de corrente total de saída considerando $L_s = 750$ nH.	97
Figura 71 – <i>Ripple</i> de corrente normalizado para $C_o = 2,2$ μ F	98
Figura 72 – Comparativo do <i>ripple</i> de tensão de saída normalizado com e sem a resistência em série do capacitor de saída.	99
Figura 73 – Variação da função de transferência da malha captura de fase de acordo com o valor do resistor R_s	102
Figura 74 – Resposta em frequência da malha de captura de fase para $D = 12\%$ e $D = 98\%$	103
Figura 75 – Tensão de saída da malha de captura de fase para diferentes valores de D	104
Figura 76 – Tempo de aquisição da malha de captura de fase para diferentes valores de D	105
Figura 77 – Função de transferência do conversor.	106
Figura 78 – Função de transferência do compensador.	108
Figura 79 – Função de transferência de malha aberta para diferentes valores de D	108
Figura 80 – Resposta ao degrau de carga positivo de 2 A para $D = 12\%$	110
Figura 81 – Resposta ao degrau de carga negativo de 2 A para $D = 12\%$	110
Figura 82 – Resposta ao degrau de carga positivo de 2 A para $D = 98\%$	111
Figura 83 – Resposta ao degrau de carga negativo de 2 A para $D = 98\%$	111
Figura 84 – Formas de onda de chaveamento do conversor <i>buck</i> de duas fases operando com $D > 0,5$	117
Figura 85 – Circuito equivalente do conversor <i>buck</i> de duas fases no (a) estado I e no (b) estado II ($D > 0,5$).	118

Figura 86 – Circuito equivalente do conversor <i>buck</i> de duas fases no (a) estado 3 e no (b) estado 4 ($D > 0.5$).	119
Figura 87 – Formas de onda de corrente nas fases e na saída considerando $D > 0,5$	120
Figura 88 – Resposta ao degrau de carga positivo de 2 A para $D = 24\%$	121
Figura 89 – Resposta ao degrau de carga negativo de 2 A para $D = 24\%$	121
Figura 90 – Resposta ao degrau de carga positivo de 2 A para $D = 36\%$	122
Figura 91 – Resposta ao degrau de carga negativo de 2 A para $D = 36\%$	122
Figura 92 – Resposta ao degrau de carga positivo de 2 A para $D = 50\%$	123
Figura 93 – Resposta ao degrau de carga negativo de 2 A para $D = 50\%$	123
Figura 94 – Resposta ao degrau de carga positivo de 2 A para $D = 66\%$	124
Figura 95 – Resposta ao degrau de carga negativo de 2 A para $D = 66\%$	124
Figura 96 – Resposta ao degrau de carga positivo de 2 A para $D = 90\%$	125
Figura 97 – Resposta ao degrau de carga negativo de 2 A para $D = 90\%$	125

LISTA DE TABELAS

Tabela 1 – Modos de operação do conversor de duas fases entrelaçadas para $D < 0,5$. . .	44
Tabela 2 – Indutância equivalente em cada intervalo de operação ($D < 0,5$)	50
Tabela 3 – Especificações de projeto.	95
Tabela 4 – valores dos componentes empregados no projeto da malha de captura de fase (PLL).	100
Tabela 5 – Frequência de ganho unitário (BW) e margem de fase (PM) da malha de captura de fase nos extremos de operação do conversor.	103
Tabela 6 – Valores dos componentes empregados no projeto da malha de captura de fase (PLL).	105
Tabela 7 – Valores dos parâmetros do compensador do tipo II.	107
Tabela 8 – Largura de banda e margem de fase do conversor para diferentes valores de <i>duty cycle</i>	109
Tabela 9 – Valores de <i>Overshoot</i> e <i>Undershoot</i> durante resposta transiente de carga. . .	112
Tabela 10 – Comparativo entre resultados esperados e obtidos.	112
Tabela 11 – Modos de operação do conversor de duas fases entrelaçadas para $D > 0,5$. .	119

LISTA DE ABREVIATURAS E SIGLAS

AOT - *Adaptive On-Time*

COT - *Constant On-Time*

CCM - *Continuous Conduction Mode*

DCM - *Discontinuous Conduction Mode*

DCR - *DC Resistance*

ESR - *Equivalent Series Resistance*

MLCC - *Multilayer Ceramic Capacitor*

RBCOT - *Ripple-Based Constant On-Time*

OTA - *Operational Transconductance Amplifier*

PLL - *Phase Locked Loop*

SIMPLIS - *Simulation of Piecewise Linear Systems*

SPICE - *Simulation Program with Integrated Circuit Emphasis*

SUMÁRIO

1	INTRODUÇÃO	27
1.1	Objetivos	31
1.2	Estrutura do trabalho	31
2	ESTUDO DO CONVERSOR <i>BUCK</i> DE DUAS FASES	33
2.1	Modelagem de indutores acoplados	33
2.1.1	Modelo T equivalente	34
2.1.2	Modelo por transformador ideal	34
2.1.3	Modelo baseado em relutância proposto por Pit-Leong Wong	35
2.1.4	Modelo simétrico proposto por Guangyong Zhu	37
2.2	Operação do conversor <i>buck</i> tradicional	38
2.3	Operação do conversor <i>buck</i> de duas fases entrelaçado	41
2.3.1	Operação para $D < 0.5$	41
2.3.2	Efeito no <i>ripple</i> da corrente total de saída	45
2.4	Operação do conversor <i>buck</i> de duas fases com indutores acoplados	47
2.4.1	Descrição do comportamento de indutores acoplados através de indutâncias equivalentes	47
2.4.2	Efeito de melhoria da resposta transiente	51
2.4.3	Efeito de redução do <i>ripple</i> de corrente em regime permanente	51
3	ESTUDO DO CONTROLE COM TEMPO DE CONDUÇÃO CONSTANTE (COT)	55
3.1	Controle com tempo de condução constante (COT) e suas ramificações	55
3.1.1	Controle com tempo de condução constante baseado em <i>ripple</i> (RBCOT)	55
3.1.1.1	Circuito gerador de tempo de condução (<i>On-time generator</i>)	58
3.1.2	Controle com tempo de condução adaptativo (AOT)	59
3.1.2.1	Implementação do controle com tempo de condução adaptativo com malha <i>feedforward</i>	61
3.1.2.2	Implementação com malha de captura de fase (PLL)	63
3.1.3	Controle V^2	64
3.1.4	Aplicação em conversores <i>Buck</i> de duas fases	65
3.1.4.1	Implementação com gerenciador de fases	66
3.1.4.2	Implementação com malha de captura de fase (PLL)	67
3.2	Análise de estabilidade	68

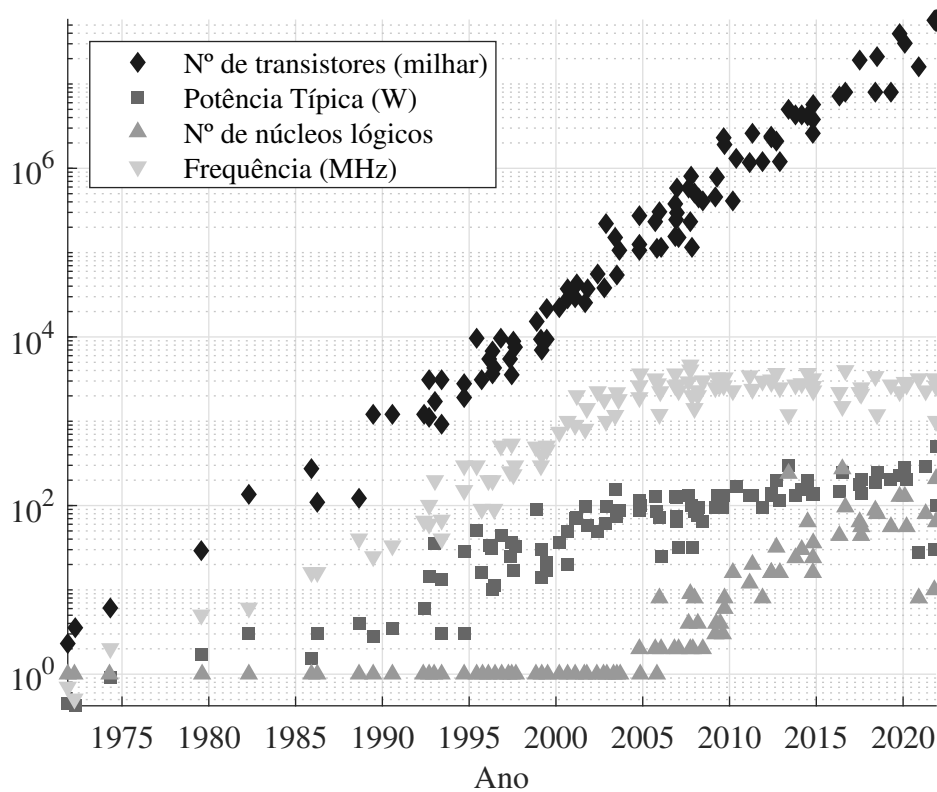
3.2.1	Injeção de <i>ripple</i> de compensação	71
4	PROJETO DO CONVERSOR	73
4.1	Filtro de saída	74
4.1.1	Indutores	74
4.1.2	Capacitor de saída	78
4.1.2.1	Projeto a partir de requisitos de <i>ripple</i> de tensão	78
4.1.2.2	Projeto a partir de requisitos de resposta transiente	78
4.2	Malha de controle	79
4.2.1	Circuito de injeção de <i>ripple</i> de corrente	80
4.2.1.1	Sensor de corrente do indutor	80
4.2.1.2	Aplicação do sensor de corrente via DCR em indutores acoplados	81
4.2.1.3	Projeto do circuito de injeção de <i>ripple</i>	83
4.2.2	Malha de captura de fase (PLL)	83
4.2.2.1	Detector de fase/frequência	85
4.2.2.2	Bomba de carga	85
4.2.2.3	Filtro de malha	86
4.2.2.4	Gerador de tempo de condução	87
4.2.2.5	Projeto da malha de captura de fase	88
4.2.3	Malha do compensador de tensão	90
4.2.3.1	Função de transferência do conversor	90
4.2.3.2	Compensador do tipo II com amplificador de transcondutância (OTA)	91
5	RESULTADOS	95
5.1	Especificações do projeto	95
5.2	Projeto do conversor	95
5.2.1	Filtro de saída	96
5.2.1.1	Indutores	96
5.2.1.2	Capacitor de saída	97
5.2.2	Circuito de injeção de <i>ripple</i>	100
5.2.3	Malha de captura de fase	100
5.2.4	Compensador	105
5.3	Resposta à um degrau de carga	109
6	CONCLUSÃO	113
	REFERÊNCIAS	115
	APÊNDICE A – OPERAÇÃO PARA <i>DUTY CYCLES</i> MAIORES QUE 50%.	117

APÊNDICE B – RESPOSTAS AO DEGRAU DE CARGA	121
--	------------

1 INTRODUÇÃO

Nas últimas décadas, tem-se observado um nível crescente de integração, associado ao surgimento de novas áreas de aplicação de circuitos integrados (CIs), como a Internet das Coisas (IoT). Um exemplo deste fenômeno é o uso massivo de dispositivos vestíveis (ou *wearables*). Isto constitui um grande desafio aos projetistas, visto que na maioria das vezes, tais dispositivos são alimentados por baterias, possuindo limitações energéticas evidentes. A Fig. 1 ilustra o crescimento no tamanho, consumo e potência dos processadores nos últimos 50 anos, desde o surgimento do primeiro microprocessador comercial, o Intel® 4004 em 1971.

Figura 1 – Características dos microprocessadores nos últimos 50 anos.



Fonte: Adaptado de (RUPP et al., 2023).

Como pode-se observar, o número de transistores têm crescido de forma exponencial, assim como previsto por Gordon Moore¹ em 1965 (MOORE, 1965), possibilitando um crescente desempenho computacional. Entretanto, verifica-se que a potência consumida típica de um microprocessador, apesar de um crescimento inicial, atingiu um patamar nas últimas décadas. Tal

¹ A Lei de Moore, como ficou conhecida posteriormente afirma, na última atualização feita pelo autor (MOORE, 2006), que o número de componentes em um circuito integrado duplica a cada dois anos, o que não é de fato verificado na prática. Entretanto, ela serve como uma espécie de modelo de referência para a indústria de semicondutores mundial há mais de 5 décadas, sofrendo leves modificações com o passar dos anos.

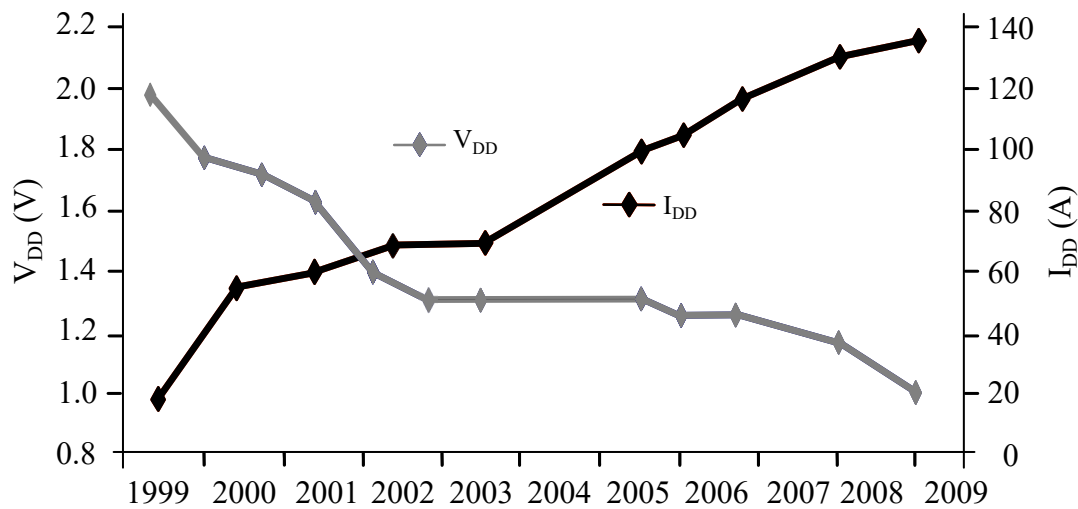
comportamento pode ser explicado considerando que a potência típica de um microprocessador pode ser aproximada pela seguinte expressão

$$P \propto f_{CLK} C_L V_{DD}^2 \quad (1.1)$$

onde f_{CLK} é a frequência de *clock* do circuito, V_{DD} é a tensão de alimentação e C_L é a capacitância de carga total, a qual é diretamente proporcional ao número de transistores no circuito. Com isso, conclui-se que o aumento irrestrito tanto da frequência de operação quanto do número de transistores torna-se um problema, visto que quanto mais potência o microprocessador consumir, mais potência ele irá dissipar na forma de calor, colocando em risco a sua vida útil. Esse problema torna-se ainda mais crítico em sistemas móveis, operados por baterias, como por exemplo *smartphones* e *tablets*.

Houve então a necessidade de manter-se a potência típica relativamente limitada e a solução adotada foi a constante diminuição da tensão de alimentação dos microprocessadores, uma vez que a potência tem dependência quadrática com tensão de alimentação. A Fig. 2 ilustra o decréscimo na tensão da alimentação dos microprocessadores da Intel® entre 1990 e 2009.

Figura 2 – Requisitos de tensão e corrente de alimentação de microprocessadores da Intel® entre 1999 e 2009.



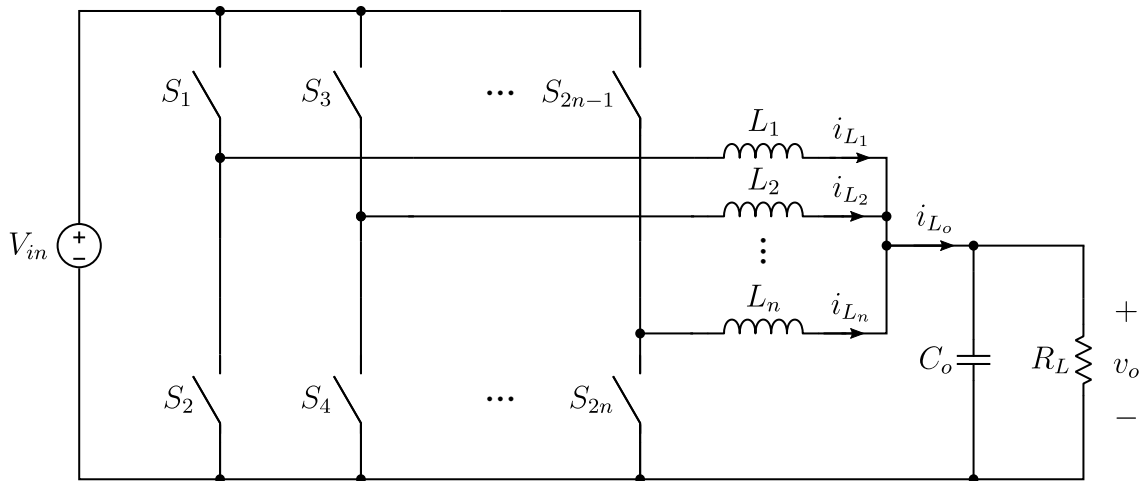
Fonte: Adaptado de (LEE, 2008).

Além dos desafios relacionados ao consumo energético, o crescimento contínuo do número de transistores e da frequência de operação dos microprocessadores têm, em geral, sido acompanhada de uma demanda por correntes de operação cada vez maior (LÓPEZ; ELFERICH; ALARCÓN, 2010), como observa-se na Fig. 2. Isso têm exigido dos circuitos de alimentação, compostos em sua maioria de reguladores chaveados, uma alta capacidade de transição de corrente, isto é, um alto *slew rate*. É neste contexto, ou seja, circuitos que operam a baixas tensões de alimentação com altos requisitos de corrente e rápida capacidade de transição, que surge a necessidade da adoção de novas topologias de reguladores chaveados, as quais permitem

manter a alta eficiência que sempre os colocou a frente de outros tipos de reguladores, como os lineares.

A Fig. 3 mostra o circuito ideal de um conversor *buck* multifásico, o qual se constitui de n estágios (ou fases) do conversor *buck* tradicional em paralelo. Esta topologia é composta por $2n$ chaves e n indutores, os quais compartilham um único capacitor de saída.

Figura 3 – Conversor *buck* multifásico (ou entrelaçado).



Fonte: Elaborado pelo autor.

O acionamento das chaves é realizado de forma a que o atraso entre duas fases adjacentes (ϕ) respeite a seguinte relação

$$\phi = \frac{2\pi}{n} \quad (1.2)$$

sendo esta característica a razão para este tipo de conversor também ser conhecido como conversor entrelaçado. Tal funcionamento traz uma série de vantagens em aplicações com requisitos de corrente altos e tensões de operação baixas. Dentre elas, convém destacar o cancelamento do *ripple* de corrente total na saída e uma possível melhoria na resposta transiente do conversor.

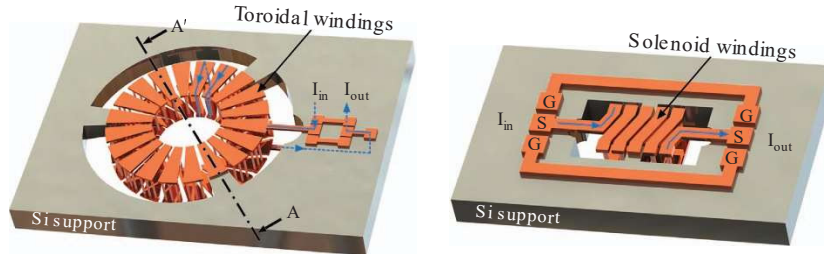
De modo a aproveitar as vantagens já existentes nos conversores multifásicos e reduzir algumas de suas limitações, tem-se tornado comum o uso de indutores acoplados no projeto dos filtros de saída. Tais estruturas trazem um grau a mais de complexidade ao projeto, porém se mostram extremamente úteis uma vez que possuem a capacidade de reduzir o *ripple* de corrente nos indutores, aumentando a eficiência do conversor.

A estrutura do indutor acoplado também constitui-se de um diferencial no presente trabalho, uma vez que o mesmo será realizado em uma tecnologia que permite uma integração total com o circuito do conversor. Tal tecnologia está inserida no campo dos sistemas micro-eletromecânicos (MEMS²) a qual tem sido amplamente utilizada para o desenvolvimento de

² do inglês, *Microelectromechanical Systems*.

conversores chaveados totalmente integrados (LE et al., 2021). A Fig. 4 ilustra um exemplo da aplicação deste tipo de tecnologia.

Figura 4 – Exemplos de indutores microfabricados. Na esquerda, um indutor toroidal. Na direita, um indutor solenoidal.

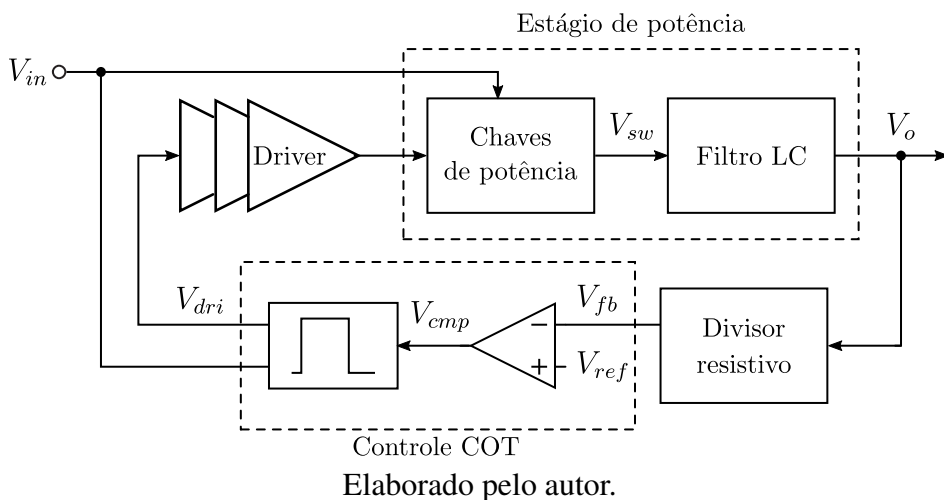


Fonte: Adaptado de (LE et al., 2018)

Além da topologia de conversor e do uso de indutores acoplados, o tipo de controle empregado também se mostra importante uma vez que o mesmo possui grande influência, tanto na resposta transiente quanto em regime permanente. Atualmente, existem dezenas de tipos de controle diferentes e muitas vezes a escolha do melhor tipo para determinada aplicação não é clara ao projetista. No presente trabalho, um conversor com controle V^2 será implementado, o qual deriva de uma topologia conhecida como controle com tempo de condução constante (COT).

A Fig. 5 ilustra o diagrama de blocos do controle com tempo de condução constante (COT).

Figura 5 – Controle com tempo de condução constante.



De acordo com (REDL; SUN, 2009), o controle baseado em *ripple* dentre os quais o controle com tempo de condução constante (COT) é o mais utilizado, possui diversas vantagens sendo a principal delas a rápida resposta transiente à perturbações de carga e a alta eficiência quando operado em baixas cargas, o que o torna altamente indicado para aplicações portáteis,

onde os requisitos de eficiência costumam ser bastante rígidos. Aplicar este tipo de controle à conversores multifásicos se mostra um desafio aos projetistas, uma vez que a realização do entrelaçamento entre as fases, ou seja, da defasagem entre as mesmas envolve o uso de estruturas não-triviais, como por exemplo, malhas de captura de fase (PLL).

1.1 Objetivos

Este trabalho tem por finalidade o estudo dos efeitos do acoplamento indutivo em conversores CC-CC multifásicos bem como o projeto de um conversor *buck* de duas fases utilizando uma estrutura de controle conhecida como V^2 , derivada do controle por tempo de condução constante (COT). O projeto será realizado com o auxílio do *software* SIMPLIS ([SIMPLIS Technologies, 2022](#)), o qual é amplamente utilizado no projeto de controle de conversores CC-CC chaveados. Desse modo, busca-se compreender as etapas de projeto do controle em questão, através do estudo de cada um dos blocos que o compõem.

1.2 Estrutura do trabalho

O trabalho consiste 6 capítulos, organizados da seguinte forma:

No capítulo 1, estabelece-se um plano de fundo para o estudo dos conversores CC-CC multifásicos com indutores acoplados bem como do controle baseados em tempo de condução constante (COT).

No capítulo 2 faz-se uma revisão de circuitos magnéticos com um enfoque na utilização de indutores acoplados em conversores CC-CC chaveados tomando a topologia *buck* de duas fases como referência.

Na sequência, no capítulo 3 discute-se o controle com tempo de condução constante (COT) e algumas modificações do mesmo, dentre as quais inclui-se o controle V^2 , justificando sua utilização no projeto de conversores chaveados.

No capítulo 4, o projeto dos blocos que constituem o conversor *buck* de duas fases com indutores acoplados é apresentado, discutindo-se cada um dos blocos necessários para a implementação do mesmo.

O capítulo 5 ilustra os resultados do projeto de um conversor, com cada bloco sendo implementado a partir das discussões feitas no capítulo anterior.

Por fim, no capítulo 6 são expostas as principais conclusões deste trabalho com sugestões de possíveis melhorias futuras.

2 ESTUDO DO CONVERSOR *BUCK* DE DUAS FASES

2.1 Modelagem de indutores acoplados

O estudo da aplicação dos indutores acoplados ao projeto de conversores CC-CC chaveados remonta ao final da década de 1970 e início da década de 1980, através dos trabalhos dos professores R.D. Middlebrook e Slobodan Ćuk, do Instituto de Tecnologia da Califórnia (Caltech) (ZHANG, 1987). Desde então, diversos autores tem demonstrado as vantagens e desvantagens de seu uso, descrevendo o comportamento de tais indutores através de diferentes modelos. As Fig. 6a e 6b ilustram o modelo mais conhecido, onde nota-se que o acoplamento é indicado pela presença dos pontos ao lado de cada indutor.

Figura 6 – Indutores (a) diretamente e (b) inversamente acoplados.



Fonte: Elaborado pelo autor.

Além disso, observa-se que a posição dos pontos define se os indutores estão diretamente ou inversamente acoplados. Durante o presente trabalho, apenas indutores inversamente acoplados serão abordados uma vez que esta é a configuração que traz as vantagens a serem discutidas ao longo do texto. Tomando então como referência a Fig. 6b, verifica-se que as tensões nos terminais de cada indutor são dadas por

$$\begin{cases} v_{L1} = L_1 \frac{di_{L1}}{dt} - M \frac{di_{L2}}{dt} \\ v_{L2} = -M \frac{di_{L1}}{dt} + L_2 \frac{di_{L2}}{dt} \end{cases} \quad (2.1)$$

onde L_1 e L_2 são as autoindutâncias de cada indutor e M é a indutância mútua entre os mesmos, dada por

$$M = k\sqrt{L_1 L_2} \quad (2.2)$$

sendo k o coeficiente de acoplamento, o qual representa o grau de acoplamento entre os indutores. Verifica-se que

$$0 < k < 1 \quad (2.3)$$

onde $k = 1$ representa um par de indutores totalmente acoplados e $k = 0$ representa um par de indutores totalmente desacoplados.

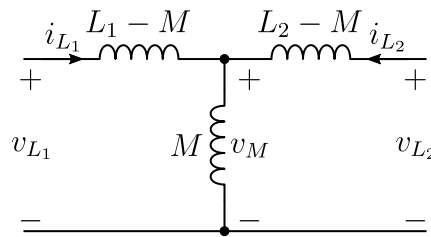
2.1.1 Modelo T equivalente

De acordo com (ZHANG, 1987), o sistema (2.1) pode ser reescrito da seguinte forma

$$\begin{cases} v_{L_1} = (L_1 - M) \frac{di_{L_1}}{dt} + M \frac{d}{dt}(i_{L_1} + i_{L_2}) \\ v_{L_2} = (L_2 - M) \frac{di_{L_2}}{dt} + M \frac{d}{dt}(i_{L_1} + i_{L_2}) \end{cases} \quad (2.4)$$

a qual representa o circuito ilustrado na Fig. 7, conhecido como modelo T equivalente de um par de indutores magneticamente acoplados.

Figura 7 – Modelo T equivalente de um par de indutores magneticamente acoplados.



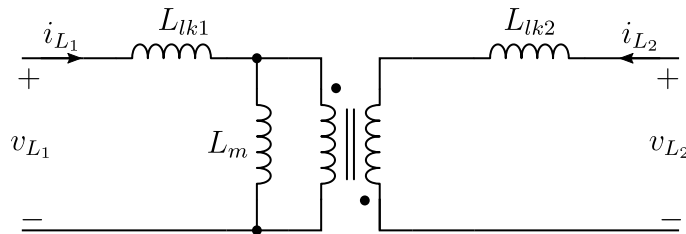
Fonte: Elaborado pelo autor

Este modelo tem como principal vantagem eliminar a necessidade da utilização do ponto como forma de identificar o tipo de acoplamento.

2.1.2 Modelo por transformador ideal

Ainda de acordo com (ZHANG, 1987), é possível obter um modelo mais realista de um par de indutores acoplados como mostra a Fig. 8, onde um transformador ideal é utilizado para representar o acoplamento magnético.

Figura 8 – Modelo físico de um par de indutores magneticamente acoplados.



Elaborado pelo autor

O circuito é descrito pelo seguinte sistema de equações

$$\begin{cases} v_{L_1} = L_{lk1} \frac{di_{L_1}}{dt} + L_m \frac{di_{L_m}}{dt} \\ v_{L_2} = L_{lk2} \frac{di_{L_2}}{dt} + L_m \frac{di_{L_m}}{dt} \end{cases} \quad (2.5)$$

onde L_{lk1} e L_{lk2} são conhecidas como indutâncias de dispersão, enquanto L_m é conhecida como indutância de magnetização dadas, respectivamente, por

$$L_{lk1} = L_1 - M \quad (2.6)$$

$$L_{lk2} = L_2 - M \quad (2.7)$$

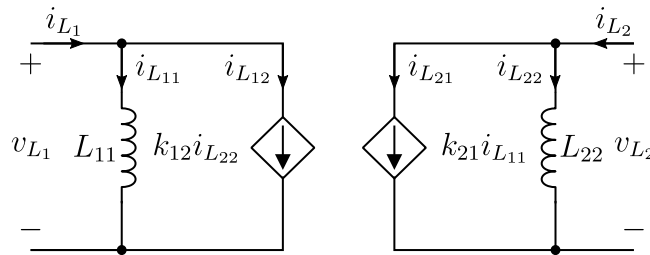
$$L_m = M \quad (2.8)$$

Tal modelo possui a vantagem de possuir parâmetros diretamente relacionados às grandezas físicas presentes na estrutura do indutor, de modo que o mesmo é também conhecido como modelo físico de um par de indutores acoplados.

2.1.3 Modelo baseado em relutância proposto por Pit-Leong Wong

Em (WONG, 2001) o autor propõe um novo circuito equivalente para indutores acoplados o qual deriva de um modelo baseado em relutância. A Fig. 9 ilustra o circuito elétrico equivalente obtido a partir do modelo considerando um par de indutores, porém o mesmo pode ser estendido à N indutores acoplados.

Figura 9 – Circuito equivalente de um par de indutores acoplados proposto por (WONG, 2001).



Adaptado de (WONG, 2001)

$$\begin{cases} v_{L1} = \frac{L_{11}}{1 - k_{12}k_{21}} \frac{di_{L1}}{dt} - \frac{k_{12}L_{11}}{1 - k_{12}k_{21}} \frac{di_{L2}}{dt} \\ v_{L2} = \frac{L_{22}}{1 - k_{12}k_{21}} \frac{di_{L2}}{dt} - \frac{k_{21}L_{22}}{1 - k_{12}k_{21}} \frac{di_{L1}}{dt} \end{cases} \quad (2.9)$$

A ideia do circuito equivalente é desacoplar os efeitos das correntes em cada indutor, dividindo as mesmas em duas partes, ou seja

$$\begin{cases} i_{L1} = i_{L11} + i_{L12} \\ i_{L2} = i_{L22} + i_{L21} \end{cases} \quad (2.10)$$

onde os termos $i_{L_{11}}$ e $i_{L_{22}}$ em (2.10) são denominadas correntes próprias, as quais são dadas respectivamente por

$$i_{L_{11}} = \frac{1}{L_{11}} \int v_{L_1} dt \quad (2.11)$$

$$i_{L_{22}} = \frac{1}{L_{22}} \int v_{L_2} dt \quad (2.12)$$

e que dependem apenas das tensões aplicadas em cada indutor, ou seja, v_{L_1} e v_{L_2} . As indutâncias L_{11} e L_{22} são denominadas indutâncias de curto-circuito¹, sendo dadas por

$$L_{11} = L_1(1 - k_{12}k_{21}) \quad (2.13)$$

e

$$L_{22} = L_2(1 - k_{12}k_{21}) \quad (2.14)$$

onde

$$k_{12} = \frac{i_{L_{12}}}{i_{L_{22}}} \quad (2.15)$$

e

$$k_{21} = \frac{i_{L_{21}}}{i_{L_{11}}} \quad (2.16)$$

Os termos $i_{L_{12}}$ e $i_{L_{21}}$ em (2.10) são, de acordo com o autor, as correntes mútuas (ou de acoplamento), dadas por

$$i_{L_{12}} = \frac{1}{L_{12}} \int v_{L_2} dt \quad (2.17)$$

$$i_{L_{21}} = \frac{1}{L_{21}} \int v_{L_1} dt \quad (2.18)$$

e que representam as parcelas de corrente que são geradas pela tensão no indutor oposto. As indutâncias L_{12} e L_{21} são denominadas indutâncias mútuas², sendo dadas por

$$L_{12} = \frac{L_{22}}{k_{12}} \quad (2.19)$$

e

$$L_{21} = \frac{L_{11}}{k_{21}} \quad (2.20)$$

Supondo $k_{12} = k_{21} = k$ e $L_1 = L_2 = L$, tem-se

$$L_{11} = L_{22} = L(1 - k^2) \quad (2.21)$$

¹ Vale ressaltar que em (WONG, 2001) o autor utiliza o nome autoindutância para se referir à L_{11} e L_{22} , o que na visão do autor do presente trabalho, acaba por gerar confusão ao leitor menos atento. Desse modo, o nome indutância de curto-circuito torna-se mais apropriado.

² Por falta de um nome mais apropriado, optou-se pela utilização do nome indutância mútua para se referir às indutâncias L_{12} e L_{21} . Repare porém que essa definição não é equivalente à indutância M o que pode gerar confusão ao leitor.

e

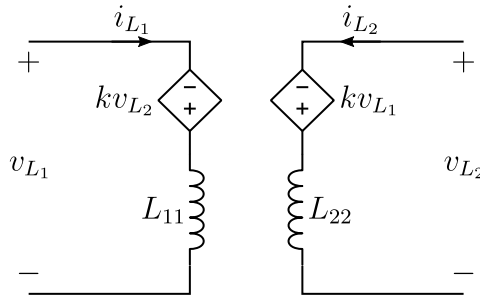
$$L_{12} = L_{21} = \left(\frac{1 - k^2}{k^2} \right) M \quad (2.22)$$

A ideia do circuito equivalente proposto pelo autor é que ele seja utilizado em conversores que utilizem mais de dois indutores acoplados. Porém, em (LEE, 2008) o autor utiliza tal modelo no projeto do sensor de corrente dos indutores justificando sua apresentação neste trabalho.

2.1.4 Modelo simétrico proposto por Guangyong Zhu

O último modelo estudado é o proposto em (ZHU; MCDONALD; WANG, 2009), denominado modelo simétrico, onde o acoplamento se dá através de fontes de tensão controladas por tensão (VCVS³.) como ilustrado na Fig. 10.

Figura 10 – Modelo simétrico de um par de indutores acoplados proposto por (ZHU; MCDONALD; WANG, 2009)



Adaptado de (ZHU; MCDONALD; WANG, 2009)

Tal modelo é obtido a partir do modelo de transformador o qual, segundo o autor, possui a característica inconveniente de não ser simétrico. O sistema de equações que descreve tal modelo é dado por

$$\begin{cases} v_{L_1} = L_{11} \frac{di_1}{dt} - kv_{L_2} \\ v_{L_2} = L_{22} \frac{di_2}{dt} - kv_{L_1} \end{cases} \quad (2.23)$$

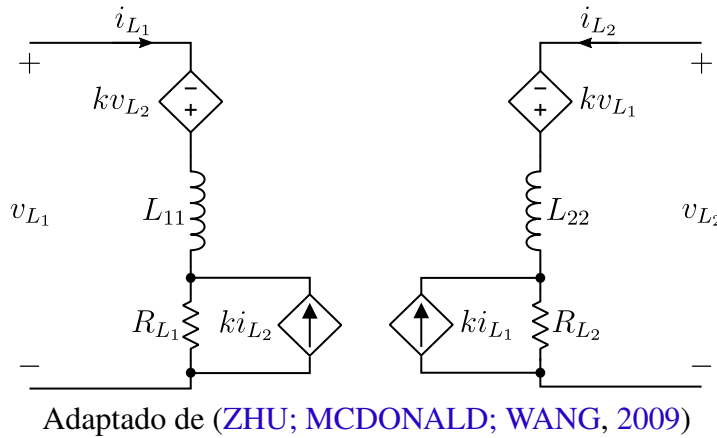
onde L_{11} e L_{22} são as indutâncias de curto circuito, assim como as utilizadas no modelo proposto em (WONG, 2001) e definidas, respectivamente, por (2.13) e (2.14).

Em (ZHU; WANG, 2010), o autor fornece uma extensão do modelo original, considerando a resistência CC parasita do indutor (DCR). Nesse caso, uma fonte de corrente controlada por corrente (CCCS⁴) é adicionada ao modelo, como ilustra a Fig. 11.

³ do inglês, *Voltage-Controlled Voltage Source*.

⁴ do inglês *Current-Controlled Current Source*.

Figura 11 – Modelo simétrico de um par de indutores acoplados com adição do efeito da resistência CC parasita.



O autor modifica a Eq. (2.23) de modo a obter um novo sistema de equações, dado por

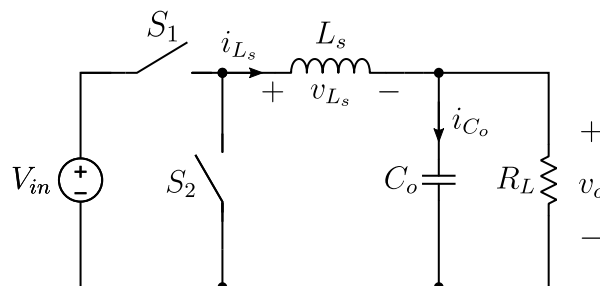
$$\begin{cases} v_{L_1} = L_{11} \frac{di_{L_1}}{dt} - kv_{L_2} + R_{L_1}(i_{L_1} + ki_{L_2}) \\ v_{L_2} = L_{22} \frac{di_{L_2}}{dt} - kV_{L_1} + R_{L_2}(i_{L_2} + ki_{L_1}) \end{cases} \quad (2.24)$$

Na seção 4.2.1.1 este modelo será utilizado para o projeto do sensor de corrente do indutor, justificando assim sua apresentação no presente trabalho.

2.2 Operação do conversor *buck* tradicional

A Fig. 12 ilustra o circuito ideal de um conversor *buck* tradicional. Neste tipo de conversor, o valor médio da tensão de saída (V_o) é sempre menor ou igual à tensão de entrada (V_{in}) e por isso, tal circuito é também conhecido como conversor abaixador.

Figura 12 – Conversor *buck* ideal.

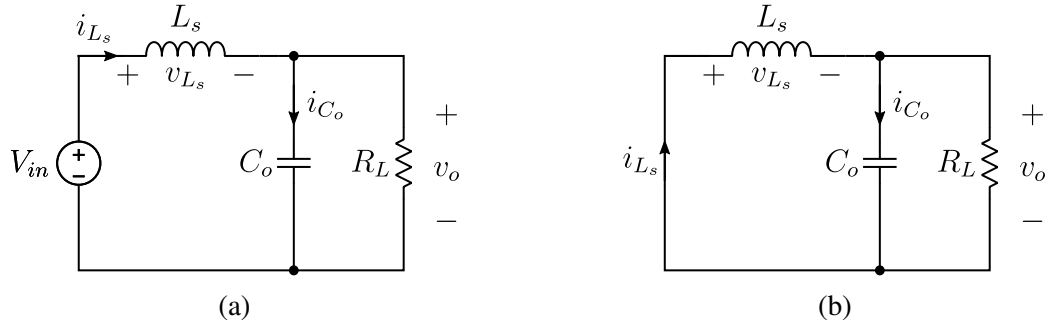


Fonte: Elaborado pelo autor.

A operação do conversor *buck* tradicional pode ser dividida em duas fases. Durante a primeira fase, a chave S_1 é fechada, enquanto a chave S_2 é aberta, como ilustra a Fig. 13a e no decorrer da mesma, a fonte de tensão V_{in} carrega o indutor e a carga. Durante a segunda fase, a

chave S_1 é aberta e a chave S_2 é fechada, como ilustra a Fig. 13b e ao longo da mesma, o indutor descarrega através da carga e do capacitor.

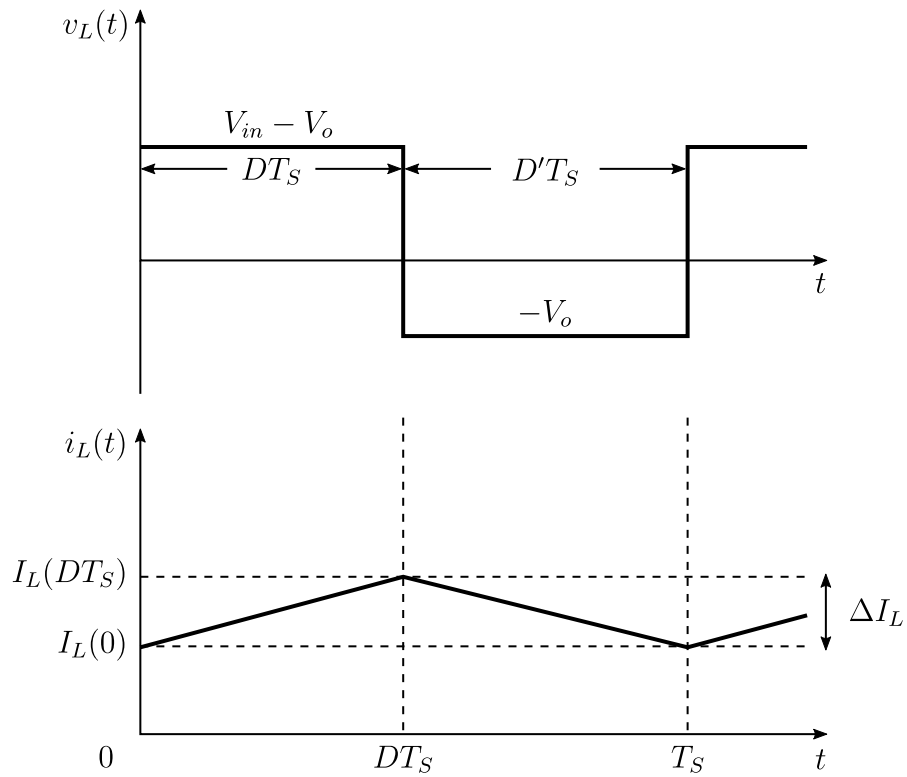
Figura 13 – Conversor *buck* (a) com chave S_1 fechada e S_2 aberta e (b) com chave S_1 aberta e S_2 fechada.



Fonte: Elaborado pelo autor.

A Fig. 14 mostra as formas de onda de tensão e corrente no indutor de um conversor *buck*, considerando o regime permanente de operação.

Figura 14 – Formas de onda de tensão e corrente no indutor em um conversor *buck* em regime permanente.



Em (ERICKSON; MAKSIMOVIĆ, 2020), os autores derivam a seguinte expressão

$$V_o = DV_{in} \quad (2.25)$$

que relaciona o valor CC da tensão de saída (V_o) à tensão de entrada (V_{in}) através do parâmetro D , conhecido como *duty cycle* ou *duty cycle* ($D' = 1 - D$). Verifica-se ainda que

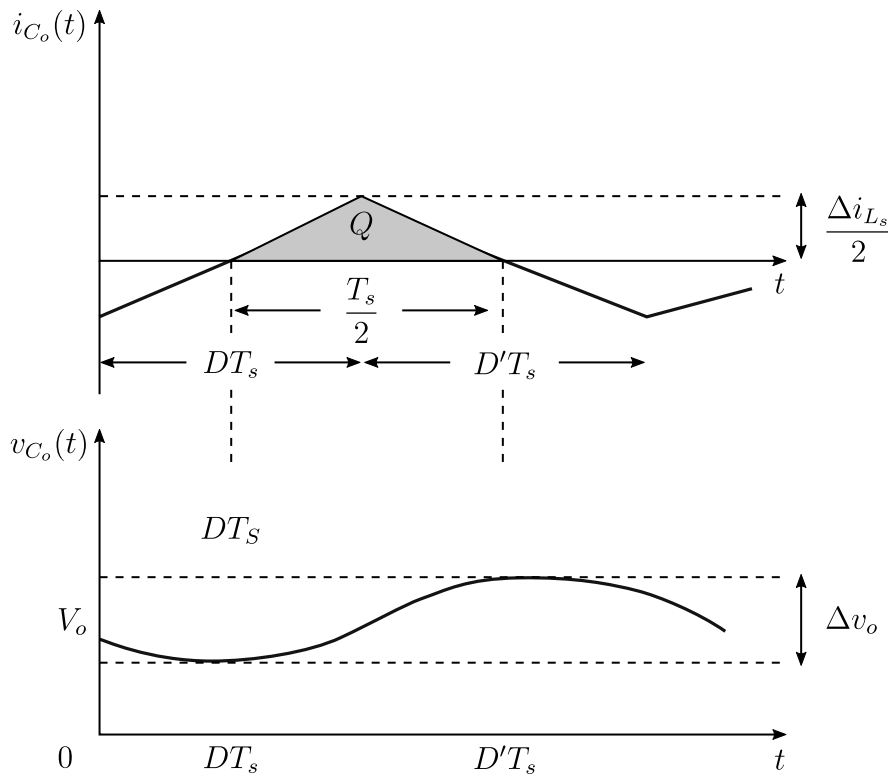
$$0 < D \leq 1 \quad (2.26)$$

Além disso, a partir da forma de onda de corrente no indutor (i_L), obtém-se uma expressão para a ondulação ou *ripple* (Δi_{L_s}), dada por

$$\Delta i_{L_s} = \frac{V_{in} - V_o}{L} DT_s = \frac{V_o}{L} (1 - D) T_s \quad (2.27)$$

e verifica-se que a mesma é inversamente proporcional ao valor da indutância L . A Fig. 15 mostra as formas de onda de tensão e corrente no capacitor de saída do conversor *buck* operando em regime permanente.

Figura 15 – Formas de onda de tensão e corrente no capacitor de saída de um conversor *buck* em regime permanente.



Fonte: Elaborado pelo autor.

A partir da inspeção da mesma, os autores em (ERICKSON; MAKSIMOVIĆ, 2020) derivam a seguinte expressão

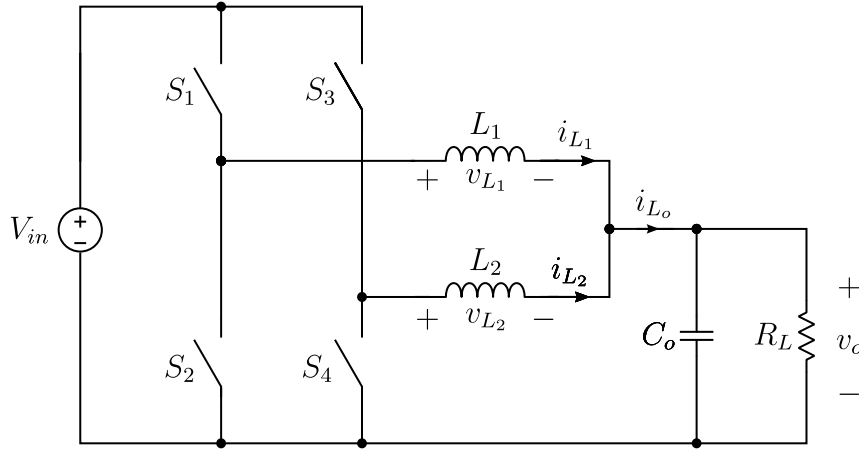
$$\Delta v_o = \frac{\Delta i_{L_s}}{8C_o} \times T_s \quad (2.28)$$

para o cálculo do *ripple* de tensão de saída do conversor. Vale ressaltar que este caso considera que o capacitor não possui uma resistência em série, tampouco a uma indutância parasita em série.

2.3 Operação do conversor *buck* de duas fases entrelaçado

A Fig. 16 ilustra o circuito ideal de um conversor *buck* de duas fases sem acoplamento entre os indutores.

Figura 16 – Conversor *buck* de duas fases.



Elaborado pelo autor.

A fase 1 é composta pelas chaves S_1 , S_2 e pelo indutor L_1 , enquanto a fase 2 é composta pelas chaves S_3 , S_4 e pelo indutor L_2 . Os indutores L_1 e L_2 são idênticos, ou seja

$$L_1 = L_2 = L_s \quad (2.29)$$

e o defasamento entre as fases é dado por

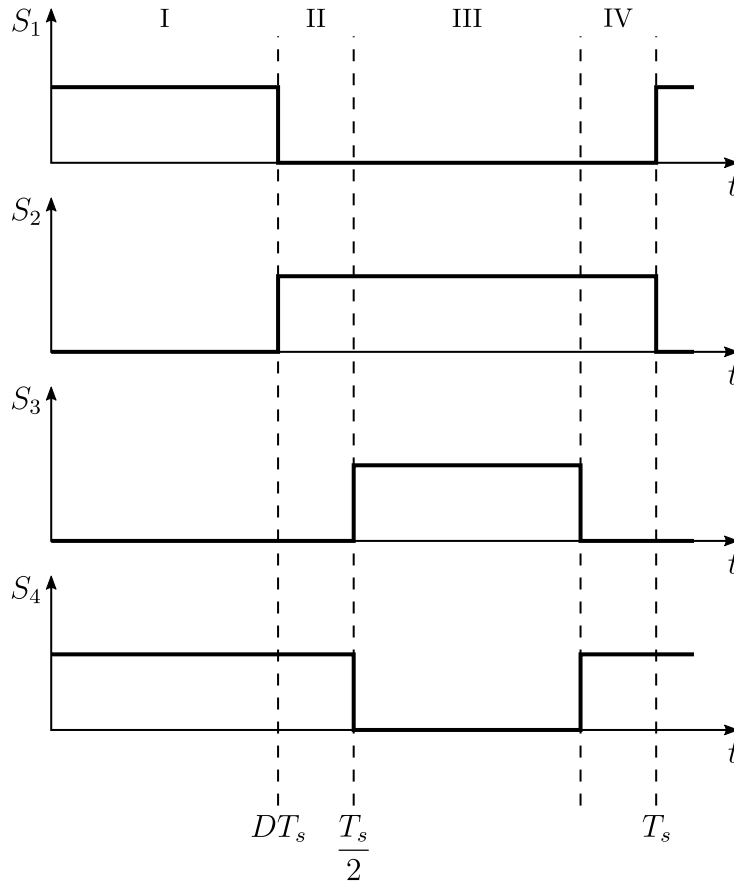
$$\phi = \frac{360^\circ}{2} = 180^\circ \quad (2.30)$$

A análise do funcionamento do conversor pode ser dividida em duas etapas: operação para *duty cycle* $D < 0,5$ e operação para *duty cycle* $D > 0,5$. Como será visto mais adiante, os efeitos da diminuição do *ripple* de corrente são simétricos com relação a uma *duty cycle* $D = 0,5$.

2.3.1 Operação para $D < 0.5$

O funcionamento do conversor pode ser dividido em quatro estados, conforme as formas de onda na Fig. 17 ilustram.

Figura 17 – Formas de onda de chaveamento do conversor *buck* de duas fases operando com $D < 0,5$.



Elaborado pelo autor.

As Figs. 18a e 18b ilustram os circuitos equivalentes nos estados I e II. No primeiro estado, as chaves S_1 e S_4 encontram-se fechadas, enquanto as chaves S_2 e S_3 encontram-se abertas. As tensões sobre os indutores L_1 e L_2 são dadas por

$$v_{L_1} = V_{in} - V_o \text{ e } v_{L_2} = -V_o \quad (2.31)$$

Desse modo, a partir da equação do indutor, tem-se

$$\frac{di_{L_1}}{dt} = \frac{V_{in} - V_o}{L_s} \text{ e } \frac{di_{L_2}}{dt} = \frac{-V_o}{L_s} \quad (2.32)$$

A corrente total de saída é dada pela soma das correntes em cada fase, ou seja

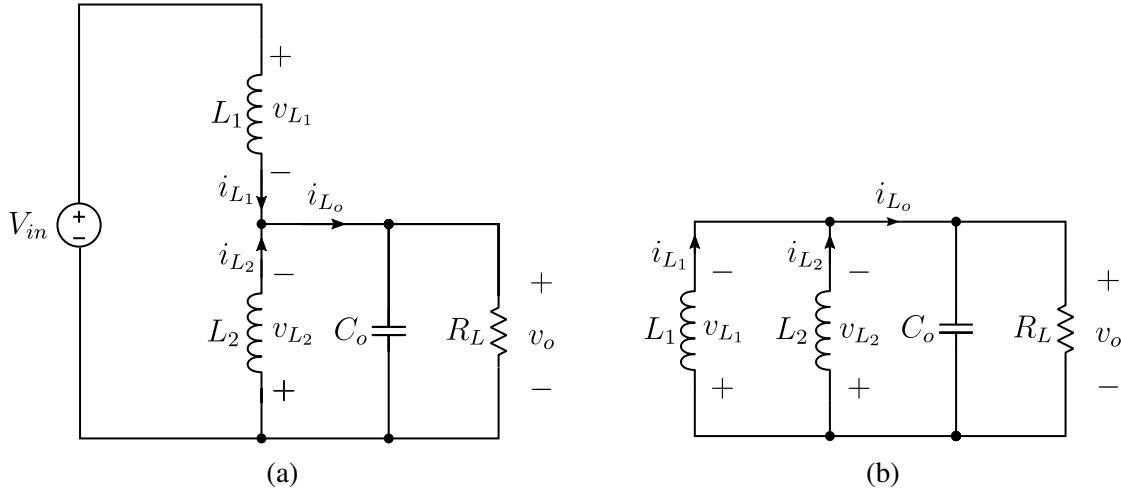
$$i_{L_o} = i_{L_1} + i_{L_2} \quad (2.33)$$

Com isso, verifica-se que

$$\frac{di_{L_o}}{dt} = \frac{di_{L_1}}{dt} + \frac{di_{L_2}}{dt} = \frac{V_{in} - 2V_o}{L_s} \quad (2.34)$$

ou seja, durante o estado I, a corrente na fase 1 está aumentando e a corrente na fase 2 está diminuindo indicando que o indutor L_1 está sendo carregado e o indutor L_2 está sendo descarregado. Como $D < 0,5$ a Eq. (2.34) indica que a corrente total de saída i_{L_o} está aumentando.

Figura 18 – Circuito equivalente do conversor *buck* de duas fases no (a) estado I e no (b) estado II ($D < 0.5$).



Fonte: Elaborado pelo autor.

Durante o estado II, as chaves S_1 e S_3 encontram-se abertas enquanto as chaves S_1 e S_2 encontram-se abertas. As tensões sobre os indutores L_1 e L_2 são dadas por

$$v_{L1} = v_{L2} = -V_o \quad (2.35)$$

Desse modo

$$\frac{di_{L1}}{dt} = \frac{di_{L2}}{dt} = -\frac{V_o}{L} \quad (2.36)$$

e

$$\frac{di_{Lo}}{dt} = -\frac{2V_o}{L} \quad (2.37)$$

ou seja, durante o estado II, as correntes nas fases 1 e 2 estão diminuindo e seus respectivos indutores sendo descarregados. Da mesma forma, a corrente total de saída i_{Lo} está diminuindo.

Os circuitos equivalentes dos estados III e IV podem ser vistos nas Figs. 19a e 19b. Considerando o estado III, verifica-se que o mesmo é idêntico ao estado I, exceto que os indutores L_1 e L_2 invertem seus papéis. Dessa forma, tem-se, através de uma dedução semelhante a feita para o estado I

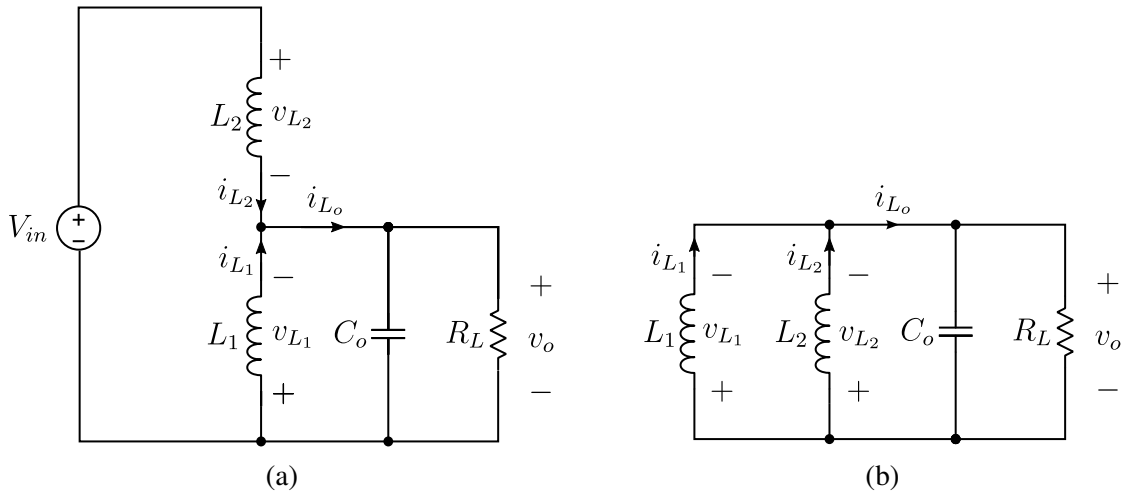
$$\frac{di_{L1}}{dt} = \frac{-V_o}{L} \text{ e } \frac{di_{L2}}{dt} = \frac{V_{in} - V_o}{L} \quad (2.38)$$

Com isso

$$\frac{di_{Lo}}{dt} = \frac{V_{in} - 2V_o}{L} \quad (2.39)$$

Por fim, nota-se que o estado IV é exatamente o mesmo que o estado II.

Figura 19 – Circuito equivalente do conversor *buck* de duas fases no (a) estado 3 e no (b) estado 4 ($D < 0.5$).



Fonte: Elaborado pelo autor.

A Tabela 1 resume os diferentes estados de operação do conversor *buck* de duas fases, considerando $D < 0,5$.

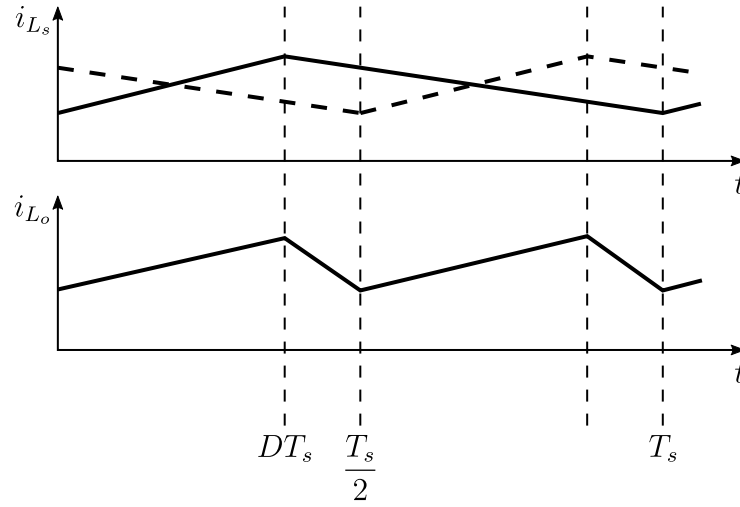
Tabela 1 – Modos de operação do conversor de duas fases entrelaçadas para $D < 0,5$.

	I	II	III	IV
v_{L1}	$V_{in} - V_o$	$-V_o$	$-V_o$	$-V_o$
v_{L2}	$-V_o$	$-V_o$	$V_{in} - V_o$	$-V_o$
$\frac{di_{L1}}{dt}$	aumentando	diminuindo	aumentando	diminuindo
$\frac{di_{L2}}{dt}$	diminuindo	diminuindo	aumentando	diminuindo
$\frac{di_{Lo}}{dt}$	aumentando	diminuindo	aumentando	diminuindo

Adaptado de (LEE et al., 2013).

Por fim, a Fig. 20 ilustra as formas de onda de corrente nos indutores e na saída.

Figura 20 – Formas de onda de corrente nas fases e na saída.



Fonte: Elaborado pelo autor.

A operação do conversor quando se considera $D > 0,5$ é semelhante ao que foi descrito nesta seção e se encontra no apêndice A.

2.3.2 Efeito no *ripple* da corrente total de saída

A partir da análise feita nas seções 2.3.1 e no apêndice A, verifica-se que o *ripple* da corrente total de saída Δi_{L_o} é dado por

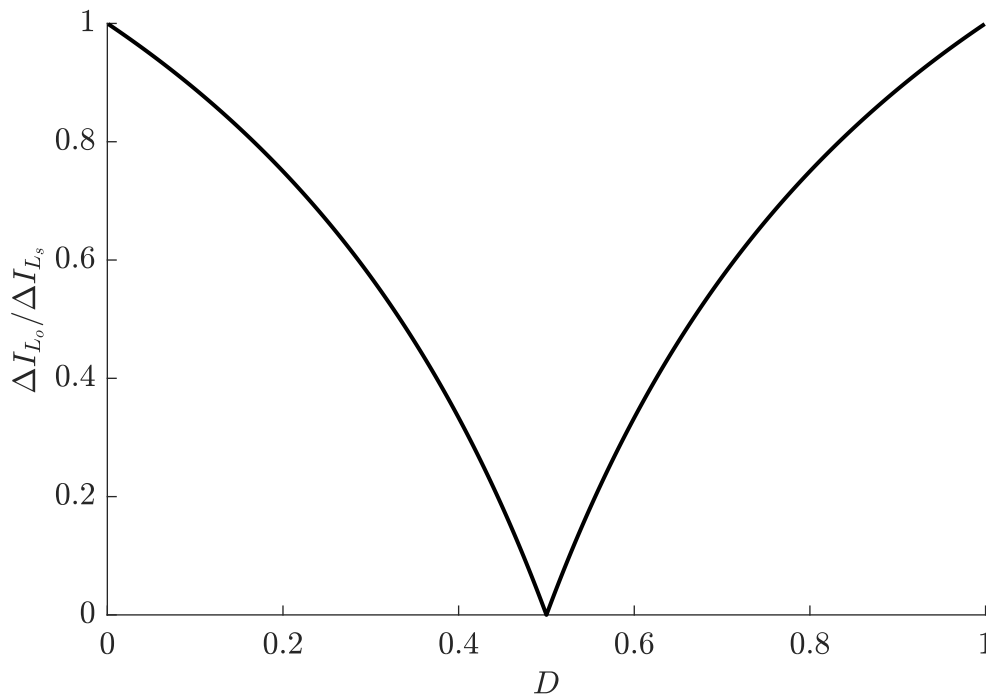
$$\Delta i_{L_o} = \begin{cases} \frac{V_o}{L}(1 - 2D)T_s & D < 0,5 \\ \frac{V_o}{L}\left(\frac{1 - D}{D}\right)(2D - 1)T_s & D > 0,5 \end{cases} \quad (2.40)$$

Além disso, nota-se que a frequência do *ripple* de corrente de saída é o dobro da frequência do *ripple* de corrente nas fases. Em (LEE et al., 2013) o fator de cancelamento do *ripple* de corrente de saída do conversor é obtido como sendo

$$\frac{\Delta i_{L_o}}{\Delta i_{L_i}} = \begin{cases} \frac{1 - 2D}{D} \\ \frac{2D - 1}{D} \end{cases} \quad (2.41)$$

A Figura 21 mostra a variação de tal grandeza em função da *duty cycle* D , evidenciando o fato de o *ripple* de corrente total de saída é sempre menor que o *ripple* de corrente ndas fases. Verifica-se ainda que o comportamento do conversor é simétrico em relação à um *duty cycle* de 50%.

Figura 21 – Fator de cancelamento do *ripple* de corrente de saída em um conversor de duas fases com indutores desacoplados.



Fonte: Elaborado pelo autor

A partir do estudo da operação do conversor *buck* de duas fases entrelaçado, verifica-se que a utilização deste traz como principal característica a possível diminuição do *ripple* da corrente de saída quando comparado com o conversor *buck* de uma única fase. Como visto na seção 2.2 o *ripple* de corrente está intimamente ligado ao *ripple* de tensão de saída, uma vez que a corrente CA dos indutores flui para o capacitor. Desse modo, um *ripple* de corrente menor implica uma melhor regulação de tensão.

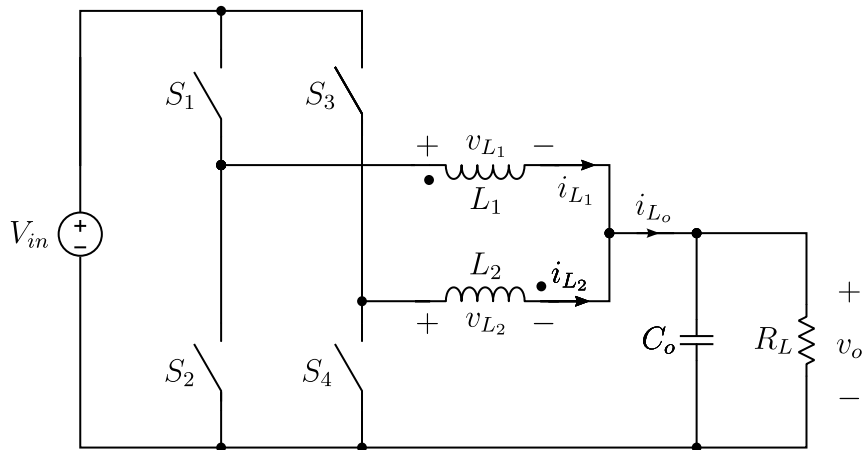
Considerando que o projetista utilize o mesmo indutor que seria empregado em um conversor de uma única fase, verifica-se então que o *ripple* de corrente de saída, bem como o *ripple* de tensão de saída, irão diminuir no conversor de duas fases. Isso permite que sejam utilizados capacitores menores na saída, reduzindo a área gasta com estes componentes. É possível, entretanto, que o projetista opte por obter um *ripple* de saída do conversor entrelaçado igual ao caso de uma única fase. Tal efeito é obtido utilizando-se indutores menores em cada fase, o que melhora a resposta transiente do conversor. A grande desvantagem, entretanto, é que diminuir os indutores faz com que o *ripple* de corrente nos mesmos aumente, o que pode resultar no comprometimento dos requisitos de eficiência do projeto.

Nota-se portanto que o uso dos conversores multifásicos requer uma análise por parte do projetista, uma vez que existem compromissos em seu emprego em projeto de reguladores de tensão.

2.4 Operação do conversor *buck* de duas fases com indutores acoplados

A Fig. 22 ilustra o circuito ideal de um conversor *buck* de duas fases com indutores inversamente acoplados. O acionamento das chaves é o mesmo que aquele descrito na seção 2.3, porém, o fato de haver acoplamento entre os indutores traz uma série de modificações nas formas de onda tanto em regime permanente quanto durante transientes.

Figura 22 – Conversor *buck* de duas fases com indutores inversamente acoplados.

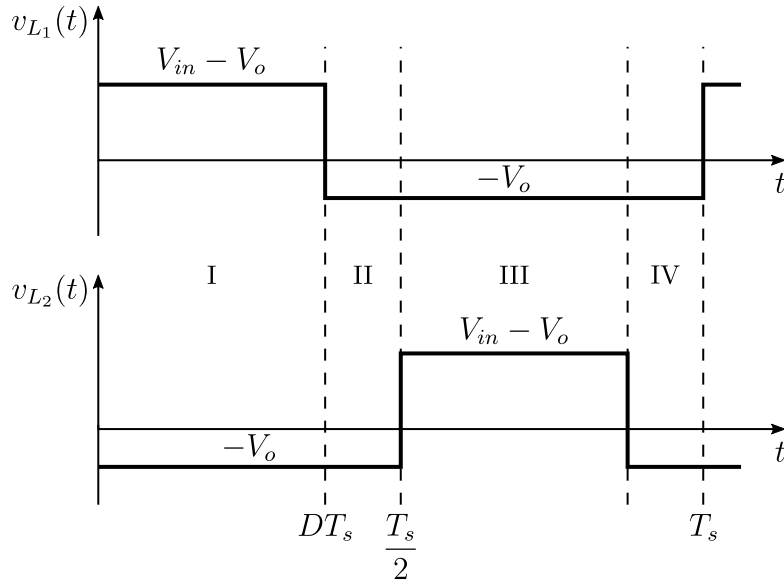


Fonte: Elaborado pelo autor.

2.4.1 Descrição do comportamento de indutores acoplados através de indutâncias equivalentes

É possível analisar o efeito do acoplamento indutivo em um conversor *buck* de duas fases, obtendo-se expressões para a indutância equivalente que causa o mesmo efeito. Para isso em (WONG, 2001) o autor considera inicialmente o caso de $D < 0,5$, ilustrado pelas formas de onda da Fig. 23.

Figura 23 – Formas de onda de tensão em cada indutor ($D < 0,5$).



Fonte: Elaborado pelo autor.

Considerando $L_1 = L_2 = L_s$, o sistema (2.1) é reescrito em uma forma matricial, ou seja

$$\begin{bmatrix} v_{L_1} \\ v_{L_2} \end{bmatrix} = \begin{bmatrix} L_s & -M \\ -M & L_s \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.42)$$

Considerando então o caso em que os indutores estão desacoplados, ou seja, $M = 0$, reescreve-se (2.42) da seguinte forma

$$\begin{bmatrix} v_{L_1} \\ v_{L_2} \end{bmatrix} = \begin{bmatrix} L_s & 0 \\ 0 & L_s \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.43)$$

Desse modo, a ideia é modificar o sistema (2.42) de modo que o mesmo tenha a mesma forma do sistema (2.43). Após algumas manipulações algébricas, obtém-se

$$\begin{bmatrix} v_{L_1} + \frac{M}{L_s} v_{L_2} \\ v_{L_2} + \frac{M}{L_s} v_{L_1} \end{bmatrix} = \begin{bmatrix} L_s - \frac{M^2}{L_s} & 0 \\ 0 & L_s - \frac{M^2}{L_s} \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.44)$$

Para cada intervalo, existe uma relação entre v_{L_1} e v_{L_2} e, conseqüentemente, um valor de indutância equivalente. Considerando o intervalo I, verifica-se que

$$\begin{cases} v_{L_1} = V_{in} - V_o \\ v_{L_2} = -V_o \end{cases} \quad (2.45)$$

Utilizando-se do fato de que em um período, a tensão média no indutor é nula, é possível obter a seguinte relação

$$v_{L_1} = -\frac{D'}{D} v_{L_2} \quad (2.46)$$

e com isso, (2.42) é rescrita como

$$\begin{bmatrix} v_{L_1} \\ v_{L_2} \end{bmatrix} = \begin{bmatrix} L_s - \frac{M^2}{L_s} & 0 \\ 1 - \frac{M}{L_s} \frac{D}{D'} & \frac{L_s - \frac{M^2}{L_s}}{1 - \frac{M}{L_s} \frac{D}{D'}} \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.47)$$

A Eq. (2.47) mostra as indutâncias equivalentes para cada uma das fases. Por simplicidade em (WONG, 2001) o autor define apenas a indutância da primeira fase, dada por

$$L_{eq1}^I = \frac{L_s^2 - M^2}{L_s - M \frac{D}{D'}} \quad (2.48)$$

e a justificativa é que a indutância equivalente da segunda fase será idêntica com a adição de uma defasagem. Considerando o intervalo II, verifica-se que

$$\begin{cases} v_{L_1} = -V_o \\ v_{L_2} = -V_o \end{cases} \quad (2.49)$$

e com isso

$$v_{L_1} = v_{L_2} \quad (2.50)$$

e o sistema (2.42) é rescrito como

$$\begin{bmatrix} v_{L_1} \\ v_{L_2} \end{bmatrix} = \begin{bmatrix} L_s - M & 0 \\ 0 & L_s - M \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.51)$$

A indutância equivalente para o segundo intervalo é dada por

$$L_{eq1}^{II} = L - M \quad (2.52)$$

Considerando agora o intervalo III, verifica-se que

$$\begin{cases} v_{L_1} = -V_o \\ v_{L_2} = V_{in} - V_o \end{cases} \quad (2.53)$$

e com isso

$$v_{L_1} = -\frac{D}{D'} v_{L_2} \quad (2.54)$$

Desse modo

$$\begin{bmatrix} v_{L_1} \\ v_{L_2} \end{bmatrix} = \begin{bmatrix} L_s - \frac{M^2}{L_s} & 0 \\ 1 - \frac{M}{L_s} \frac{D}{D'} & \frac{L_s - \frac{M^2}{L_s}}{1 - \frac{M}{L_s} \frac{D}{D'}} \end{bmatrix} \begin{bmatrix} \frac{di_{L_1}}{dt} \\ \frac{di_{L_2}}{dt} \end{bmatrix} \quad (2.55)$$

e a indutância equivalente para o terceiro intervalo é dada por

$$L_{eq1}^{III} = \frac{L_s^2 - M^2}{L_s - M \frac{D'}{D}} \quad (2.56)$$

No intervalo IV, verifica-se que

$$\begin{cases} v_{L_1} = -V_o \\ v_{L_2} = -V_o \end{cases} \quad (2.57)$$

ou seja, a relação entre as tensões é a mesma que a obtida no intervalo II e o mesmo vale para a indutância equivalente. Desse modo, apesar da existência de quatro intervalos, o que se tem na verdade são três indutâncias equivalentes, resumidas na tabela 2.

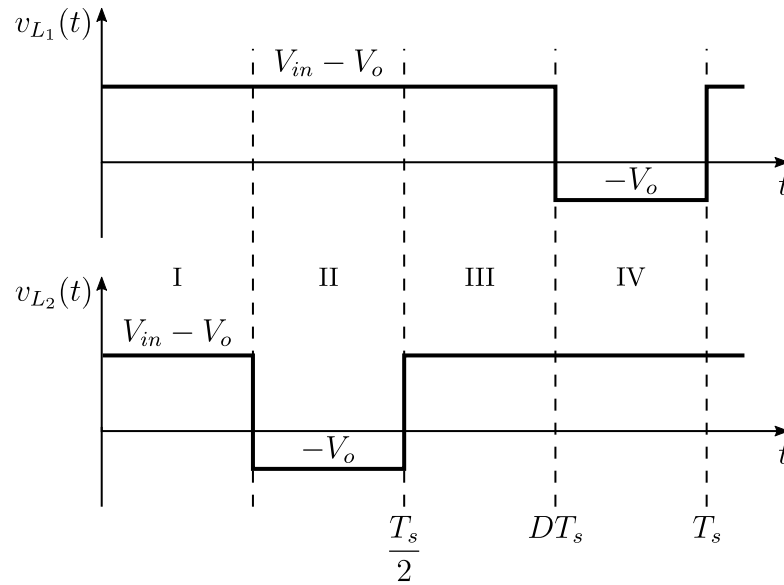
Tabela 2 – Indutância equivalente em cada intervalo de operação ($D < 0,5$)

Intervalo	Indutância equivalente
I	$\frac{L_s^2 - M^2}{L_s - M \frac{D}{D'}}$
II	$L_s - M$
III	$\frac{L_s^2 - M^2}{L_s - M \frac{D'}{D}}$
IV	$L_s - M$

Elaborado pelo autor.

A Fig. 24 ilustra as formas de onda de tensão dos indutores, considerando $D > 0,5$.

Figura 24 – Formas de onda de tensão em cada indutor ($D > 0,5$).



Fonte: Elaborado pelo autor.

Ainda em (WONG, 2001) o autor afirma que o comportamento do conversor para $D > 0,5$ resulta nas mesmas indutâncias equivalentes para cada um dos intervalos de operações.

2.4.2 Efeito de melhoria da resposta transiente

De acordo com (WONG, 2001), durante um transiente a indutância equivalente do par de indutores acoplados é dada pela expressão (2.52), ou seja

$$L_{tr} = L_{s(eq)}^{(II)} = L_{s(cp)} - M \quad (2.58)$$

Desse modo, como

$$L_{tr} > L_{s(cp)} \quad (2.59)$$

verifica-se que o efeito do acoplamento é o de diminuir a indutância, conferindo uma resposta mais rápida ao conversor.

2.4.3 Efeito de redução do *ripple* de corrente em regime permanente

Tanto em (WONG, 2001) quanto em (LI; SULLIVAN; SCHULTZ, 2002) os autores fazem uma comparação entre os indutores desacoplados e acoplados. Para isso, ambos consideram que a autoindutância para o caso sem acoplamento equivale à indutância equivalente do segundo intervalo ($L_{s(eq)}^{II}$) no caso com acoplamento, ou seja

$$L_{s(nc)} = L_{s(cp)} - M = L_{s(cp)}(1 - k) \quad (2.60)$$

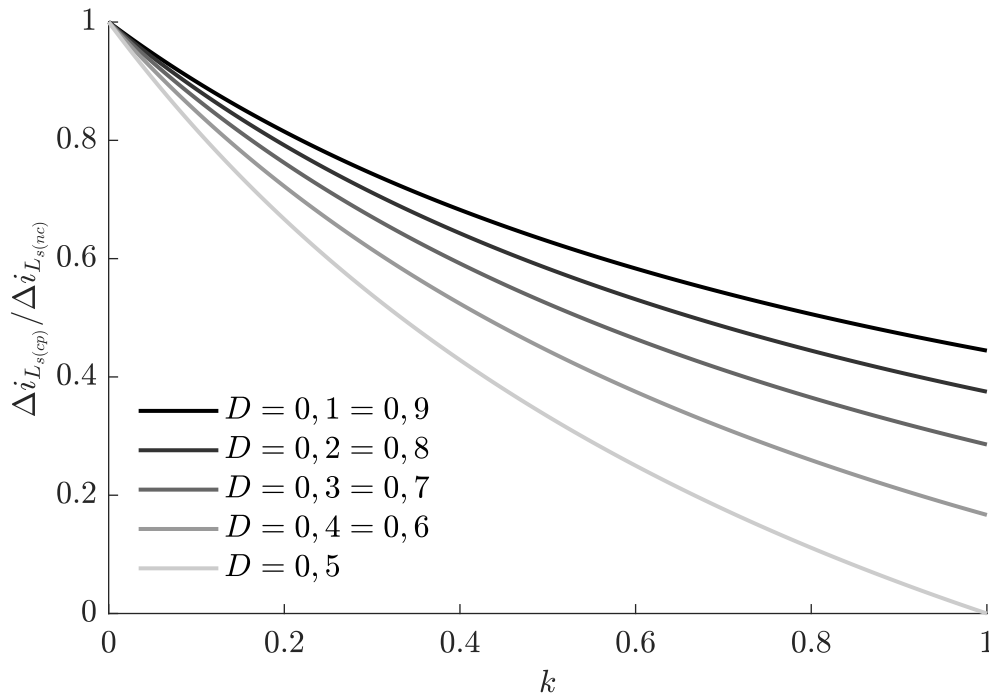
Segundo (WONG, 2001), esta abordagem resulta na melhor forma de comparação uma vez que os indutores terão a mesma indutância equivalente durante os transientes. Desse modo, segundo

o autor, as funções de transferência⁵ de ambos os conversores serão idênticas, permitindo que o mesmo controlador seja utilizado. Com efeito, os circuitos dos conversores serão idênticos com exceção dos indutores. Já em (LI; SULLIVAN; SCHULTZ, 2002), os autores justificam a relação (2.60) afirmando que a mesma considera que os dois casos terão a mesma energia armazenada. Obtém-se então a seguinte expressão

$$\frac{\Delta I_{Ls(ep)}}{\Delta I_{Ls(nc)}} = \begin{cases} \frac{1 - k \frac{D}{D'}}{1 + k}, & D \leq 0,5 \\ \frac{1 - k \frac{D'}{D}}{1 + k}, & D \geq 0,5 \end{cases} \quad (2.61)$$

a qual define o fator de cancelamento de *ripple* de corrente dos indutores, servindo de indicativo na melhoria que o acoplamento indutivo pode produzir em termos de eficiência. Tal relação pode ser vista na Fig. 25.

Figura 25 – Fator de cancelamento da *ripple* de corrente dos indutores em cada fase.



Fonte: Elaborado pelo autor.

Nota-se que o cancelamento do *ripple* é simétrico em relação a um *duty cycle* de 50%. Além disso, quanto maior o fator de acoplamento, maior o efeito do cancelamento de *ripple*. Tal comportamento leva à conclusão de que um fator de acoplamento alto é sempre benéfico. Entretanto, quando se considera a condição dada pela Eq. (2.60) nota-se que o valor da indutância do par de indutores acoplados é significativamente maior que a indutância do par de indutores

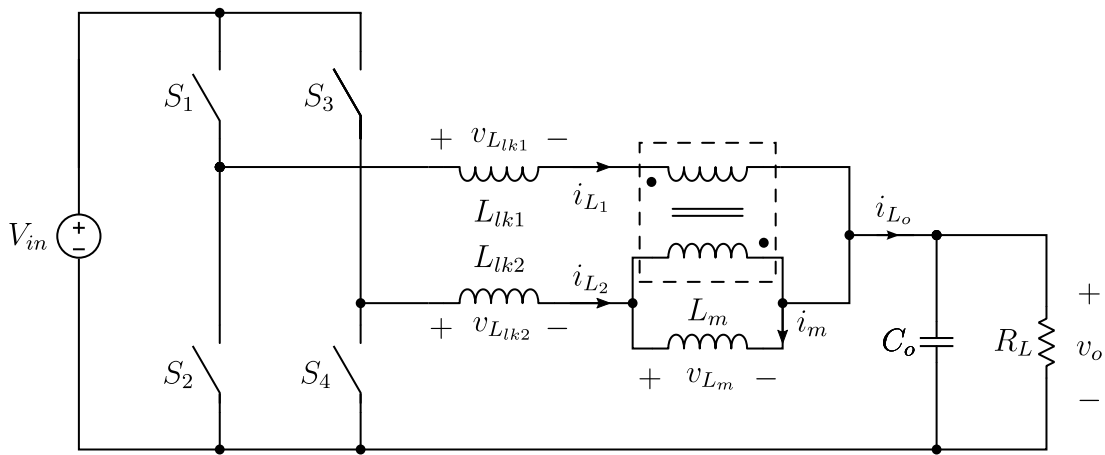
⁵ Vale ressaltar que no trabalho citado, o autor utiliza um controle de frequência fixa em modo tensão (também conhecido como *voltage mode PWM*) o que difere do controle utilizado no presente trabalho.

desacoplados o que pode ser um problema caso não seja possível obter indutores com valores tão grandes.

Em (LEE et al., 2013) o autor utiliza o modelo de transformador proposto em (LI; SULLIVAN; SCHULTZ, 2002) na obtenção de expressões para o *ripple* de corrente de fase e na corrente total de saída. Repetindo-se o passo a passo realizado na seção 2.3.1 o autor obtém as seguintes expressões para o *ripple* de corrente em cada um das fases, considerando $D < 0,5$ e $D > 0,5$.

$$\Delta i_{L_s} = \begin{cases} \frac{V_o}{L_s(1-k)} \left(\frac{1-D-kD}{1+l} \right) T_s \\ \frac{V_o}{L_s(1-k)} \left(\frac{D-k+kD}{1+k} \right) (1-D) T_s \end{cases} \quad (2.62)$$

Figura 26 – Aplicação do modelo de transformador ao conversor *buck* de duas fases com indutores acoplados



Elaborado pelo autor.

Já o *ripple* da corrente total de saída é dado por

$$\Delta i_{L_o} = \begin{cases} \frac{V_o}{L_s(1-k)} (1-2D) T_s \\ \frac{V_o}{L_s(1-k)} \left(\frac{1-D}{D} \right) (2D-1) T_s \end{cases} \quad (2.63)$$

A partir das discussões e deduções realizadas, verifica-se que o uso do acoplamento indutivo em conversores CC-CC multifásicos tem como principal finalidade contornar as limitações abordadas na seção 2.3. No capítulo 4 um roteiro de projeto será abordado considerando a análise realizada.

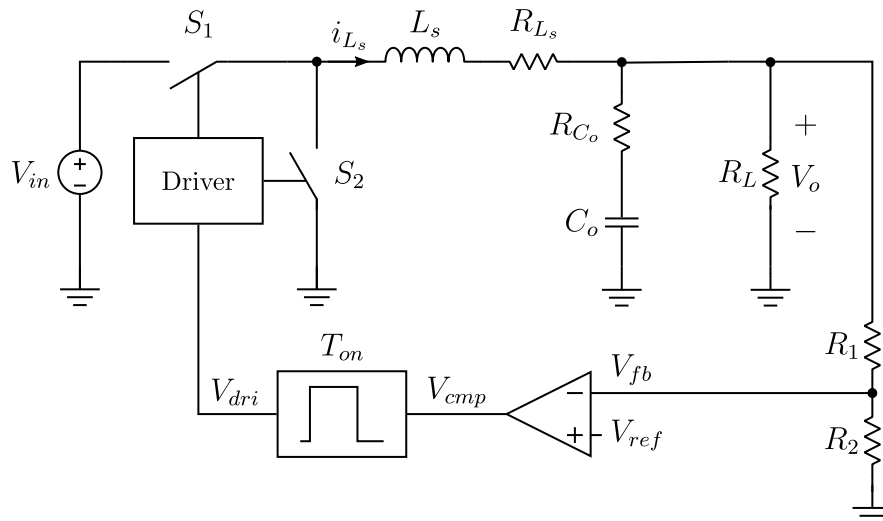
3 ESTUDO DO CONTROLE COM TEMPO DE CONDUÇÃO CONSTANTE (COT)

3.1 Controle com tempo de condução constante (COT) e suas ramificações

3.1.1 Controle com tempo de condução constante baseado em *ripple* (RBCOT)

A Fig. 27 ilustra a estrutura básica do controle com tempo de condução constante (COT) aplicado à um conversor *buck* síncrono. Observa-se que o controle é formado basicamente por duas estruturas: um comparador e um circuito gerador de tempo de condução (*on-time generator*), os quais são responsáveis por determinar os intervalos de condução (*on-time*) e de bloqueio (*off-time*).

Figura 27 – Controle com tempo de condução constante (RBCOT)



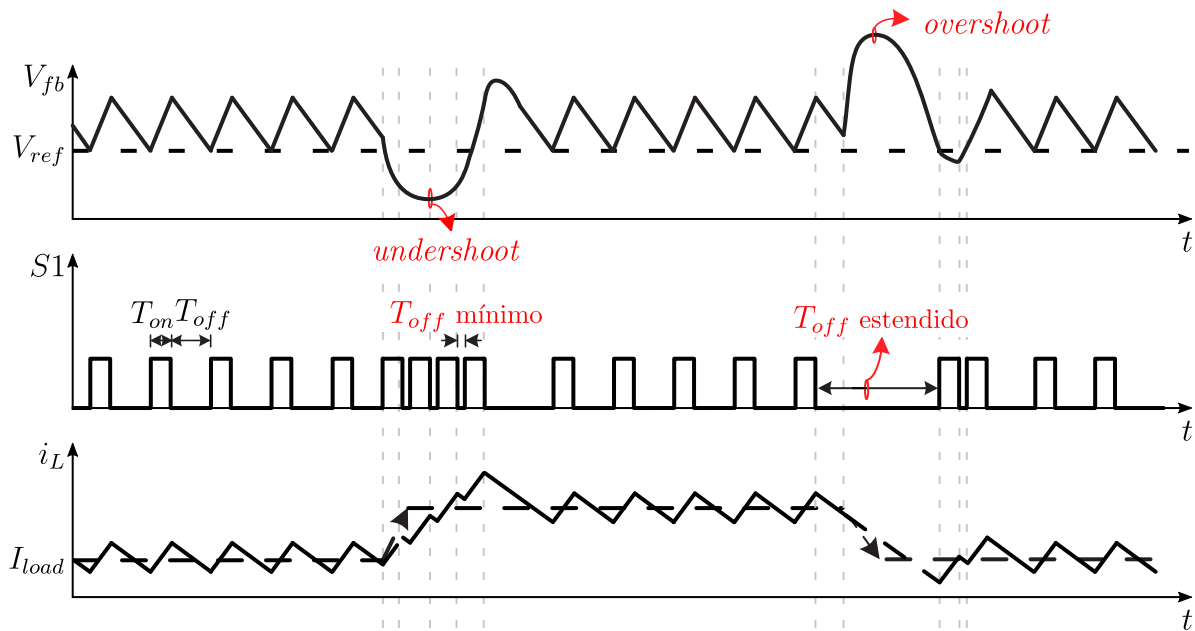
Fonte: Elaborado pelo autor.

O funcionamento do controlador, operando no modo de condução contínua (CCM), é facilmente compreendido através das formas de onda observadas na Fig. 28. Tomando como referência a forma de onda de corrente no indutor, observa-se que, durante o tempo de condução o valor da mesma aumenta, levando à um aumento da tensão de saída e, consequentemente, da tensão no divisor resistivo formado por R_1 e R_2 . A largura do tempo de condução é previamente definida pelo circuito gerador de tempo de condução e, ao final deste período, inicia-se o tempo de bloqueio, no qual a corrente do indutor passa a diminuir, causando uma queda na tensão de saída e na tensão de realimentação. O final do tempo de bloqueio ocorre quando a tensão de realimentação atinge a tensão de referência, fazendo com que o comparador envie um pulso ao circuito gerador de tempo de condução, reiniciando o ciclo.

A Fig. 28 ilustra ainda o comportamento transitório do sistema quando há um degrau de carga. Observa-se que, quando o degrau é positivo, ou seja, quando há um aumento na carga, a tensão de saída (e consequentemente, de realimentação) sofre um *undershoot*, e uma série de

pulsos de condução são gerados. Isso ocorre devido à adição de um circuito gerador de tempo de bloqueio mínimo (*minimum off-time generator*). Sua função é, basicamente, verificar se a tensão de saída ainda se encontra abaixo da tensão de referência ao final do tempo de condução. Se isso for verdade, então, o circuito gera um tempo de bloqueio mínimo e inicia um novo tempo de condução. Caso o degrau de carga seja negativo, ou seja, caso haja uma diminuição na carga, a tensão de saída (e consequentemente a tensão de realimentação) sofrerá um *overshoot* e o circuito irá permanecer em bloqueio durante o período em que a tensão for maior que a tensão de referência. Assim o tempo de bloqueio é estendido quando o circuito passa de uma carga alta para uma carga baixa.

Figura 28 – Formas de onda do conversor *buck* com controle por tempo de condução constante (COT) operando em modo de condução contínua (CCM).



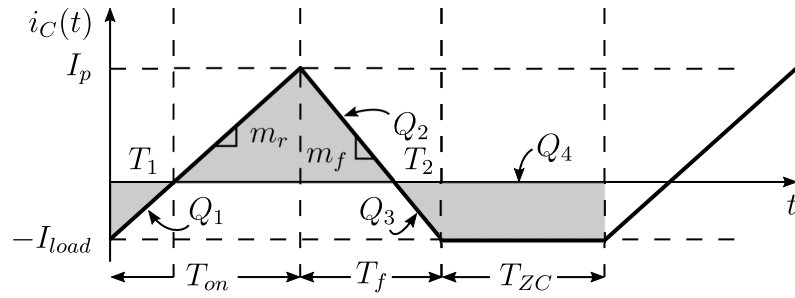
Fonte: Adaptado de (CHEN, 2016).

A frequência de chaveamento no modo de condução contínua é facilmente obtido através da seguinte expressão, apresentada em (CHEN, 2016)

$$f_S = \frac{V_o}{V_{in} T_{on}} \quad (3.1)$$

Já a frequência no modo de condução descontínua (DCM) pode ser obtida a partir da forma de onda de corrente no capacitor, ilustrada na Fig. 29.

Figura 29 – Corrente no capacitor durante modo de condução descontínua (DCM).



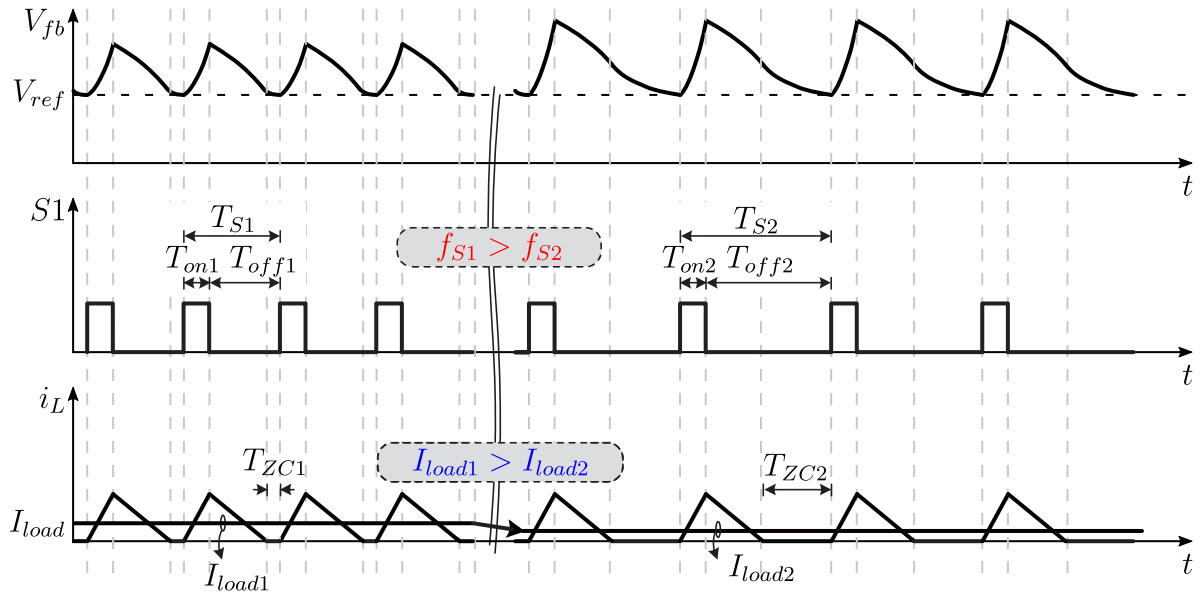
Fonte: Elaborado pelo autor.

Lembrando que a corrente média no capacitor é nula, obtendo as cargas Q_1 , Q_2 , Q_3 e Q_4 , indicadas pelas áreas sombreadas e utilizando o princípio do balanço de carga do capacitor, chega-se a seguinte expressão para a frequência de chaveamento em modo de condução descontínua (DCM), ou seja, quando a corrente do indutor atinge zero.

$$f_s = \frac{2L_s V_o I_{load}}{T_{on}^2 (V_{in} - V_o) V_{in}} \quad (3.2)$$

Conclui-se que, quando operado no modo de condução descontínua, a frequência de chaveamento torna-se proporcional à carga. Este é um resultado importantíssimo pois constitui uma das maiores vantagens do controle com tempo de condução constante quando operado em cargas baixas.

Figura 30 – Formas de onda do conversor *buck* com controle por tempo de condução constante (COT) operando em modo de condução descontínua (DCM).



Fonte: Adaptado de (CHEN, 2016)

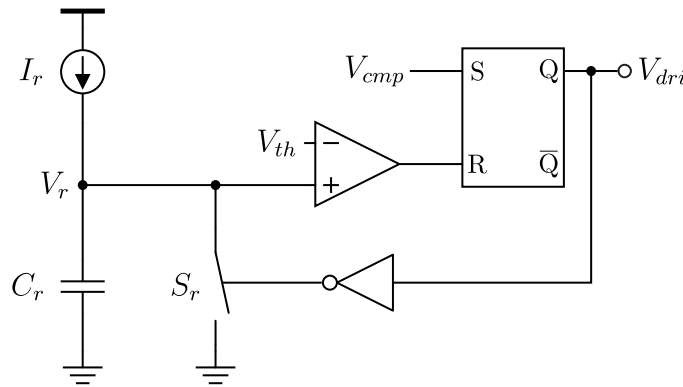
A Fig. 30 ilustra esta característica, na qual se verifica que conforme a carga se torna mais baixa, o tempo de bloqueio aumenta ($T_{off2} > T_{off1}$). Isso ocorre pois a dissipação de energia

torna-se mais lenta ($T_{ZC2} > T_{ZC1}$). Com isso, considerando que o tempo de condução se mantém inalterado ($T_{on1} = T_{on2}$), verifica-se que $T_{s2} > T_{s1}$. Com uma frequência de chaveamento menor, as perdas nas chaves diminuem e, conseqüentemente, obtém-se maior eficiência do conversor em cargas baixas. A transição do modo de condução contínua para o modo de condução descontínua é feito de maneira natural, sem a necessidade de qualquer circuito auxiliar (CHEN, 2016).

3.1.1.1 Circuito gerador de tempo de condução (*On-time generator*)

A Fig. 31 ilustra o circuito básico utilizado para geração do tempo de condução. Neste circuito, a corrente I_r carrega o capacitor C_r aumentando sua tensão V_r de zero à V_{th} (tensão de referência do comparador).

Figura 31 – Gerador de tempo de condução.



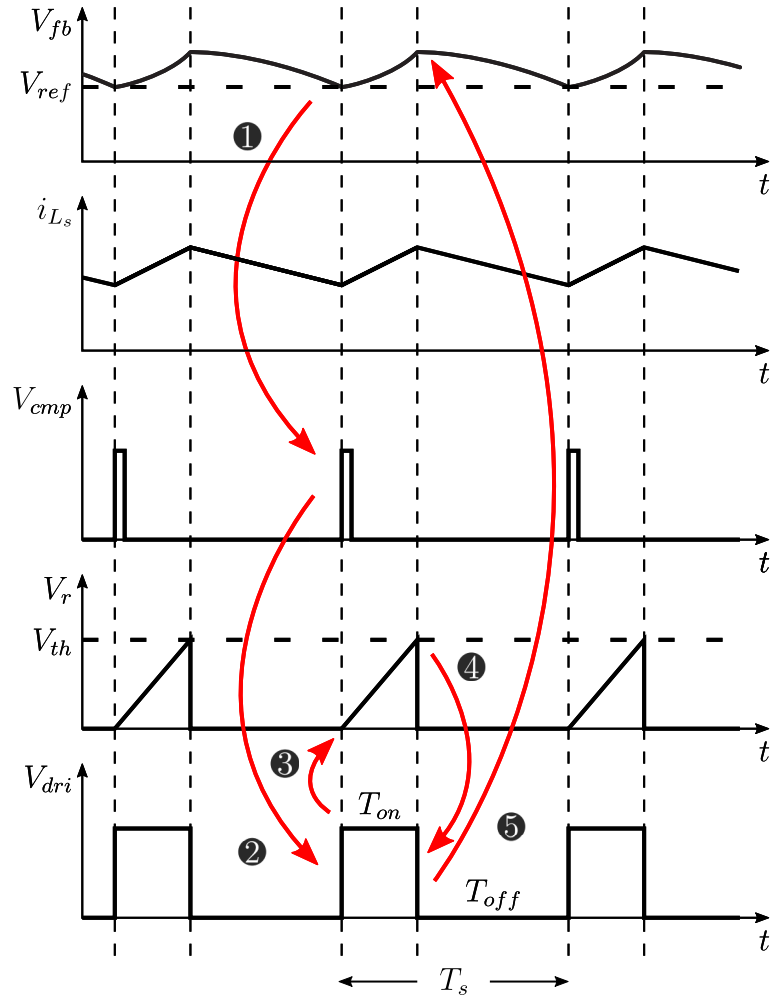
Fonte: Elaborado pelo autor.

As formas de onda da Fig. 32 resumem o funcionamento deste bloco. Considerando inicialmente que o conversor se encontra no período de condução da chave inferior (T_{off}), verifica-se que a tensão de saída está decrescendo. Além disso, a saída do circuito gerador de tempo de condução apresenta nível lógico baixo, de modo que a chave S_r encontra-se fechada e o capacitor C_r descarregado. Quando a tensão de saída atinge a tensão de referência, a saída do comparador V_{cmp} seta o latch RS, de modo que a chave S_r é aberta. Isso é indicado pelos trechos 1 e 2 na Fig. 32. Com isso, o capacitor passa a se carregar e sua tensão V_r sobe até que atinja V_{th} quando então o latch sofre um reset, o que é indicado pelos trechos 3 e 4 respectivamente. O tempo de condução T_{on} é então dado pelo tempo em que o capacitor leva para carregar até V_{th} , ou seja

$$T_{on} = \frac{C_r V_{th}}{I_r} \quad (3.3)$$

e durante este período tanto a corrente quanto a tensão de saída sofrem um aumento, o que é indicado pelo trecho 5 na Fig. 32. Portanto, é possível fixar o tempo de condução pela simples escolha dos valores da capacitância C_r , da tensão de limiar V_{th} ou da corrente I_r .

Figura 32 – Formas de onda do gerador de tempo de condução ilustrando seu funcionamento.



Fonte: Adaptado de (CHEN, 2016).

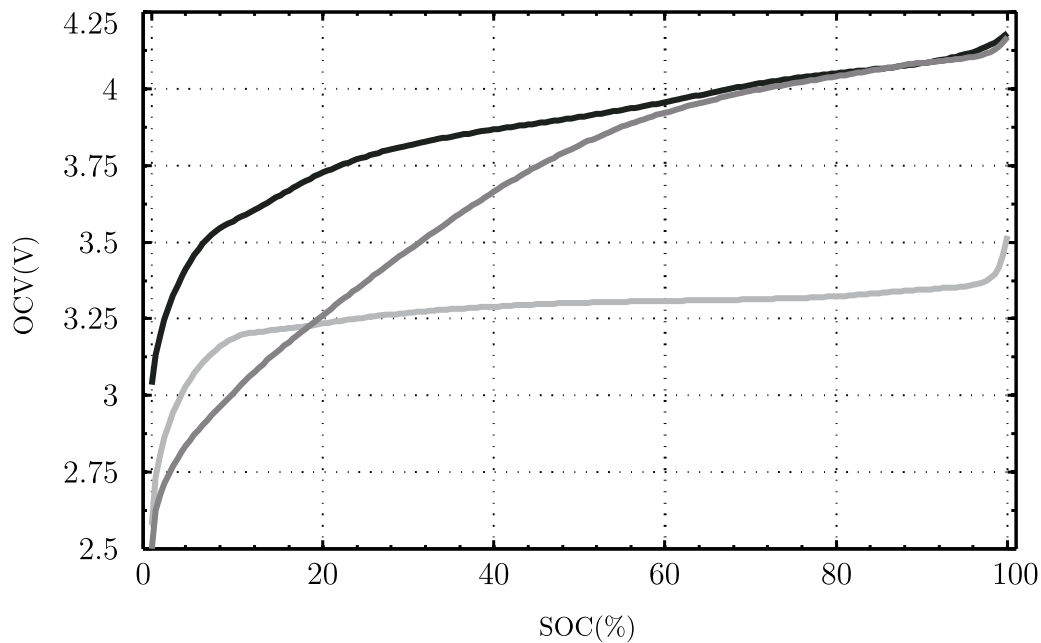
3.1.2 Controle com tempo de condução adaptativo (AOT)

A partir dos resultados obtidos na seção anterior, verifica-se que a frequência de chaveamento do conversor com controle por tempo de condução constante, operando no modo de condução contínua (CCM), é dada por

$$f_s = \frac{V_o}{V_{in} T_{on}} \quad (3.4)$$

Considerando que T_{on} é constante, a frequência de chaveamento pode variar devido à mudanças em V_{in} e V_o . Um exemplo da variação de V_{in} ocorre em aplicações portáteis, onde o conversor é alimentado por uma bateria. A Fig. 33 ilustra o perfil de uma bateria de íons de Lítio (Li-Ion), no qual é possível verificar a variação da tensão nos terminais da mesma em função de seu nível de carga.

Figura 33 – Tensão de circuito aberto (OCV) versus o estado de carga (SOC) de baterias de íons de Lítio (Li-Ion) para diferentes composições químicas (25° C).



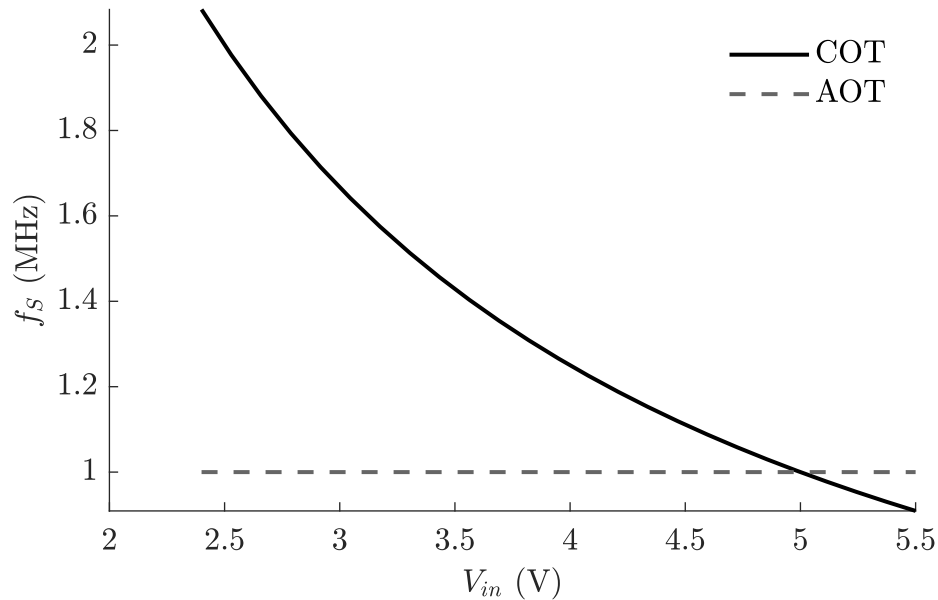
Fonte: Adaptado de (PLETT, 2015).

Como se pode observar, conforme o estado de carga da bateria (SOC¹) diminui, a tensão em seus terminais (OCV²) também sofre diminuição, o que acaba por afetar a frequência de chaveamento, aumentando as perdas e consequentemente a eficiência do conversor. Devido a isso, é interessante a utilização de um controle com tempo de condução adaptativo, o qual permite que o conversor opere com uma frequência constante, mesmo com variações em V_{in} e V_o . A Fig. 34 mostra uma comparação entre o controle COT tradicional e o controle AOT.

¹ do inglês *State of Charge*.

² do inglês *Open Circuit Voltage*.

Figura 34 – Comparação da variação da frequência com a tensão de entrada entre controle COT e AOT.



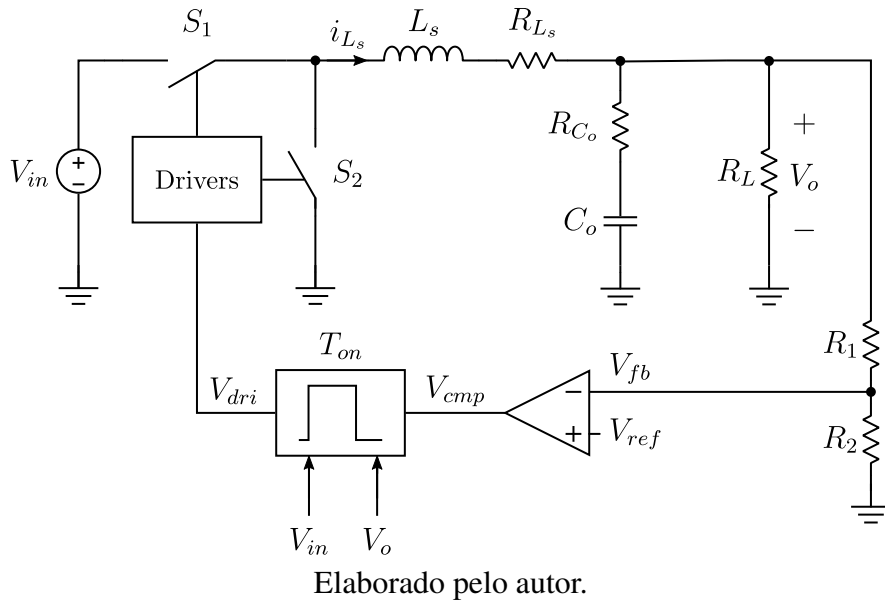
Fonte: Elaborado pelo autor.

Há diversos tipos de implementação para o controle AOT, mas é possível destacar dois deles: o com malha *feedforward* e o com malha de captura de fase (PLL).

3.1.2.1 Implementação do controle com tempo de condução adaptativo com malha *feedforward*

A Fig. 35 ilustra a implementação de um controle com tempo de condução adaptativo (AOT) com malha *feedforward*, onde observa-se que a estrutura é praticamente a mesma que a do controle com tempo de condução constante. A diferença reside no circuito gerador de tempo de condução, o qual depende de dois novos sinais: a tensão de entrada V_{in} e a tensão de saída V_o do conversor.

Figura 35 – Controle com tempo de condução adaptativo com frequência pseudo-constante.



A ideia é fazer com que o tempo de condução seja proporcional à V_o e inversamente proporcional à V_{in} , ou seja,

$$T_{on} \propto \frac{V_o}{V_{in}} \quad (3.5)$$

Desse modo, a frequência de chaveamento é dada por

$$f_s \propto \frac{V_o}{V_i T_{on}} = \text{constante} \quad (3.6)$$

Vale ressaltar que este tipo de controle é também conhecido como controle com frequência pseudo-constante, uma vez que existe variação da mesma durante o transiente, ao contrário dos métodos de controle tradicionais como o modo tensão, os quais possuem um *clock* de referência. A Fig. 36 ilustra o circuito básico gerador de tempo de condução adaptativo. Sua estrutura é semelhante à estrutura vista anteriormente, no caso do controle com tempo de condução constante. A fonte de corrente constante é substituída por uma fonte de corrente controlada pela tensão de entrada V_{in} com uma transcondutância g_{mr} e a tensão de referência V_{th} é substituída pela tensão de saída V_o . Desse modo, o tempo de condução pode ser escrito como

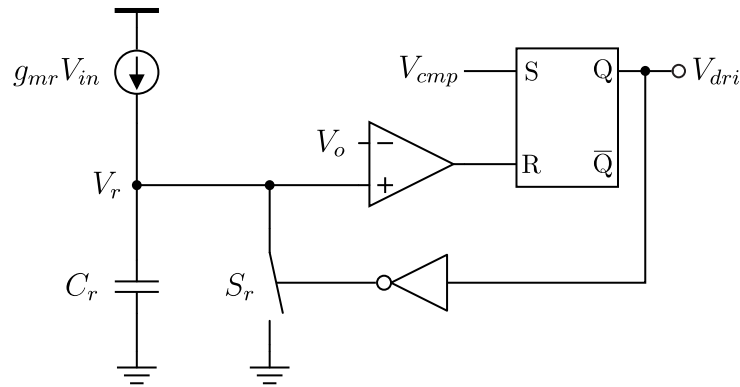
$$T_{on} = \frac{C_r V_o}{g_{mr} V_{in}} = \alpha \frac{V_o}{V_{in}} \quad (3.7)$$

onde

$$\alpha = \frac{C_r}{g_{mr}} \quad (3.8)$$

é a constante de proporcionalidade, escolhida de modo a se obter a frequência desejada.

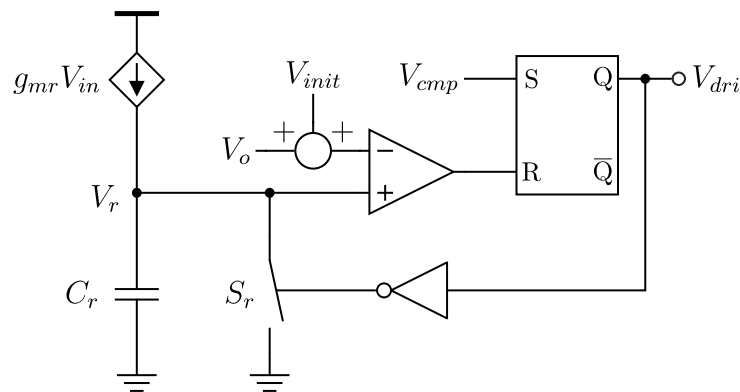
Figura 36 – Circuito Gerador de tempo de condução adaptativo.



Fonte: Elaborado pelo autor.

Embora facilmente implementável, o circuito da Fig. 36 pode se tornar problemático quando considera-se a inicialização do circuito (mais conhecido como *startup*), onde a tensão de saída inicia em um valor nulo. Com isso, pela expressão (3.7) verifica-se que o tempo de condução começara em valores muito pequenos. Para contornar este problema, utiliza-se uma segunda fonte auxiliar, a qual é somada com a tensão de saída, fornecendo assim uma espécie de tensão de referencia inicial. É claro que a adição de uma fonte irá gerar um erro na frequência de chaveamento, porém, geralmente, utiliza-se um valor de tensão inicial muito pequeno, de modo a minimizar o erro. A Fig. 37 ilustra a modificação do circuito da Fig. 36.

Figura 37 – Circuito gerador de tempo de condução adaptativo com grampeador de tensão mínima.

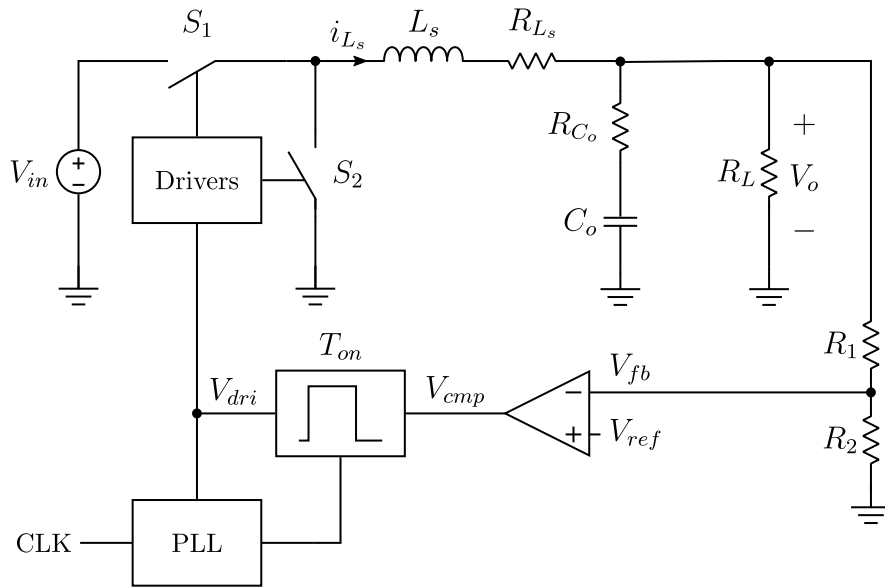


Fonte: Elaborado pelo autor.

3.1.2.2 Implementação com malha de captura de fase (PLL)

Uma segunda forma de se implementar um controle com tempo de condução adaptativo (AOT) é através da implementação de uma malha de captura de fase (PLL), como ilustra a Fig. 38. Nela, verifica-se que o PLL recebe um sinal de um *clock* externo e é ligado ao circuito gerador de tempo de condução.

Figura 38 – Controle com tempo de condução adaptativo (AOT) via malha de captura de fase (PLL).



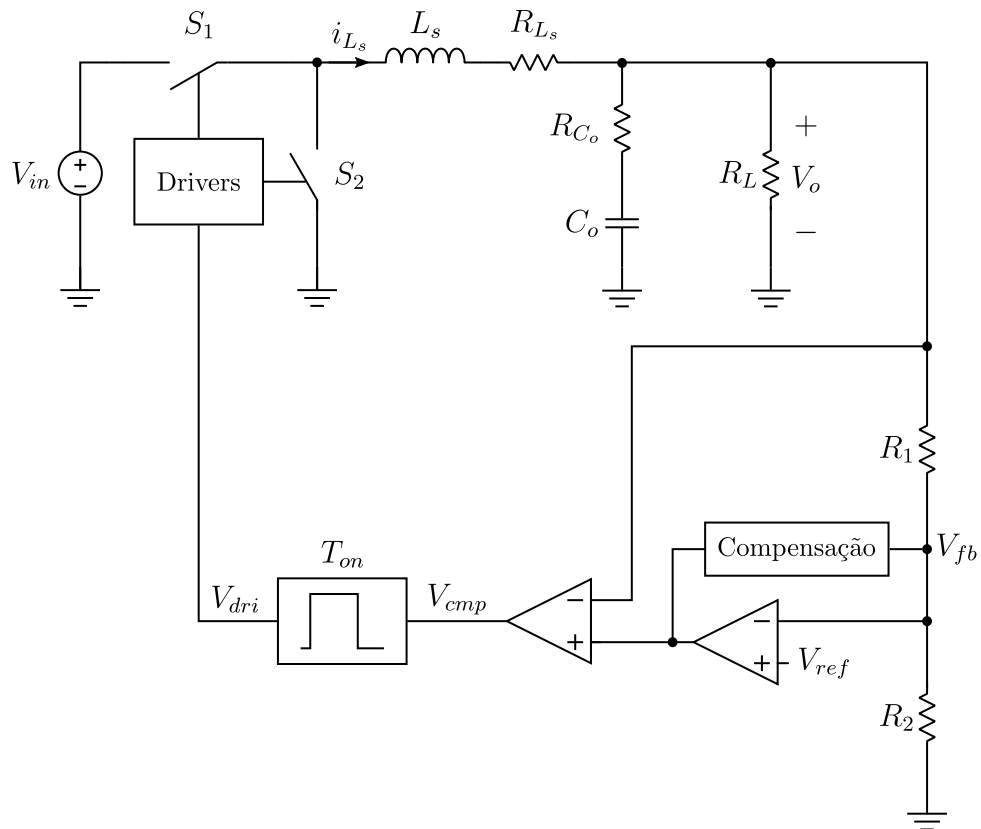
Elaborado pelo autor.

O circuito do PLL amostra a saída do gerador de tempo de condução e compara-o com o sinal de *clock* de referência, gerando assim um sinal de erro o qual após passar pelo filtro de malha irá modular o tempo de condução T_{on} . Desse modo, o circuito gerador de tempo de condução irá funcionar como uma espécie de oscilador controlador por tensão. Após um determinado tempo de estabilização do PLL, a saída do circuito gerador de tempo de condução terá frequência igual a do *clock* de referência. Assim o conversor irá operar em frequência constante. Uma análise detalhada do circuito da malha de captura de fase será vista posteriormente, quando o projeto do controle do conversor de duas fases com indutores acoplados for discutido.

3.1.3 Controle V^2

Como já citado, os métodos de controle baseados em *ripple* possuem uma limitação com relação à regulação da tensão de saída. De modo a contornar esta barreira, em meados da década de 90, surge o controle V^2 , proposto em (GODER; PELLETIER, 1996), no qual se insere um segundo ramo de realimentação de tensão³ em paralelo com o ramo original. Tal estrutura pode ser aplicada a diferentes tipos de controle baseados em *ripple*. A Fig. 39 ilustra um caso de controle V^2 .

³ O nome V^2 refere-se ao fato de que o circuito possui dois ramos de realimentação de tensão, do inglês *voltage*.

Figura 39 – Controle V^2 

Fonte: Elaborado pelo autor.

Pela inspeção da mesma, verifica-se que o ramo adicional consiste em um amplificador de erro com uma rede de compensação. Tal ramo é conhecido como ramo de realimentação lento, uma vez que a largura de banda do mesmo é limitada pela largura de banda do amplificador de erro. Já o ramo original, presente na estrutura básica de um controle com tempo de condução constante (RBCOT) é conhecido como ramo de realimentação rápido pois fornece uma passagem direta da tensão de saída para a entrada do comparador. Desse modo, o controle V^2 mantém a característica de resposta transiente rápida com a adição de uma melhor regulação de tensão de saída (CHEN, 2016).

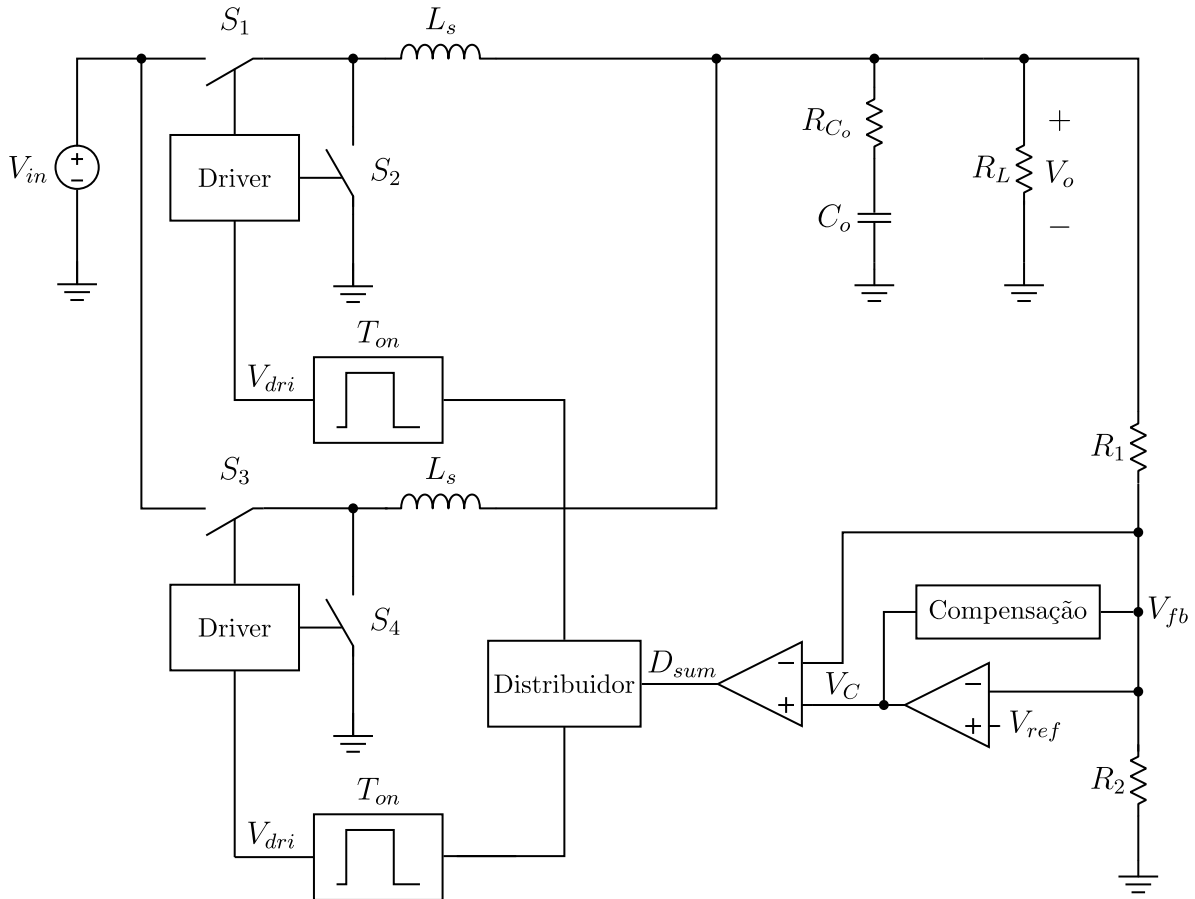
3.1.4 Aplicação em conversores *Buck* de duas fases

O controle com tempo de condução constante (COT) e suas variações, discutidas nas seções acima, podem ser implementadas em conversores multifásicos. Entretanto, o projeto de tais conversores desafia os projetistas, uma vez que eles exigem a utilização de estruturas adicionais, responsáveis por gerar a defasagem necessária (ou entrelaçamento) entre cada uma das fases. De acordo com a literatura disponível, existem basicamente dois métodos de se realizar o entrelaçamento: a utilização de um circuito gerenciador (também conhecido como distribuidor) de fases ou a utilização de malha de captura de fase (PLL) (LI, 2009).

3.1.4.1 Implementação com gerenciador de fases

A Fig. 40 ilustra a implementação do controle V^2 com o circuito gerenciador de fases. Trata-se da topologia mais utilizada para aplicação de controladores derivados do controle por tempo de condução constante em conversores multifásicos.

Figura 40 – Controle V^2 com gerenciador de fases aplicado à conversores de duas fases.



Elaborado pelo autor.

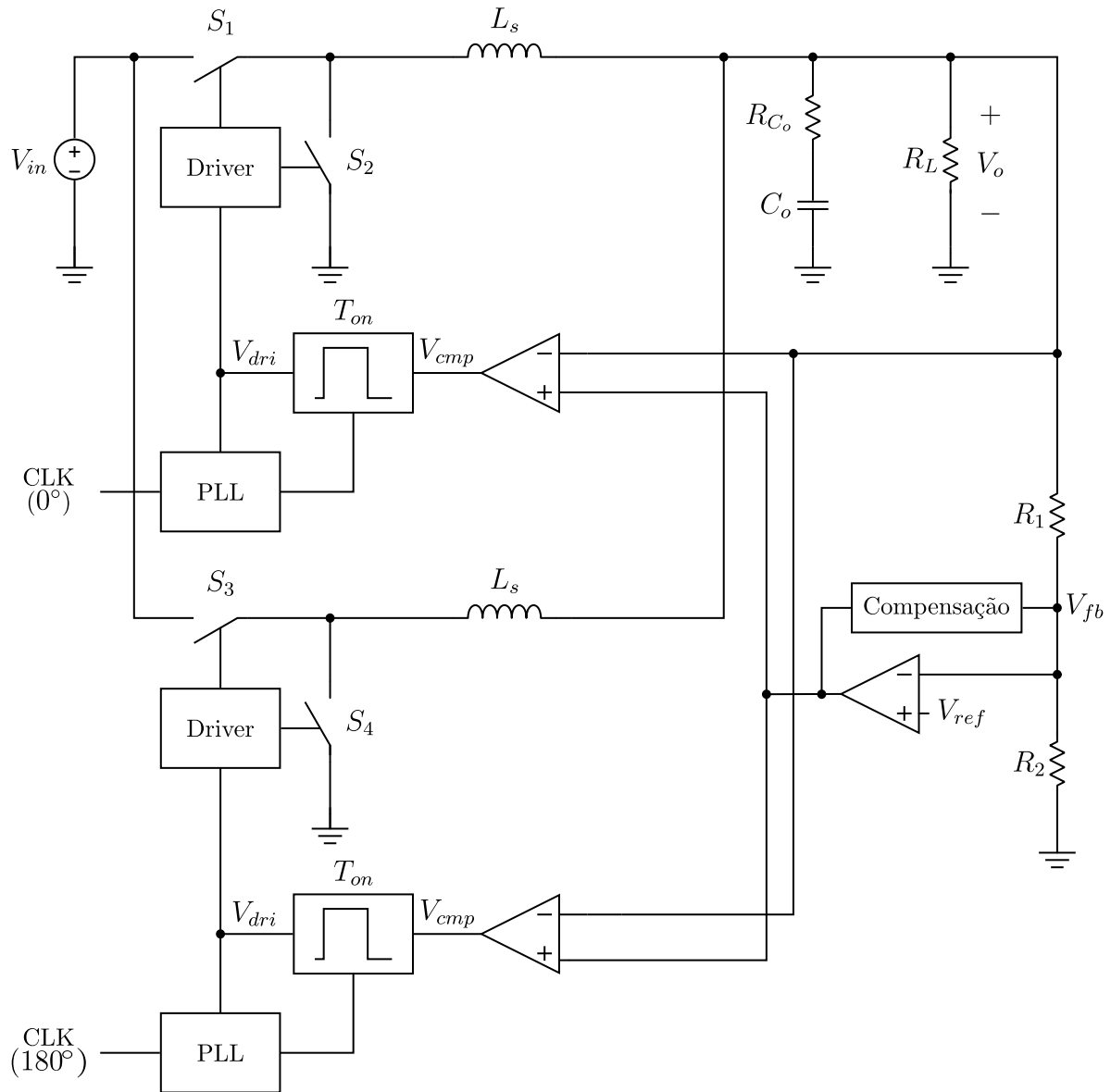
Exemplos de sua utilização podem ser vistos em controladores comerciais como por exemplo nos *chips* TPS53661 e TPS53667, da Texas Instruments (CHENG, 2019), os quais utilizam um controle denominado D+CAPTM, que deriva dos controles COT tradicionais. Tais produtos tem como foco o mercado de microprocessadores, os quais necessitam de *duty cycles* muito baixos. Isso evidencia a principal limitação da estrutura utilizada para a realização do entrelaçamento entre as fases: o limite de operação de 50% de *duty cycle*.

A ideia por trás do método consiste na utilização de um circuito lógico, conhecido como gerenciador de fases, o qual distribui os pulsos de maneira alternada à cada uma das fases de modo que se tenha uma defasagem de 180° entre as mesmas.

3.1.4.2 Implementação com malha de captura de fase (PLL)

O segundo método de implementação do entrelaçamento entre as fases do conversor, utiliza-se da já conhecida malha de captura de fase (PLL), como mostra a Fig. 41, para o caso de um conversor de duas fases.

Figura 41 – Controle V^2 com PLL aplicado à conversor de duas fases.



Fonte: Elaborado pelo autor.

A ideia por trás deste método é sincronizar cada fase com um sinal de *clock* externo, defasados de 180° entre si, criando assim, o defasamento necessário entre as fases. Além disso, como visto anteriormente para o caso do conversor com controle com tempo de condução adaptativo (AOT), a frequência de chaveamento do conversor se mantém fixa, apesar de variações nas tensões de entrada ou saída. Tal método tem a vantagem, com relação ao método visto anteriormente que utiliza o circuito de distribuição de pulsos, de permitir que o conversor opere

com uma *duty cycle* maior que 50%.

3.2 Análise de estabilidade

A estabilidade de um conversor CC-CC é extremamente importante e constitui um dos temas mais desafiadores aos projetistas, uma vez que este é, em essência, um sistema não-linear. Desse modo, ao longo dos anos, engenheiros e pesquisadores desenvolveram diversas ferramentas em vista de aproximar o comportamento de tais conversores e utilizar a teoria de sistemas lineares, tanto em sua análise quanto em sua síntese. Os controles mais tradicionais, como por exemplo o controle em modo tensão ou em modo corrente com frequência constante, também conhecidos como controle por PWM, são exemplos de estruturas que possuem um forte embasamento teórico na teoria de sistemas lineares, através dos modelos médios de pequenos sinais.

O controle por tempo de condução constante, por sua vez, é tradicionalmente analisado no domínio do tempo, como se verifica em (REDL; SUN, 2009). Nos últimos anos, entretanto, buscou-se caracterizar tal tipo de controle no domínio da frequência. Em (LI, 2009), o autor propõe a utilização de uma ferramenta de controle não-linear conhecida como Método da Função Descritiva, que tem como princípio obter o que seria uma função de transferência de um sistema não-linear. Desse modo, o autor obtém a seguinte expressão, válida até $f_s/2$,

$$H(s) = \frac{v_o(s)}{v_c(s)} = \frac{1}{1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2}} \frac{R_{C_o}C_o s + 1}{1 + \frac{s}{Q_2\omega_2} + \frac{s^2}{\omega_2^2}} \quad (3.9)$$

onde

$$\omega_1 = \frac{\pi}{T_{on}}, \quad \omega_2 = \frac{\pi}{T_s}, \quad Q_1 = \frac{2}{\pi} \quad \text{e} \quad Q_2 = \frac{T_s}{\left[R_{C_o}C_o - \frac{T_{on}}{2} \right] \pi} \quad (3.10)$$

e que representa a função de transferência da entrada de controle v_c para a saída v_o ou simplesmente a função de transferência do estágio de potência. Segundo o autor, tal expressão é válida tanto para o controle RBCOT quanto para o controle V^2 , evidenciando que o último é nada mais que uma extensão do primeiro. Isso permite ao projetista uma flexibilidade muito maior durante o projeto pois fornece informações a respeito da estabilidade que podem ser obtidas antes mesmo das simulações. No caso do controle V^2 , a vantagem é ainda maior pois permite que se ajuste o compensador pela resposta em frequência, ou seja, pela verificação da margem de fase da função de transferência de malha aberta

$$L(s) = G(s)H(s) \quad (3.11)$$

onde $G(s)$ é a função de transferência do compensador. O projeto então torna-se semelhante ao tradicional controle em modo tensão.

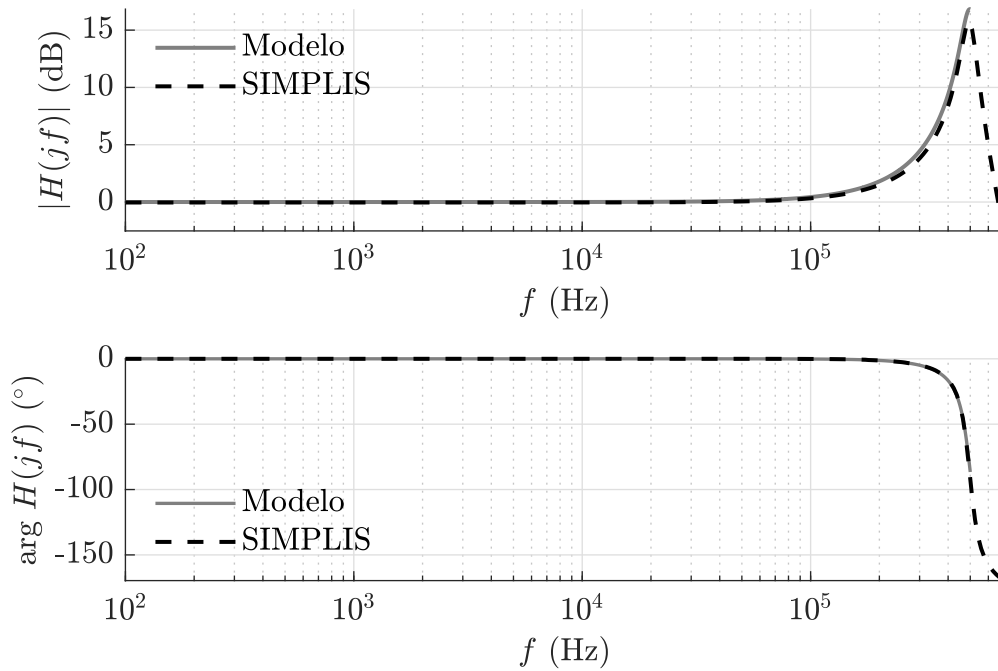
A análise da estabilidade no controle com tempo de condução constante é especialmente interessante uma vez que tal topologia possui um problema conhecido como oscilação sub-harmônica. Analisando a expressão (3.9), verifica-se que a mesma possui um par de polos em

$f_s/2$. Além disso, nota-se que, dependendo dos parâmetros do capacitor, esses polos podem se mover para o semiplano direito causando instabilidade. De acordo com (LI, 2009) a condição crítica é dada por

$$R_{C_o}C_o > \frac{T_{on}}{2} \quad (3.12)$$

A Fig. 42 ilustra o diagrama de Bode da função de transferência do estágio de potência e compara o modelo obtido em (LI, 2009) com os resultados da simulação CA feita no *software* SIMPLIS.

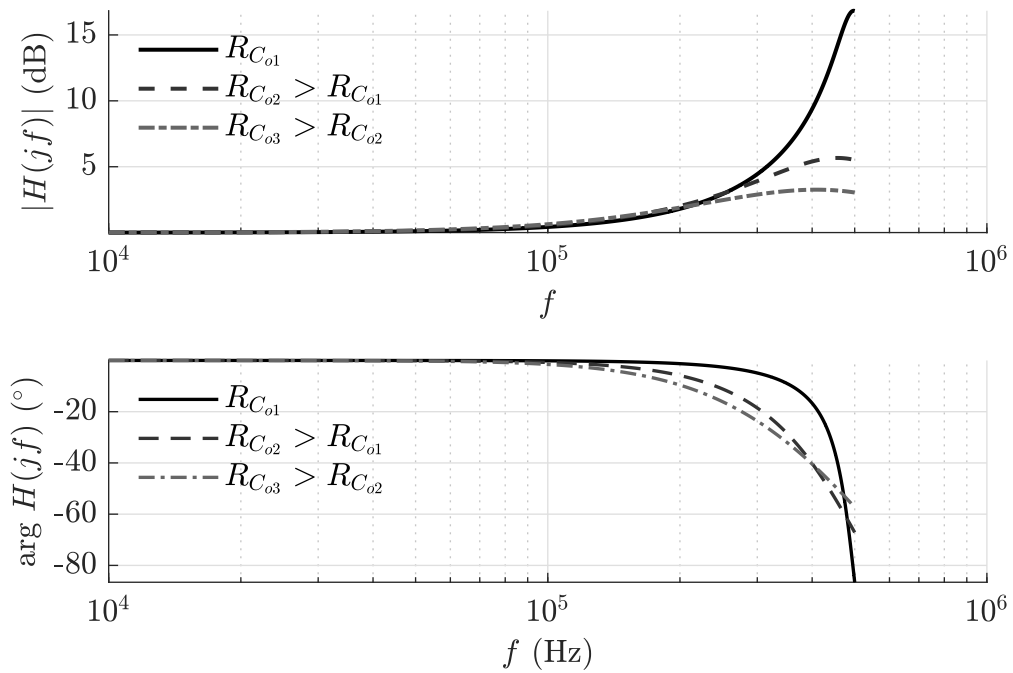
Figura 42 – Diagrama de Bode da função de transferência do estágio de potência.



Fonte: Elaborado pelo autor.

A inspeção do gráfico de magnitude permite observar um pico de ressonância, o qual ocorre exatamente em $f_s/2$. A Fig. 43 ilustra o comportamento do sistema conforme a ESR do capacitor muda.

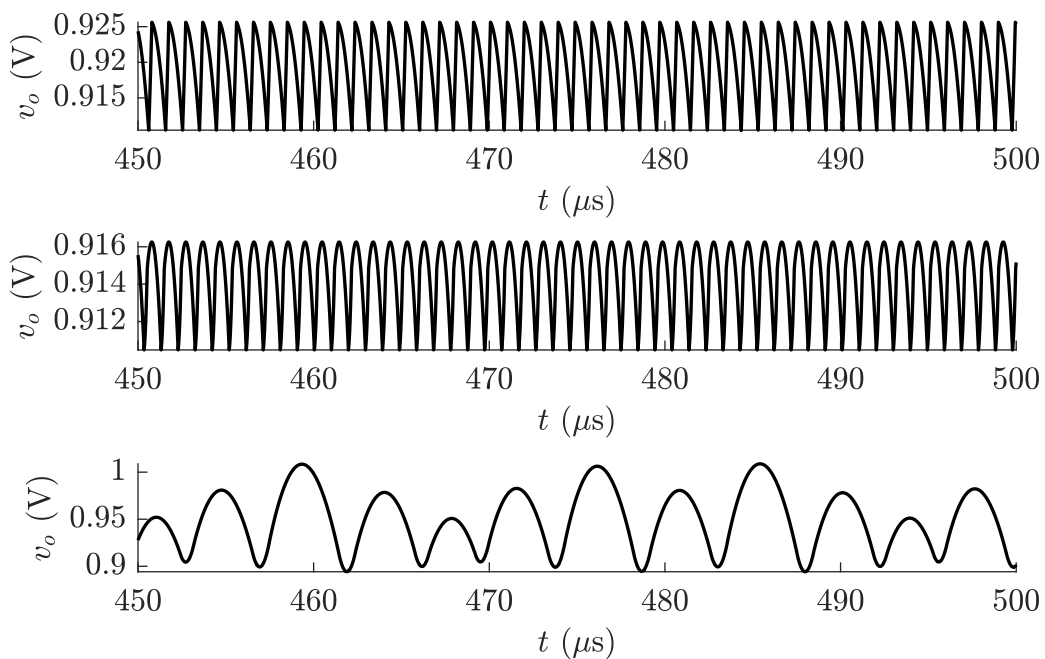
Figura 43 – Diagrama de Bode da função de transferência do estágio de potência considerando diferentes valores de ESR.



Fonte: Elaborado pelo autor.

Observa-se que conforme o valor da ESR diminui, o pico de ressonância torna-se mais acentuado, evidenciando uma diminuição na estabilidade do sistema. A Fig. 44 ilustra o efeito que o valor da ESR no domínio do tempo quando se considera a tensão de saída do conversor.

Figura 44 – Tensão de saída para diferentes valores de ESR do capacitor de saída.



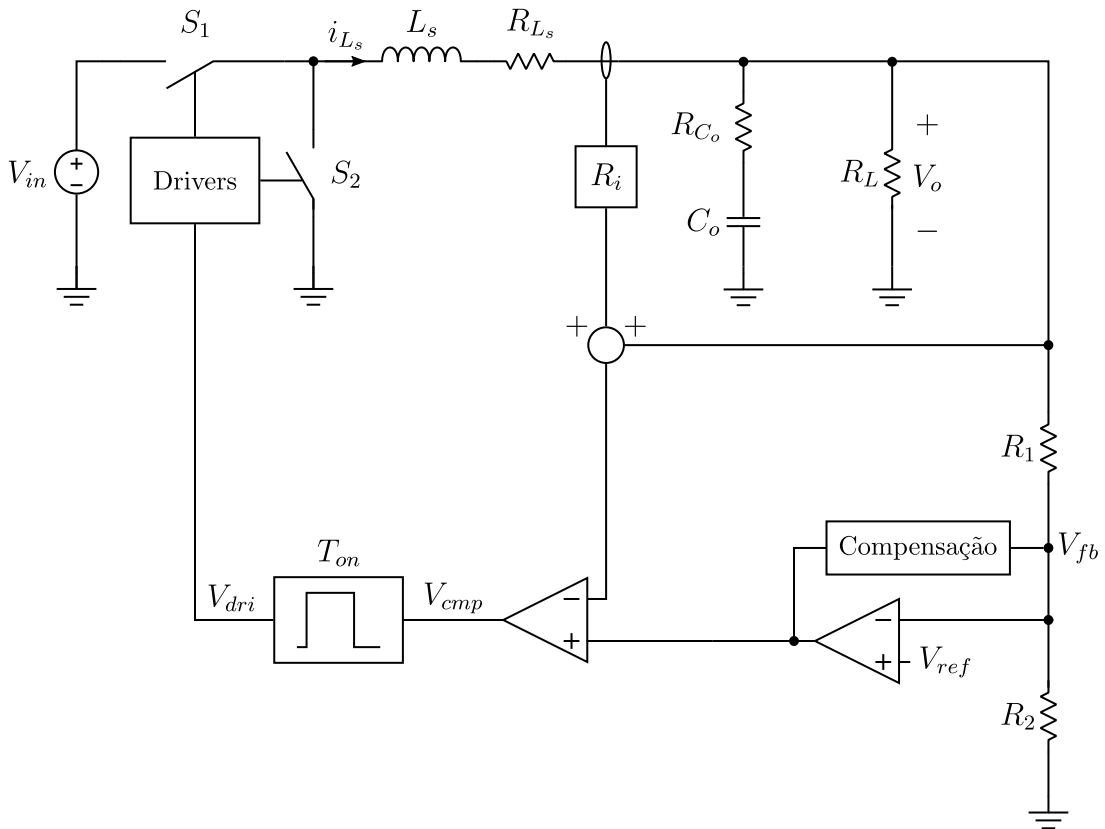
Fonte: Elaborado pelo autor.

O primeiro gráfico ilustra o caso em que o valor da ESR respeita a condição (3.12). Já o terceiro ilustra o caso em que esta condição não é respeitada, o que resulta no fenômeno de oscilações sub-harmônicas. Desse modo, em projetos que se utilizam de capacitores com ESR baixa, como por exemplo capacitores de cerâmica, técnicas de compensação devem ser aplicadas.

3.2.1 Injeção de *ripple* de compensação

Para solucionar o problema das oscilações sub-harmônicas, comum em projetos onde a ESR do capacitor é baixa, adiciona-se uma rampa de compensação ao sinal da tensão de saída de modo a induzir um *ripple*, conforme a Fig. 45 ilustra.

Figura 45 – Controle V^2 com injeção de *ripple* via corrente do indutor.



Elaborado pelo autor.

Em (LI, 2009), o autor obtém a função de transferência quando se considera a injeção de *ripple*. A expressão obtida pelo autor, novamente válida apenas até $f_s/2$, é dada por

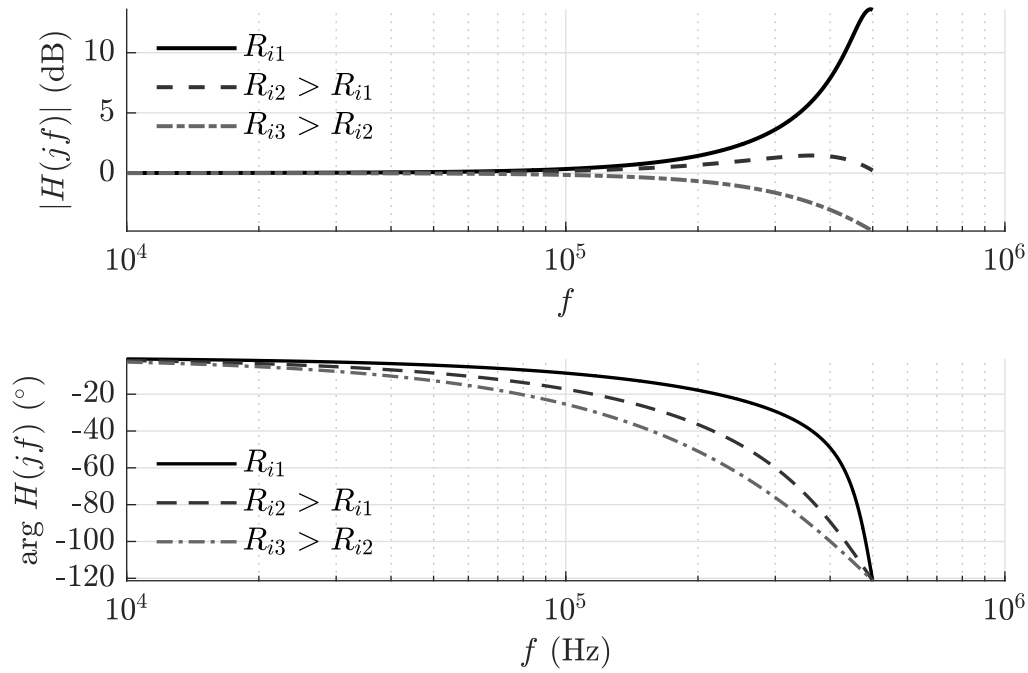
$$H(s) = \frac{v_o(s)}{v_c(s)} = \frac{1}{1 + \frac{s}{Q_1\omega_1} + \frac{s^2}{\omega_1^2}} \frac{R_{Co}C_o s + 1}{1 + \frac{s}{Q_2\omega_2} + \frac{s^2}{\omega_2^2}} \quad (3.13)$$

onde

$$\omega_1 = \frac{\pi}{T_{on}}, \quad \omega_2 = \frac{\pi}{T_s}, \quad Q_1 = \frac{2}{\pi} \quad \text{e} \quad Q_2 = \frac{1}{\left[(R_{Co} + R_i)C_o - \frac{T_{on}}{2} \right] \pi} \quad (3.14)$$

Pela inspeção de (3.13), verifica-se que o ganho de injeção de *ripple* de corrente do indutor atua de modo a aumentar a ESR do capacitor, melhorando a estabilidade do sistema. A Fig. 46 ilustra o efeito do aumento de R_i no diagrama de Bode da função de transferência do estágio de potência.

Figura 46 – Diagrama de Bode da função de transferência do estágio de potência para diferentes valores de R_i .



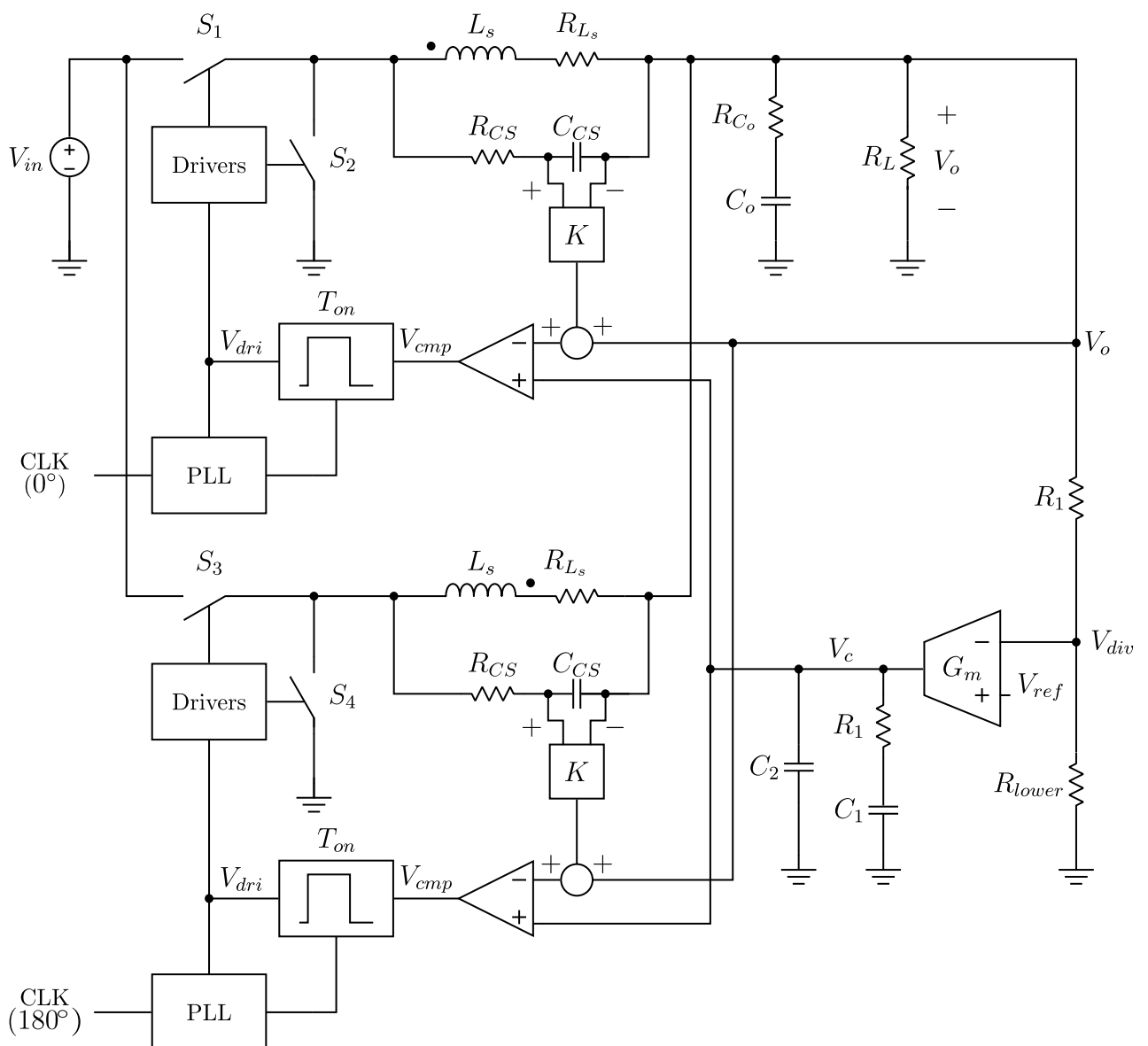
Fonte: Elaborado pelo autor.

Pela inspeção da mesma, nota-se que conforme o valor do ganho do circuito de injeção de *ripple* aumenta, a magnitude de $H(s)$ diminui. Com isso, verifica-se a necessidade de um ganho maior a ser proporcionado pelo compensador de tensão, de modo a atender aos requisitos de largura de banda.

4 PROJETO DO CONVERSOR

A partir do estudo a respeito do efeito do acoplamento indutivo na performance do conversor *buck* de duas fases, bem como do controle V^2 , prossegue-se à definição de uma metodologia para o projeto dos blocos que fazem parte do projeto de controle do conversor. A Fig. 47 ilustra a topologia final ser projetada.

Figura 47 – Topologia de controle de conversor *buck* de duas fases a ser projetada.



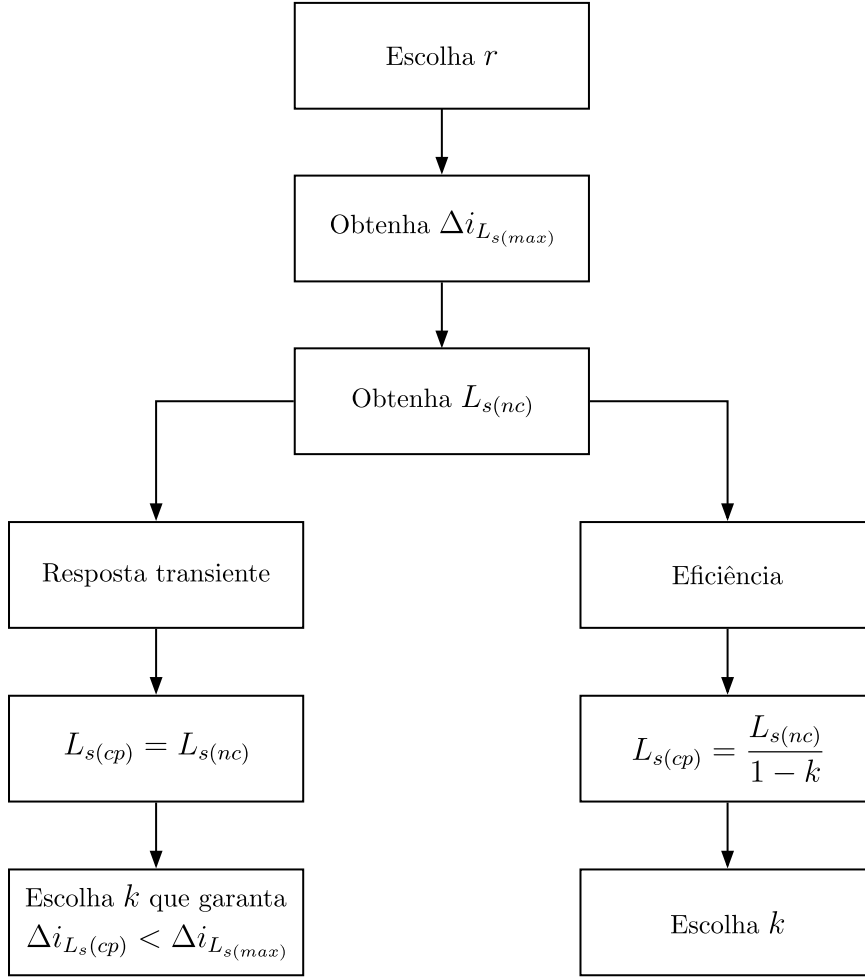
Fonte: Elaborado pelo autor.

4.1 Filtro de saída

4.1.1 Indutores

A Fig. 48 ilustra um fluxograma com as formas de escolha do valor da autoindutância L_s dos indutores acoplados.

Figura 48 – Fluxograma de projeto de indutores acoplados.



Fonte: Elaborado pelo autor.

Inicialmente, considera-se o caso em que não há acoplamento entre os indutores de modo a se obter uma referência. O pior caso de *ripple* de corrente nas fases ocorre quando

$$D = 0,5 \quad (4.1)$$

Usualmente escolhe-se um fator de *ripple* (r) de 30% (DOSTAL, 2023). Com isso,

$$\Delta i_{L_s(nc)} \leq \Delta i_{L_s(max)} \quad (4.2)$$

onde

$$\Delta i_{L_s(max)} = r \times I_{L_s(max)} = r \times \frac{I_{o(max)}}{2} \quad (4.3)$$

A indutância mínima que garante a condição imposta por (4.2) é então obtida a partir da já conhecida expressão

$$L_{s(nc)} = \frac{V_{in} - V_o}{\Delta i_{L_s}} \times DT_s \quad (4.4)$$

A escolha do indutor acoplado $L_{s(cp)}$ se dá basicamente de duas maneiras. Na primeira, opta-se pela melhoria da resposta transiente fazendo-se

$$L_{s(cp)} = L_{s(nc)} \quad (4.5)$$

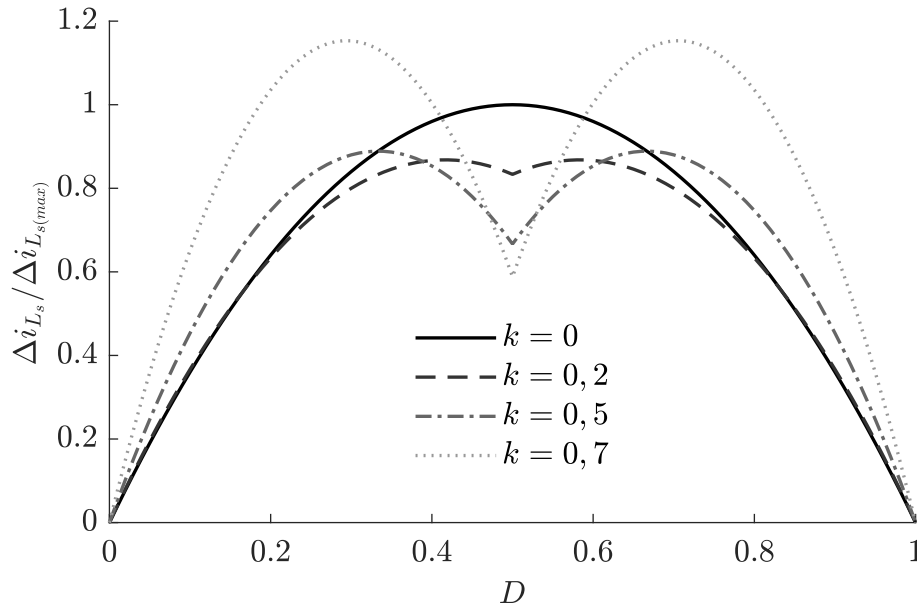
Como visto na seção 2.4, a indutância equivalente transiente L_{tr} é dada por

$$L_{tr} = L_{s(cp)}(1 - k) \quad (4.6)$$

ou seja, tal escolha faz com que a indutância equivalente durante os transientes L_{tr} seja menor e que, conseqüentemente, a resposta transiente seja mais rápida quando comparada ao caso onde não há acoplamento.

O passo seguinte então é definir o fator de acoplamento. Para isso, considera-se a Fig. 49 a qual ilustra uma comparação do *ripple* de corrente nas fases, normalizado pelo *ripple* de corrente máximo, considerando diferentes valores do coeficiente de acoplamento k .

Figura 49 – *Ripple* de corrente nos indutores normalizado para diferentes valores de k .



Fonte: Elaborado pelo autor.

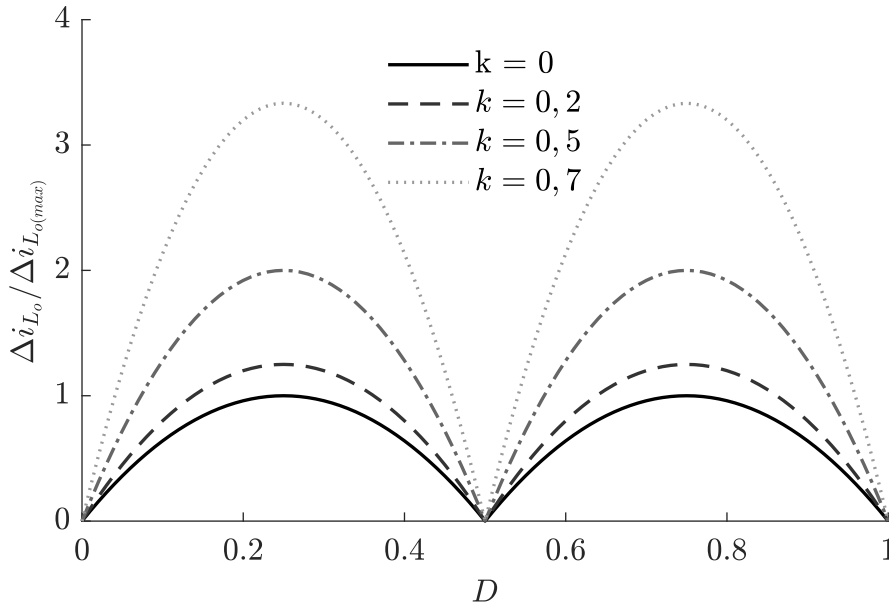
Pela inspeção da mesma, fica claro que se o objetivo do projetista é manter o *ripple* de corrente das fases abaixo do valor estabelecido pela condição dada na Eq. (4.2), o coeficiente de

acoplamento deve ser tal que

$$\Delta i_{L_s(cp)} < \Delta i_{L_s(max)} \quad (4.7)$$

Quando se analisa o comportamento do *ripple* de corrente total de saída, verifica-se que o mesmo irá sofrer um aumento, o qual pode ser significativo, dependendo da escolha do fator de acoplamento, conforme ilustrado na Fig. 50.

Figura 50 – *Ripple* de corrente total de saída normalizado para diferentes valores de k .



Fonte: Elaborado pelo autor.

A segunda maneira de se escolher o indutor acoplado consiste em igualar a indutância equivalente transiente L_{tr} à indutância do caso sem acoplamento $L_{s(nc)}$, ou seja

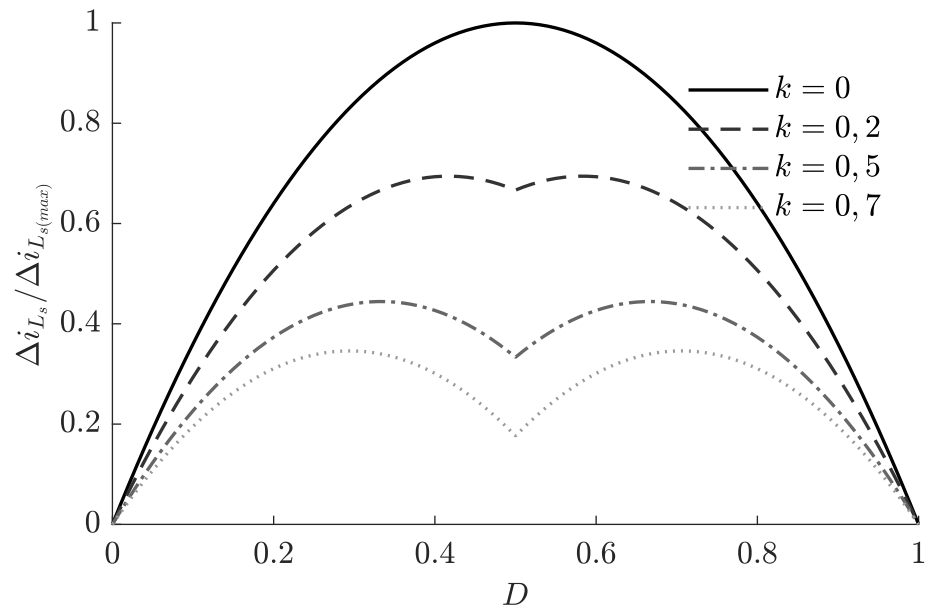
$$L_{tr} = L_{s(nc)} = L_{s(cp)}(1 - k) \quad (4.8)$$

Desse modo, a resposta transiente é a mesma para o caso com e sem acoplamento indutivo e tem-se

$$L_{s(cp)} = \frac{L_{s(nc)}}{1 - k} \quad (4.9)$$

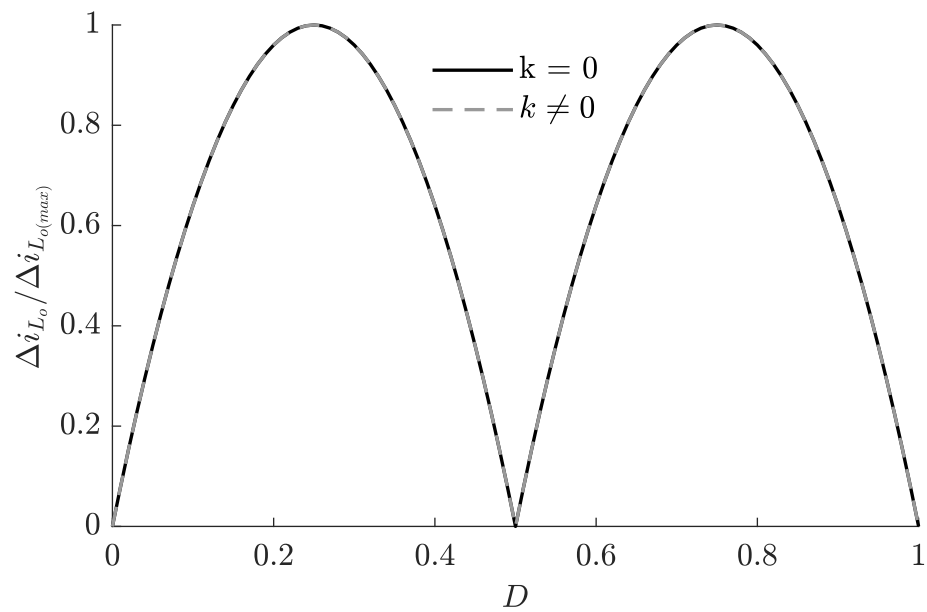
A vantagem, portanto, passa a ser a redução no *ripple* de corrente, como já visto na Fig. 25. Observa-se que o *ripple* será menor para qualquer valor do coeficiente de acoplamento. Além disso, o *ripple* de corrente total de saída não será alterado, como ilustra a Fig. 52.

Figura 51 – *Ripple* de corrente nos indutores normalizado



Fonte: Elaborado pelo autor.

Figura 52 – *Ripple* de corrente total de saída normalizado.



Fonte: Elaborado pelo autor.

4.1.2 Capacitor de saída

4.1.2.1 Projeto a partir de requisitos de *ripple* de tensão

Uma das formas de se obter o valor do capacitor de saída C_o é através dos requisitos de *ripple* de tensão de saída. Em (PARISI, 2022), o autor projeta um conversor multifásico tradicional, ou seja, sem acoplamento entre os indutores e utiliza o *ripple* de corrente das fases no cálculo do valor máximo do *ripple* de tensão de saída. Isso faz sentido em um projeto sem acoplamento indutivo uma vez que o *ripple* de corrente total de saída sempre será menor que o *ripple* de corrente nas fases. Desse modo, utilizar o *ripple* de corrente nas fases como o pior caso garante que os requisitos de *ripple* de tensão de saída serão satisfeitos.

No caso de um projeto onde há acoplamento indutivo, sabe-se que o *ripple* de corrente total de saída pode ser maior que o *ripple* de corrente em cada fase. Desse modo, calcula-se o valor do capacitor considerando o pior caso para o *ripple* de tensão de saída. Para isso, utiliza-se como base a expressão (2.28), vista no capítulo 2. Deve lembrar, entretanto, que a frequência do *ripple* de corrente de saída é o dobro da frequência do *ripple* de corrente nas fases. Desse modo, tem-se

$$\Delta v_o = \frac{\Delta i_{L_o}}{8C_o} \times \frac{T_s}{2} \quad (4.10)$$

e com isso obtém-se o valor do capacitor de saída. Resta verificar se a resistência série R_{C_o} do capacitor irá afetar o *ripple* de tensão. Para isso verifica-se o valor da constante $R_{C_o}C_o$, como explica o autor em (SINGH, 2014), onde o mesmo obtém as expressões para cálculo do *ripple* de tensão de saída quando a resistência série do capacitor é considerada. Adaptando a análise do autor para o caso de um conversor de duas fases com indutores acoplados, verifica-se que, quando

$$R_{C_o}C_o < \frac{T_{on}}{4} \quad (4.11)$$

o *ripple* de tensão é calculado pela seguinte expressão

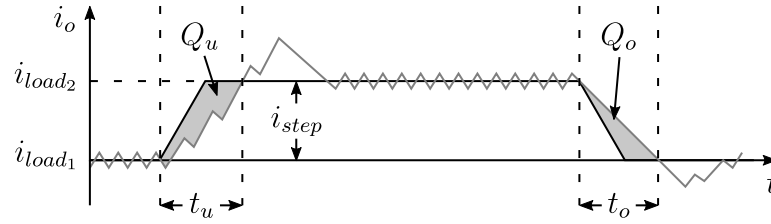
$$\Delta v_o = \frac{\Delta i_{L_o}}{8C_o} \times \frac{T_s}{2} + \frac{\Delta i_{L_o} R_{C_o}^2 C_o}{2} \frac{2}{D(1-D)T_s} \quad (4.12)$$

validando ou não a escolha do capacitor de saída.

4.1.2.2 Projeto a partir de requisitos de resposta transiente

Além dos requisitos de *ripple* de tensão, a resposta transiente também deve ser levada em consideração quando se projeta um capacitor de saída para um conversor CC-CC. A Fig. 53 ilustra as formas de onda de corrente nas fases do conversor quando um degrau de carga é aplicado.

Figura 53 – Forma de onda de corrente de saída durante transitórios de carga.



Fonte: Elaborado pelo autor.

De acordo com (PARISI, 2020) quando o degrau de carga é positivo, ou seja, quando a carga aumenta, o capacitor de saída precisa fornecer uma carga Q_u enquanto a corrente do indutor ainda está subindo. Já no caso de um degrau de carga negativo, o indutor passa a suprir uma carga Q_o ao capacitor. O tempo que a corrente do indutor leva para subir até o valor final de carga é dado por

$$t_u = \frac{L_{eq} I_{step}}{V_{in} - V_o} \quad (4.13)$$

onde L_{eq} é a indutância equivalente transiente do conversor e I_{step} é o valor do degrau de carga aplicado. Com isso, a carga fornecida pelo capacitor é dada por

$$Q_u = \frac{1}{2} t_u I_{step} \quad (4.14)$$

Já o tempo em que a mesma leva para decrescer durante um degrau de carga negativo é dado por

$$t_o = \frac{L_{eq} I_{step}}{V_o} \quad (4.15)$$

e com isso, a carga absorvida pelo capacitor é dada por

$$Q_o = \frac{1}{2} t_o I_{step} \quad (4.16)$$

Com os valores das cargas em mãos, é possível obter a capacitância necessária para que os requisitos de variação de tensão de saída durante os transientes sejam respeitados, ou seja, tem-se

$$C_u = \frac{Q_u}{\Delta V_{out(CA)}} \text{ e } C_o = \frac{Q_o}{\Delta V_{out(CA)}} \quad (4.17)$$

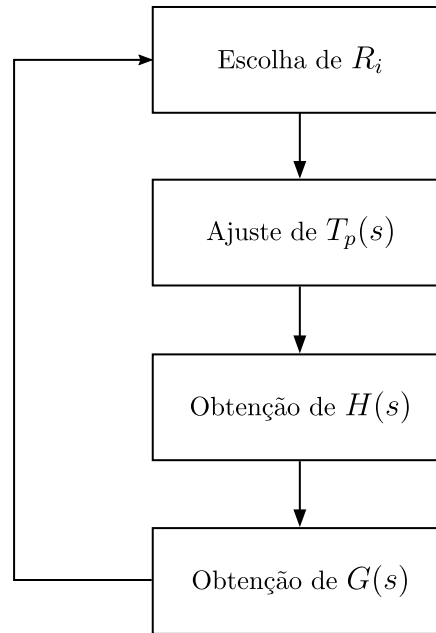
O projetista escolhe então o maior dos valores, o qual geralmente está associado à carga absorvida pelo capacitor, visto que durante um degrau negativo, o conteúdo energético do indutor é maior¹.

4.2 Malha de controle

O projeto da malha de controle pode ser resumido através do fluxograma da Fig. 54.

¹ Recordando a teoria de indutores, sabe-se que a energia é proporcional ao quadrado da corrente. Logo, durante uma diminuição de carga a corrente no indutor é maior o que confere ao mesmo uma energia maior quando comparada a situação em que o degrau é positivo.

Figura 54 – Fluxograma de projeto da malha de controle.



Fonte: Elaborado pelo autor.

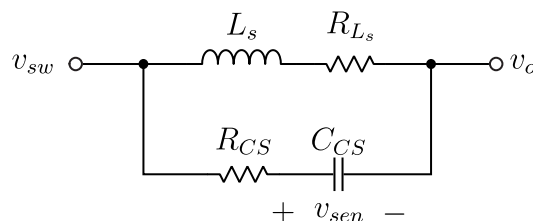
A partir da definição do ganho do sensor de corrente, ajusta-se a malha de captura de fase e em seguida obtém-se a função de transferência da planta. Em seguida, a partir dos requisitos de margem de fase e largura de banda, ajusta-se o compensador de tensão. Nota-se, porém, que o projeto requer um certo número de iterações até que se obtenha um comportamento satisfatório.

4.2.1 Circuito de injeção de *ripple* de corrente

4.2.1.1 Sensor de corrente do indutor

Como visto na seção 3.2, o controle V^2 sofre de oscilações sub-harmônicas e técnicas de adição de rampa de compensação são utilizadas para sanar este problema. Tal rampa pode ser obtida a partir da leitura da corrente ou então através de um circuito gerador de rampa, sendo que neste trabalho, optou-se pela primeira opção, abordada em 3.2.1. Para isso, utilizou-se um circuito sensor corrente do indutor via DCR, formado por uma rede RC em paralelo com cada um dos indutores, como ilustra a Fig. 55.

Figura 55 – Sensor de corrente do indutor via DCR.



Fonte: Elaborado pelo autor.

A ideia do circuito é obter um sinal nos terminais do capacitor que seja proporcional à corrente do indutor. A tensão sobre o capacitor é dada por

$$v_{sen}(s) = \frac{i_L(R_{L_s} + sL_s)}{1 + sR_{CS}C_{CS}} = i_LR_{L_s} \frac{1 + s\frac{L}{R_{L_s}}}{1 + sR_{CS}C_{CS}} \quad (4.18)$$

O termo CC (ou seja, $s = 0$) é dado por

$$V_{sen} = i_LR_{L_s}$$

o que mostra que a resistência série do indutor (DCR) pode ser utilizada como o resistor de leitura de corrente, indicando um circuito sem perdas ao contrário das técnicas de leitura que utilizam um resistor de leitura a parte. Entretanto, o circuito de leitura de corrente do indutor via DCR oferece uma complexidade maior em seu projeto, uma vez que a tensão de leitura $v_{sen}(s)$ é dependente da frequência, como evidenciado pelos termos CA presentes em (4.18). A impedância da rede RC é dada por

$$Z(s) = \frac{v_{sen}(s)}{i_L(s)} = R_{L_s} \frac{1 + s\tau_L}{1 + s\tau_C} \quad (4.19)$$

onde τ_L e τ_C são as constantes de tempo do indutor e da rede RC, respectivamente, dadas por

$$\tau_L = \frac{L}{R_{L_s}} \text{ e } \tau_C = R_{CS}C_{CS} \quad (4.20)$$

Fazendo $\tau_L = \tau_C$, tem-se

$$Z(s) = R_{L_s} \quad (4.21)$$

e com isso

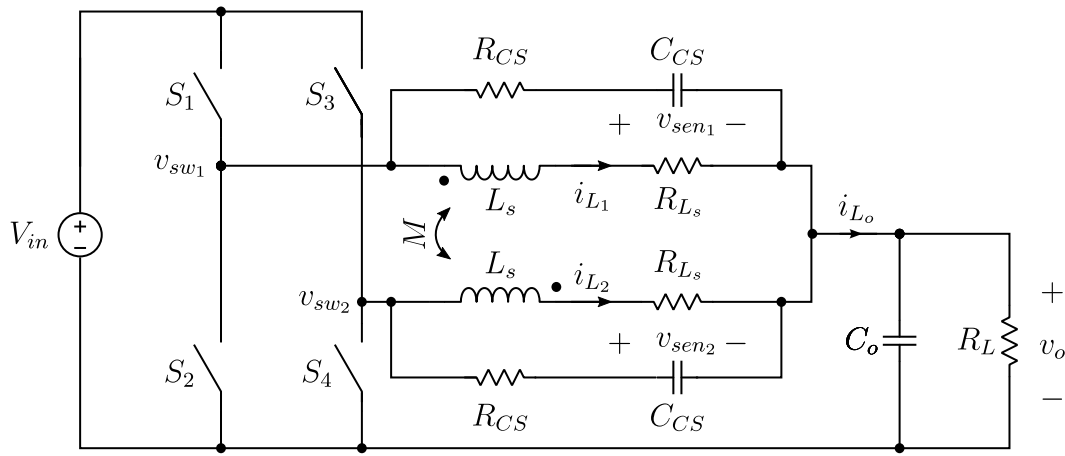
$$v_{sen}(s) = R_{L_s} i_{L_s} \quad (4.22)$$

ou seja, a tensão do capacitor torna-se independente da frequência.

4.2.1.2 Aplicação do sensor de corrente via DCR em indutores acoplados

Em (ZHU; WANG, 2010) os autores propõem a utilização do modelo definido em (ZHU; MCDONALD; WANG, 2009) para o projeto do sensor de corrente dos indutores acoplados em um conversor *buck* de duas fases, conforme a Fig. 56 ilustra.

Figura 56 – Circuito de leitura de corrente dos indutores aplicado em conversor *buck* de duas fases com indutores acoplados.



Fonte: Elaborado pelo autor.

Analisando o circuito, verifica-se que

$$v_{L_1}(s) = sL_{sc}i_{L_1}(s) - kV_{L_2}(s) + R_{L_s}[i_{L_1}(s) + ki_{L_2}(s)] \quad (4.23)$$

e

$$v_{L_2}(s) = -kv_{L_1}(s) + sL_{sc}i_{L_2}(s) + R_{L_s}[ki_{L_1}(s) + i_{L_2}(s)] \quad (4.24)$$

Assim, como visto em

$$v_{sen1}(s) = \frac{v_{L_1}(s)}{1 + R_{CS}C_{CS}} \quad (4.25)$$

e

$$v_{sen2}(s) = \frac{v_{L_2}(s)}{1 + R_{CS}C_{CS}} \quad (4.26)$$

Com isso

$$v_{sen1}(s) + v_{sen2}(s) = R_{L_s} \left[\frac{1}{1 + sR_{CS}C_{CS}} \right] \left[1 + s \frac{L_{sc}}{R_{L_s}(1 + k)} \right] [i_{L_1}(s) + i_{L_2}(s)] \quad (4.27)$$

O autor propõe então que

$$R_{CS}C_{CS} = \frac{L_{sc}}{R_{L_s}(1 + k)} = \frac{L_s(1 - k)}{R_{L_s}} \quad (4.28)$$

de modo que

$$v_{sen1}(s) + v_{sen2}(s) = R_{L_s}[i_{L_1}(s) + i_{L_2}(s)] = R_{L_s}i_{L_o}(s) \quad (4.29)$$

Em (LEE, 2008), o autor propõe a mesma relação estabelecida em (4.28) a partir do modelo proposto por (WONG, 2001). De acordo com o autor, quando tal relação entre as constantes de tempo é utilizada tem-se

$$v_{sen1}(s) = R_{L_s}(1 + k)i_{L_{11}} \quad (4.30)$$

e

$$v_{sen2} = R_{Ls}(1 + k)i_{L22} \quad (4.31)$$

ou seja, as tensões nos capacitores tornam-se proporcionais às correntes próprias i_{L11} e i_{L22} , definidas por (WONG, 2001).

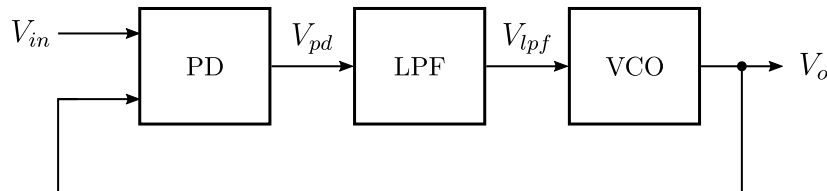
4.2.1.3 Projeto do circuito de injeção de *ripple*

Como se observa na Fig. 47, o circuito de injeção de *ripple* tem ainda um estágio de amplificação. Conforme discutido na seção 3.2.1, o ajuste do parâmetro R_i depende da necessidade de se garantir a estabilidade do conversor nos pontos de operação. Com isso, inicia-se com um valor de R_i e prossegue-se as etapas seguintes de projeto, de acordo com a Fig. 54. Caso a estabilidade do conversor não seja garantida, ajusta-se o parâmetro e repete-se as etapas até que se obtenha um resultado que atenda às especificações.

4.2.2 Malha de captura de fase (PLL)

Uma malha de captura de fase, em sua forma mais básica é composta por um detector de fase (PD²), um filtro de malha (LPF³) e um oscilador controlado por tensão (VCO⁴), como ilustra a Fig. 57. Tal topologia é referida por (RAZAVI, 2017) e (GARDNER, 2005) como PLL do tipo I.

Figura 57 – Estrutura básica de uma malha de captura de fase (PLL).



Fonte: Adaptado de (RAZAVI, 2017).

O detector de fase compara a fase de um sinal de entrada periódico com relação ao sinal de saída do oscilador controlador por tensão. Ou seja, a tensão de saída do detector de fase é, nada mais que uma medida do erro entre as duas entradas. Tal sinal de erro é então aplicado à um filtro de malha, o qual gera em sua saída uma tensão que controla a frequência do sinal do oscilador, de modo a reduzir erro entre as fases dos sinais. Pode-se assim dizer que uma malha de captura de fase consiste em um sistema de controle por realimentação (RAZAVI, 2017). A Fig. 58 ilustra uma segunda topologia, comumente utilizada em projetos de circuitos integrados analógicos, que servirá de base para a estrutura utilizada no presente trabalho. Ela difere da topologia mostrada na Fig. 57 pois substitui o detector de fase por um detector de fase/frequência

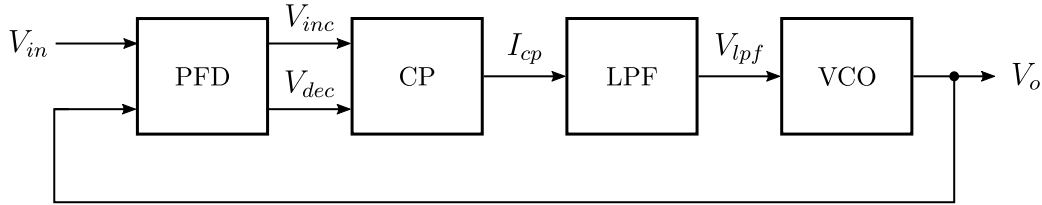
² do inglês, *phase detector*.

³ do inglês, *loop filter*.

⁴ do inglês, *voltage-controlled oscillator*.

(PFD⁵) e uma bomba de carga (CP⁶). Em (RAZAVI, 2017) e (GARDNER, 2005), tal topologia é conhecida como CPPLL⁷ ou PLL tipo II de modo a diferenciá-la da topologia tradicional.

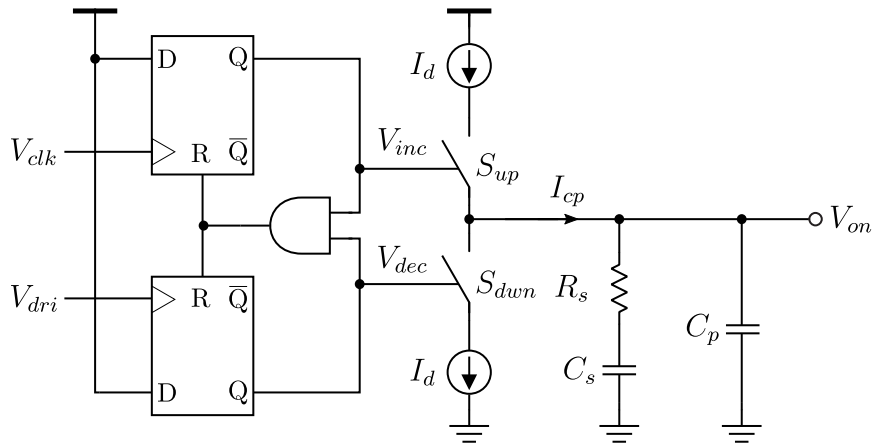
Figura 58 – Estrutura básica da malha de captura de fase do tipo II (CPPLL).



Fonte: Elaborado pelo autor.

No presente trabalho utiliza-se uma estrutura baseada no PLL do tipo II para manter a frequência do sinal de condução fixa. A grande diferença se dá na substituição do oscilador controlador por tensão (VCO) pelo circuito gerador de tempo de condução. Como este é influenciado pela dinâmica de sinais externos, alguns autores presentes, como (LIU, 2015) e (UMMINGER, 2022), optam por tratá-lo separadamente e denominam malha de captura de fase, apenas a estrutura composta pelo detector de fase/frequência, a bomba de carga e o filtro de malha, como visto na seção 3.1.4.2. A Fig. 59 ilustra então o circuito que será denominado malha de captura de fase ao longo das próximas seções.

Figura 59 – Estrutura da malha de captura de fase empregada no projeto do conversor.



Fonte: Elaborado pelo autor.

O sinal de referência V_{clk} proveniente de um oscilador externo será aplicado à entrada de referência do circuito detector de fase/frequência, o qual será comparado com o sinal de saída V_{dri} do circuito gerador de tempo de condução. Um sinal de erro irá acionar a bomba de carga a qual irá injetar ou retirar corrente do filtro de malha, dando origem ao sinal V_{on} . Tal sinal será

⁵ do inglês, *phase/frequency detector*.

⁶ do inglês, *charge pump*.

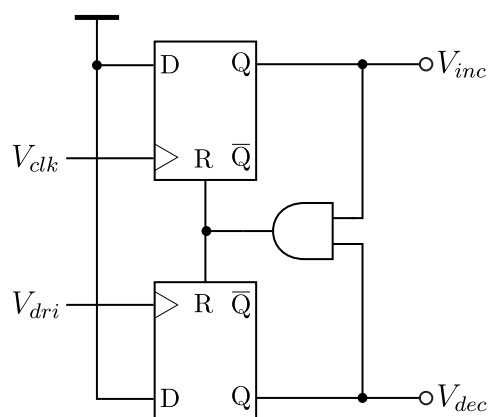
⁷ do inglês, *charge pump PLL*.

então aplicado ao circuito gerador de tempo de condução de modo a controlar a amplitude do tempo de condução T_{on} .

4.2.2.1 Detector de fase/frequência

O detector de fase/frequência é, em sua forma tradicional, composto por dois *flip-flops* do tipo D e uma porta AND, como indicado na Fig. 60. O sinal de *clock* é aplicado à entrada de *clock* do *flip-flop* superior, também conhecida como entrada de referência. Já o sinal proveniente da saída do gerador de tempo de condução é aplicado na entrada de *clock* do *flip-flop* inferior.

Figura 60 – Detector de fase-frequência (PFD).



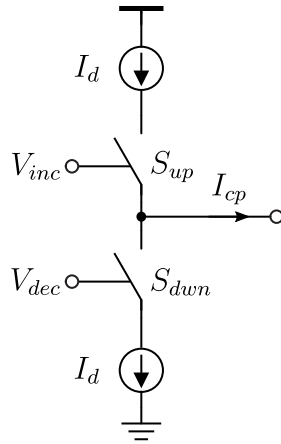
Fonte: Elaborado pelo autor.

Desse modo, o detector de fase/frequência, como o próprio nome implica, irá detectar a diferença entre as fases ($\phi_{clk} - \phi_{dri}$) e as frequências ($f_{clk} - f_{dri}$) dos sinais de referência V_{clk} e realimentado V_{dri} , de modo a gerar um sinal de erro proporcional a este erro.

4.2.2.2 Bomba de carga

A Fig. 61 ilustra a estrutura de uma bomba de carga, presente na malha de captura de fase do tipo II.

Figura 61 – Bomba de carga (CP).



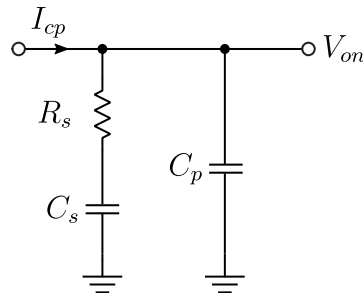
Fonte: Elaborado pelo autor.

Pela inspeção da mesma verifica-se que a bomba de carga é composta por duas chaves, S_{up} e S_{dwn} , controladas pelo detector de fase/frequência. A função deste bloco é transformar a saída pulsante do PFD em um sinal contínuo através da injeção ou absorção de corrente no filtro de malha.

4.2.2.3 Filtro de malha

A Fig. 62 ilustra o filtro de malha empregado na estrutura da malha de captura de fase empregada no presente trabalho. O mesmo consiste em uma rede passiva formada por um resistor R_s e dois capacitores C_s e C_p .

Figura 62 – Filtro de malha.



Fonte: Elaborado pelo autor.

A impedância do filtro de malha é dada por

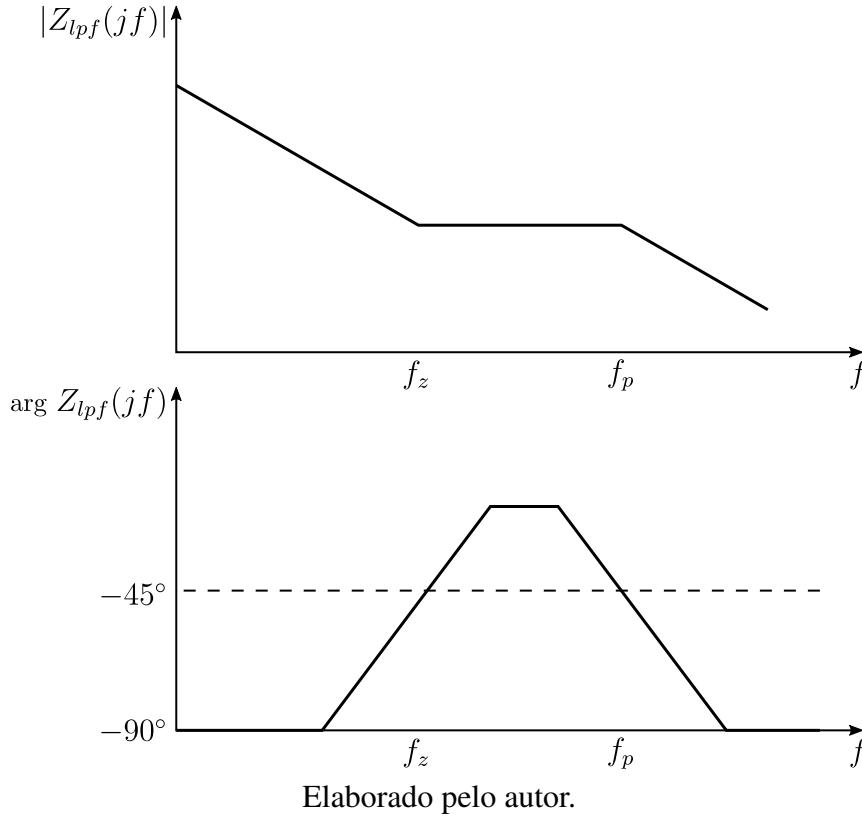
$$Z_{lpf}(s) = \frac{V_{on}(s)}{I_{cp}(s)} = \frac{A}{s} \frac{\left(\frac{s}{\omega_z} + 1\right)}{\left(\frac{s}{\omega_p} + 1\right)} \quad (4.32)$$

onde

$$A = \frac{1}{C_s + C_p}, \quad \omega_z = \frac{1}{R_s C_s}, \quad \text{e} \quad \omega_p = \frac{1}{R_s \frac{C_s C_p}{C_s + C_p}} \quad (4.33)$$

Desse modo, verifica-se que o mesmo possui um polo na origem, um zero (ω_z) e um polo de alta frequência (ω_p). A Fig. 63 ilustra o diagrama de Bode de $Z_{lpf}(jf)$.

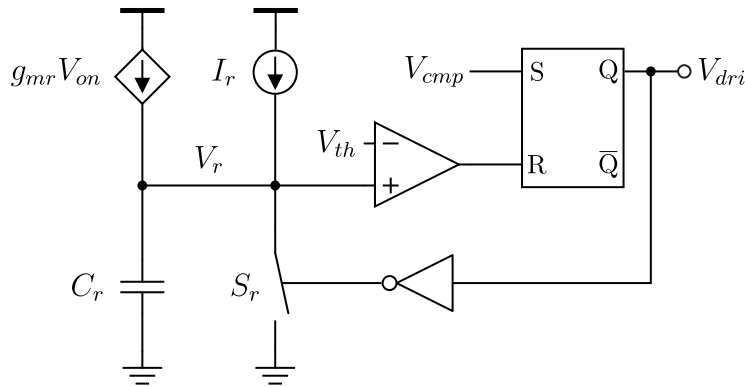
Figura 63 – Diagrama de Bode assintótico da impedância $Z_{lpf}(s)$ do filtro de malha.



4.2.2.4 Gerador de tempo de condução

Em (LIU, 2015), o autor propõe duas formas de implementação do circuito gerador de tempo de condução na malha de captura de fase. A Fig. 64 ilustra uma dessas formas, a qual será utilizada no presente trabalho. Trata-se de um circuito similar ao visto na seção 3.1 com a adição de uma fonte de corrente controlada pela tensão de saída da malha de captura de fase V_{on} . Desse modo, o tempo de condução é modulado até que se obtenha uma sincronização entre o sinal de saída do gerador de tempo de condução e o sinal de *clock*.

Figura 64 – Gerador de tempo de condução.



Fonte: Elaborado pelo autor.

Nesta configuração, o tempo de condução é dado por

$$T_{on} = \frac{C_r V_{th}}{g_{mr} V_{on} + I_r} \quad (4.34)$$

e verifica-se que, conforme a saída da malha de captura de fase varia, o tempo de condução também varia. Observa-se portanto que o circuito gerador de tempo de condução funciona basicamente como um oscilador controlado por tensão.

4.2.2.5 Projeto da malha de captura de fase

O projeto da malha de captura de fase consiste em um dos maiores desafios do projeto do controlador, uma vez que não existe um método bem definido na literatura. Em (LIU, 2015), o autor propõe duas formas de se implementar a malha de captura de fase e utiliza o Método da Função Descritiva para obter uma função de transferência que descreva a dinâmica do bloco. Considerando a implementação mostrada na Fig. 64, na qual a saída da malha de captura de fase modula a corrente da fonte do gerador de tempo de condução, o autor obtém a seguinte expressão

$$T_p(s) \approx \frac{I_{cp} V_{th} C_r g_{mr}}{I_r^2 D T_s} \frac{1}{s} Z_{lpf}(s) \quad (4.35)$$

A função de transferência (4.35) pode ser reescrita da seguinte maneira

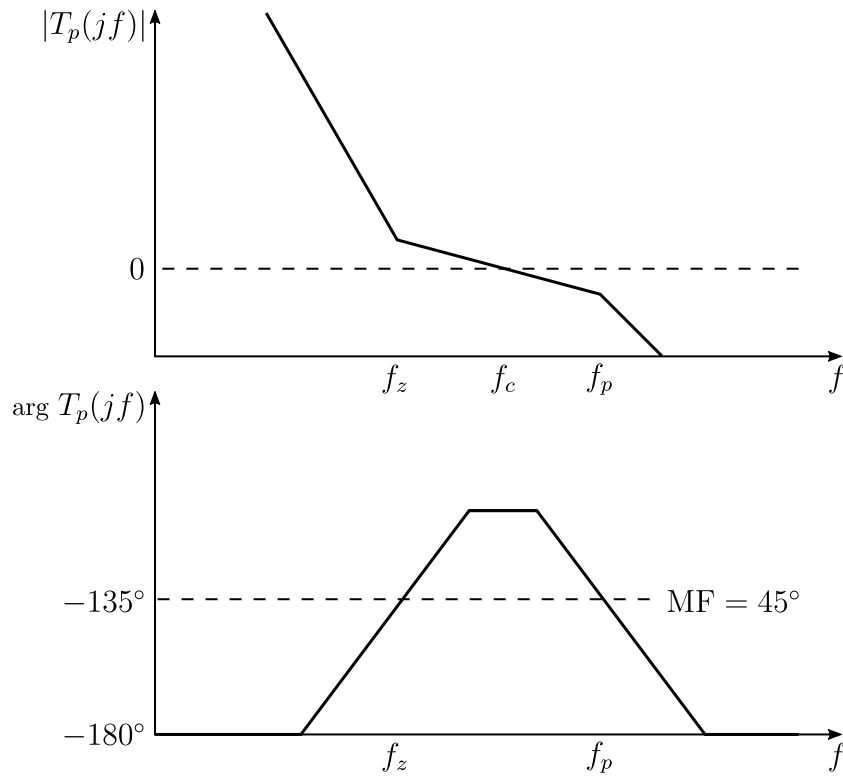
$$T_p(s) = T_0 \frac{1}{s^2} \frac{\left(\frac{s}{\omega_z} + 1 \right)}{\left(\frac{s}{\omega_p} + 1 \right)} \quad (4.36)$$

onde

$$T_0 = \frac{A I_{cp} V_{th} C_r g_{mr}}{I_r^2 D T_s} \quad (4.37)$$

A Fig. 65 ilustra o diagrama de Bode assintótico de $T_p(s)$, no qual observa-se a região onde a margem de fase é igual à 45° .

Figura 65 – Diagrama de Bode função de transferência $T_p(s)$ da malha de captura de fase.



Elaborado pelo autor.

Pela inspeção de (4.35), verifica-se que o projetista possui diversos graus de liberdade durante o projeto da malha de captura de fase. Uma das possíveis formas de se iniciar o projeto deste bloco é pela escolha da posição do zero (f_z) e do polo do filtro de malha (f_p). De acordo com (LIU, 2015), tal escolha deve ser feita levando em consideração a frequência de chaveamento (f_s) e a largura de banda da malha de controle de tensão, a qual ainda será projetada. Isso permite ao leitor verificar que o projeto de um conversor não é linear, ou seja, o projetista precisa de algumas iterações entre os blocos de modo a obter um resultado satisfatório.

A etapa seguinte se dá pelo projeto do gerador de tempo de condução. Inicia-se pela escolha do capacitor C_r , o qual se dá a partir de requisitos de *layout*. Desse modo, opta-se pela escolha de um capacitor que possua uma área factível. A tensão de referência V_{th} por sua vez é escolhida com base nas tensões geradas por circuitos de referência de *bandgap*. O ponto crítico se dá na escolha de g_{mr} e I_r . Para isso, o projetista estabelece os limites da tensão de saída da malha de captura de fase (V_{on}), ou seja,

$$V_{on(min)} \leq V_{on} \leq V_{on(max)} \quad (4.38)$$

Geralmente, tais limites são definidos como os limites de alimentação do circuito, ou seja

$$V_{on(min)} = 0 \text{ V e } V_{on(max)} = V_{in} \quad (4.39)$$

Os valores de g_{mr} e I_r são então definidos com base em $T_{on(min)}$ e $T_{on(max)}$ através do seguinte

sistema de equações

$$\begin{cases} T_{on(max)} &= \frac{C_r V_{th}}{g_{mr} V_{on(min)} + I_r} \\ T_{on(min)} &= \frac{C_r V_{th}}{g_{mr} V_{on(max)} + I_r} \end{cases} \quad (4.40)$$

A Eq. (4.35) permite inferir que, fixados o zero e o polo, é possível ajustar a frequência de cruzamento de ganho através do ajuste de T_0 , ou seja, do ganho CC da malha. Pela Eq. (4.37) verifica-se que o projetista pode então ajustar tanto a corrente da bomba de carga (I_{cp}) quanto o resistor do filtro de malha (R_s), de modo a satisfazer o requisito de que a frequência de cruzamento de ganho esteja na região onde a margem de fase é maior que 45° . Escolhidos então os valores de R_s , prossegue-se ao cálculo dos capacitores do filtro de malha.

$$C_s = \frac{1}{2\pi f_z R_s} \text{ e } C_p = \frac{1}{2\pi(f_p - f_z)R_s} \quad (4.41)$$

e com isso, tem-se o projeto da malha de captura de fase.

4.2.3 Malha do compensador de tensão

O projeto do compensador da malha de tensão se dá a partir da obtenção da função de transferência do estágio de potência. Em seguida, o compensador é ajustado de modo a garantir os requisitos de largura de banda (BW) e margem de fase (PM), os quais se relacionam à resposta transiente e à estabilidade do conversor, respectivamente. Em geral, busca-se uma largura de banda de 10% à 25% da frequência de chaveamento (f_s) e uma margem de fase maior que 60° .

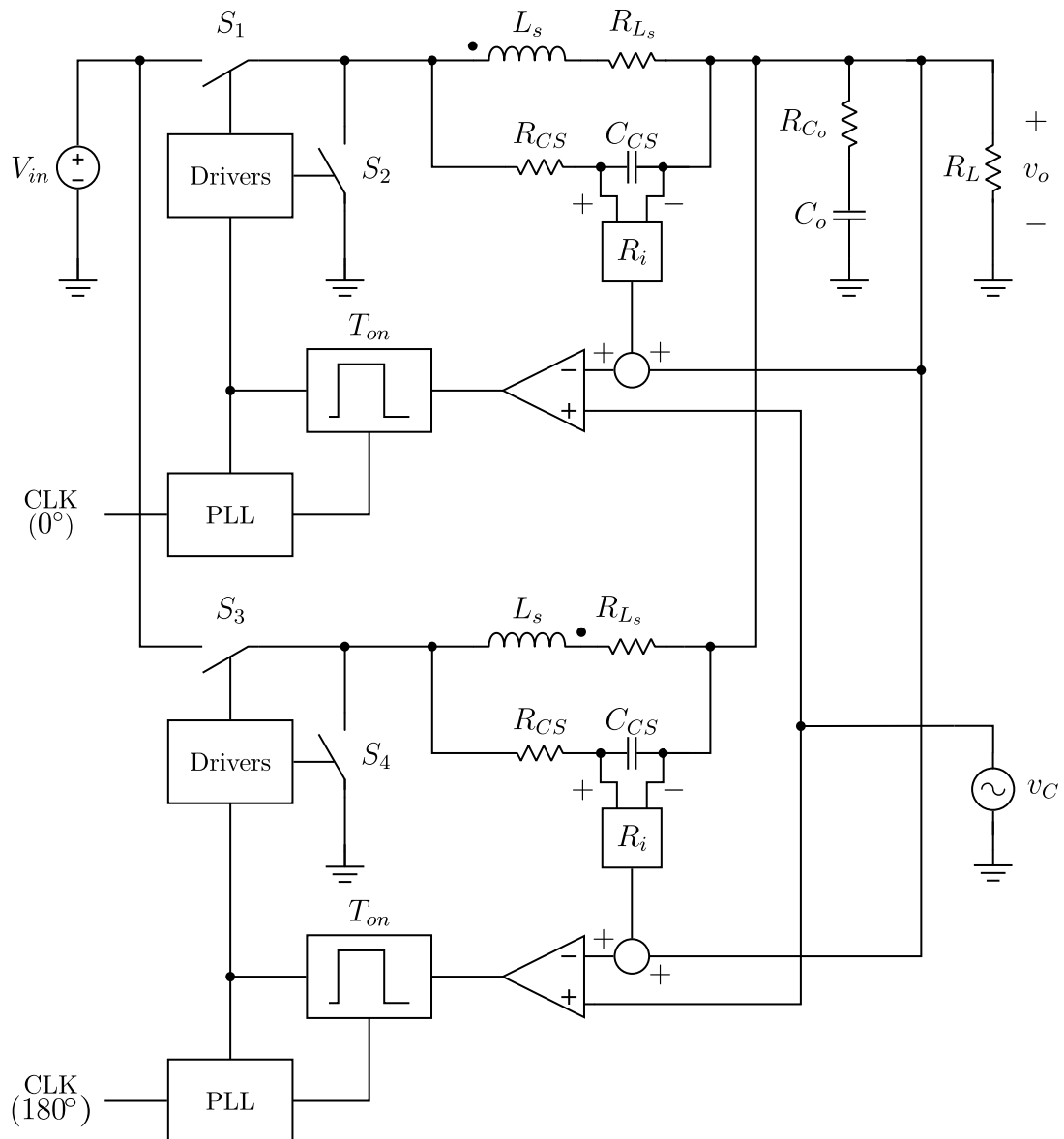
4.2.3.1 Função de transferência do conversor

Uma vez que não há uma expressão analítica para a função de transferência do conversor, a única forma de se obter a resposta em frequência do mesmo é através da simulação. A Fig. 66 ilustra o circuito a ser simulado no *software* SIMPLIS, de modo a obter a resposta em frequência desejada. O conversor é ajustado em um ponto de operação periódico conhecido através de uma tensão V_c e um sinal CA v_c é sobreposto ao mesmo. Pela inspeção da Figura, tem-se que

$$v_C = V_c + v_c$$

onde V_c é o sinal CC responsável por manter o conversor no ponto de operação periódico desejado, enquanto v_c é o sinal CA utilizado para a obtenção da resposta em frequência.

Figura 66 – Circuito para obtenção da função de transferência do conversor.

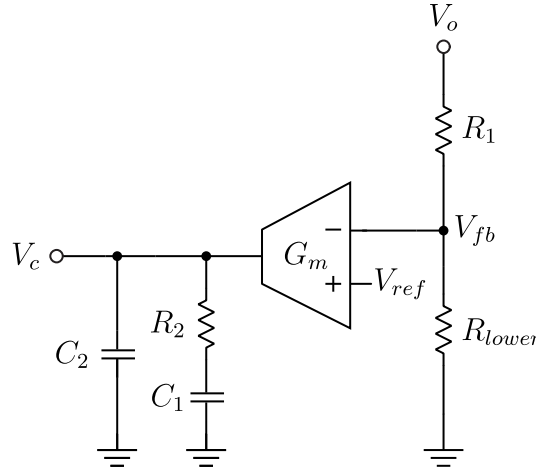


Fonte: Elaborado pelo autor.

4.2.3.2 Compensador do tipo II com amplificador de transcondutância (OTA)

A Fig. 67 o circuito de um compensador de tipo II, implementado com um amplificador de transcondutância. Tal topologia possui um polo na origem, ou seja, uma ação de controle integral, bem como um par polo/zero, o qual pode ser ajustado pelo projetista de modo a se obter a requerida margem de fase e frequência de cruzamento de ganho (ou largura de banda).

Figura 67 – Compensador do tipo II com amplificador de transcondutância (OTA).



Fonte: Elaborado pelo autor.

Em (BASSO, 2012) a função de transferência do compensador é obtida, sendo dada por

$$G_c(s) = \frac{V_c(s)}{V_o(s)} = -G_0 \frac{\left(1 + \frac{\omega_z}{s}\right)}{\left(1 + \frac{s}{\omega_p}\right)} \quad (4.42)$$

onde

$$G_0 = -\frac{R_{lower} G_m}{R_{lower} + R_1} \frac{C_1}{C_1 + C_2}, \quad \omega_z = \frac{1}{R_2 C_1} \quad \text{e} \quad \omega_p = \frac{1}{R_2 \frac{C_1 C_2}{C_1 + C_2}} \quad (4.43)$$

onde G_m é a transcondutância do amplificador (em S). Como é possível observar por (4.42) tal compensador possui um polo na origem, bem como um par polo/zero. Ainda em (BASSO, 2012) deduz-se a fase desta estrutura, dada por

$$\arg G_c(jf) = \pi - \tan^{-1}\left(\frac{f_z}{f}\right) - \tan^{-1}\left(\frac{f}{f_p}\right) \quad (4.44)$$

Sabendo que o ganho de fase de um compensador com um polo na origem pode ser escrito como

$$boost = \arg G_c(jf_c) - \frac{\pi}{2} \quad (4.45)$$

chega-se a expressão abaixo

$$boost = \tan^{-1}\left(\frac{f_c}{f_z}\right) - \tan^{-1}\left(\frac{f_c}{f_p}\right) \quad (4.46)$$

a qual define o ganho de fase do compensador em questão. Tomando a derivada de (4.46) e igualando-a à zero, obtém-se a frequência onde o ganho de fase é máximo, a qual é geralmente definida como a frequência de cruzamento de ganho que se deseja obter para a função de transferência de malha aberta e a qual irá definir a largura de banda do conversor. A partir dos

cálculos, verifica-se que tal frequência se encontra na média geométrica das frequências do polo e do zero do compensador, ou seja,

$$f_c = \sqrt{f_z f_p} \quad (4.47)$$

A partir dos valores de ganho de fase necessários, obtém-se o polo do compensador a partir da seguinte expressão

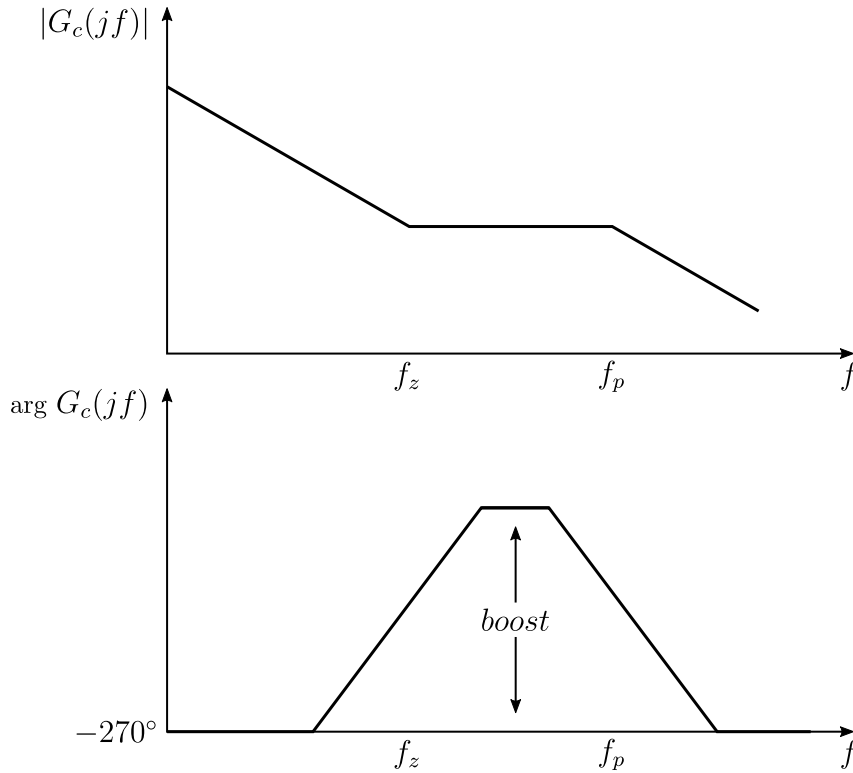
$$f_p = \left[\tan(\text{boost}) + \sqrt{\tan^2(\text{boost}) + 1} \right] f_c \quad (4.48)$$

O zero então é dado pela manipulação de (4.47), ou seja,

$$f_z = \frac{f_c^2}{f_p} \quad (4.49)$$

A Fig. 68 ilustra o diagrama de Bode assintótico da função de transferência do compensador.

Figura 68 – Função de transferência do compensador do tipo II.



Fonte: Elaborado pelo autor.

Como tal topologia possui apenas um par polo/zero, o máximo ganho ou *boost* de fase é de 90° . O projetista deve então analisar a necessidade de ganho de fase imposta pela planta e avaliar se o compensador do tipo II será suficiente para atender aos requisitos de margem de fase.

O projeto do compensador começa pela obtenção do ganho da planta na frequência de cruzamento de ganho requerida, ou seja, $|H(f_c)|$.

$$\text{boost} = \text{PM} - \arg H(jf_c) - 90^\circ \quad (4.50)$$

Tradicionalmente, o compensador do tipo II é implementado utilizando-se um amplificador operacional. Entretanto, o projeto com um amplificador de transcondutância possui algumas vantagens. A principal delas é que o termo G_m aparece nas expressões dos cálculos dos componentes e isso permite ao projetista ajustá-lo de modo a atender seus objetivos. Essa vantagem será evidenciada no capítulo 5 quando o projeto de conversor *buck* de duas fases com indutores acoplados é exemplificado.

5 RESULTADOS

5.1 Especificações do projeto

Após estabelecer uma metodologia de projeto para cada um dos blocos da malha de controle, bem como para o filtro de saída, prossegue-se com o desenvolvimento de um circuito completo. A Tabela 3 mostra algumas especificações importantes, baseadas em um projeto real e escolhidas de modo a ilustrar uma provável situação à ser encontrada por um projetista.

Tabela 3 – Especificações de projeto.

Especificação	Símbolo	Min.	Típ.	Máx.	Unidade
Tensão de Entrada	V_{in}	-	5,0	-	V
Tensão de Saída	V_o	0,6	-	5,0	V
Ripple de tensão de Saída	$\Delta V_{o(CC)}$	-	1	-	%
Overshoot/undershoot	$\Delta V_{o(CA)}$	-	5	-	%
Corrente de saída	I_o	-	-	3	A
Slew rate de corrente	SR_{I_o}	-	2	-	A/ μ s
Frequência de chaveamento	f_s	-	4	-	MHz

Fonte: Elaborado pelo autor.

Pelas especificações de variação de tensão de saída, verifica-se que o conversor deve operar com

$$12\% < D < 100\% \quad (5.1)$$

Entretanto, o que se verifica na prática é que atingir um *duty cycle* unitário constitui-se de uma tarefa virtualmente impossível, uma vez que os diferentes blocos do sistema de controle possuem atrasos intrínsecos que acabam por limitar a operação do conversor. Desse modo, o projeto será realizado considerando um *duty cycle* máximo

$$D_{max} \approx 98\% \quad (5.2)$$

Ressalta-se ainda que o projeto contempla apenas a operação no modo de condução contínua (CCM). Isso porque no modo de condução descontínua (DCM), costuma-se operar o conversor apenas com uma única fase, de modo que a frequência de chaveamento diminua de acordo com a carga, melhorando a eficiência, como abordado na seção 27.

5.2 Projeto do conversor

As seções subsequentes descrevem o projeto de cada bloco do conversor de duas fases entrelaçado com indutores acoplados utilizando o controle V^2 com circuito de injeção de *ripple*. Cada um dos blocos foi projetado com base no que foi discutido no capítulo 4.

5.2.1 Filtro de saída

5.2.1.1 Indutores

No presente trabalho, opta-se por melhorar a resposta transiente do circuito, como abordado na seção 4.1.1. Considerando o fator de *ripple* de 30%, obtém-se, a partir da equação 4.4

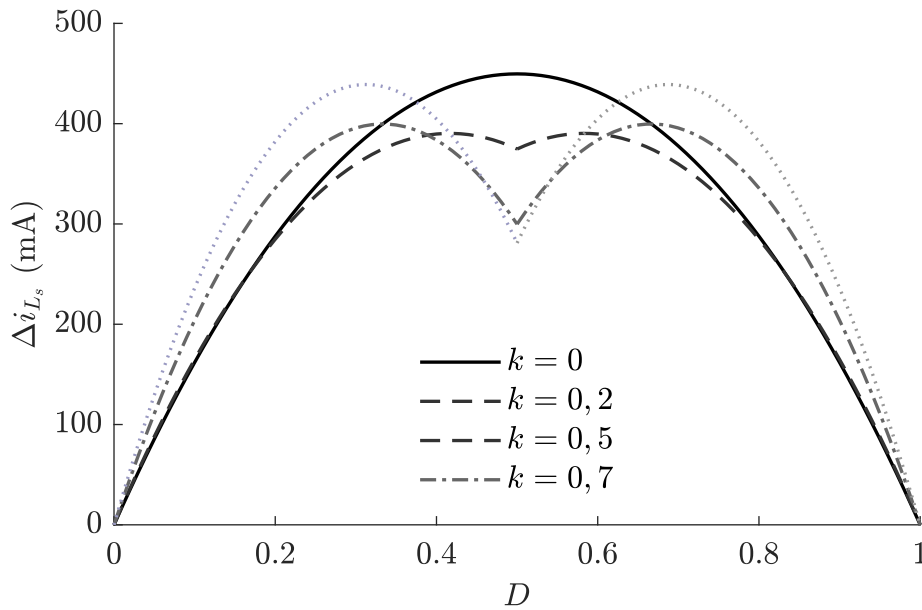
$$L_{s(nc)} \approx 700 \text{ nH} \quad (5.3)$$

Opta-se então pela escolha arbitrária de

$$L_s = 750 \text{ nH} \quad (5.4)$$

e a partir da Fig. 69 faz-se a escolha do coeficiente de acoplamento.

Figura 69 – Comparação do *ripple* de corrente nos indutores para diferentes valores de k considerando $L_s = 750 \text{ nH}$.



Fonte: Elaborado pelo autor.

Novamente, opta-se pela utilização de

$$k = 0,5 \quad (5.5)$$

e observa-se que o pior caso de *ripple* nos indutores ocorre em

$$D = 0,3333 \text{ e } D = 0,6666 \quad (5.6)$$

com

$$\Delta i_{L_s} \approx 370 \text{ mA} \quad (5.7)$$

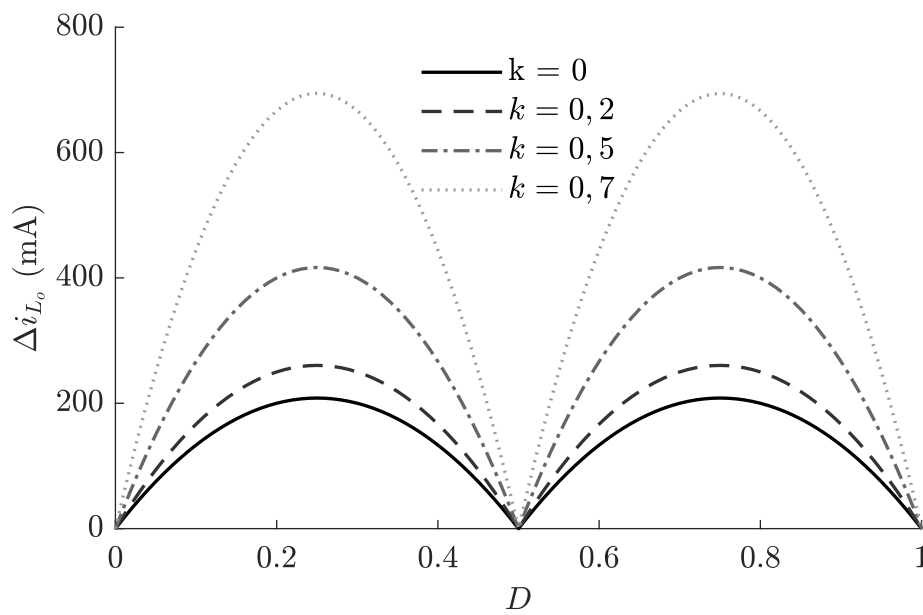
Já o pior caso de *ripple* de corrente total de saída ocorre em

$$D = 0,25 \text{ e } D = 0,75$$

com

$$\Delta i_{L_o} \approx 415 \text{ mA} \quad (5.8)$$

Figura 70 – *Ripple* de corrente total de saída considerando $L_s = 750 \text{ nH}$.



Fonte: Elaborado pelo autor.

5.2.1.2 Capacitor de saída

No presente trabalho, optou-se por um valor de acoplamento, o qual, de acordo com a Fig. 70 irá gerar um *ripple* de corrente total de saída maior que o *ripple* de corrente das fases, para determinados valores de *duty cycle*. De acordo com a Tabela 3, verifica-se que

$$\frac{\Delta v_o}{V_o} \leq 0,01 \quad (5.9)$$

Sabendo então que

$$\Delta v_o = \frac{\Delta i_{L_o}}{8C_o} \times \frac{T_s}{2} \quad (5.10)$$

chega-se a seguinte relação

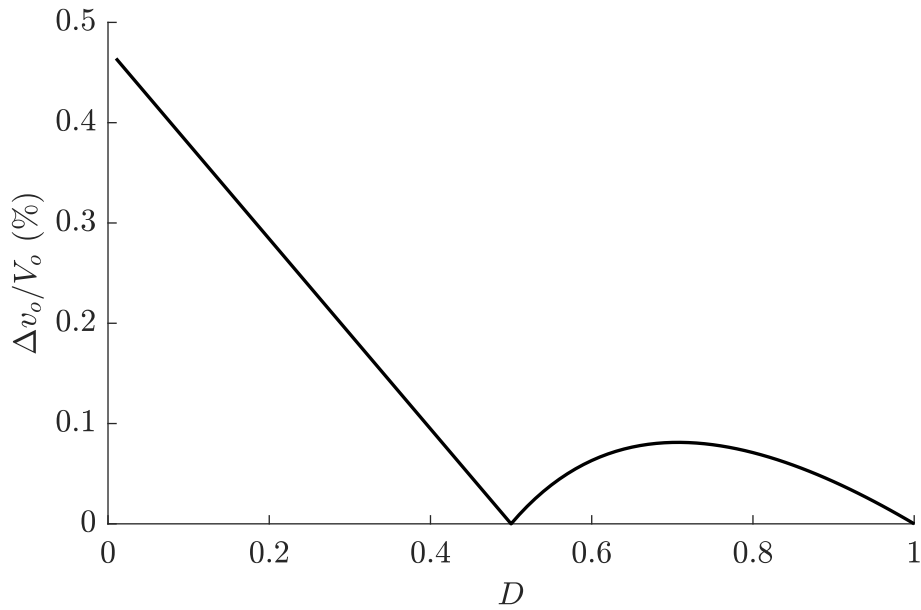
$$\frac{\Delta v_o}{V_o} = \frac{\Delta i_{L_o}}{8C_o} \times \frac{1}{DV_{in}} \times \frac{T_s}{2} \leq 0,01 \quad (5.11)$$

Escolhendo um valor de capacitância de saída dada por

$$C_o = 2,2 \mu\text{F} \quad (5.12)$$

verifica-se que o requisito de projeto é respeitado, como ilustrado na Fig. 71.

Figura 71 – *Ripple* de corrente normalizado para $C_o = 2,2 \mu\text{F}$



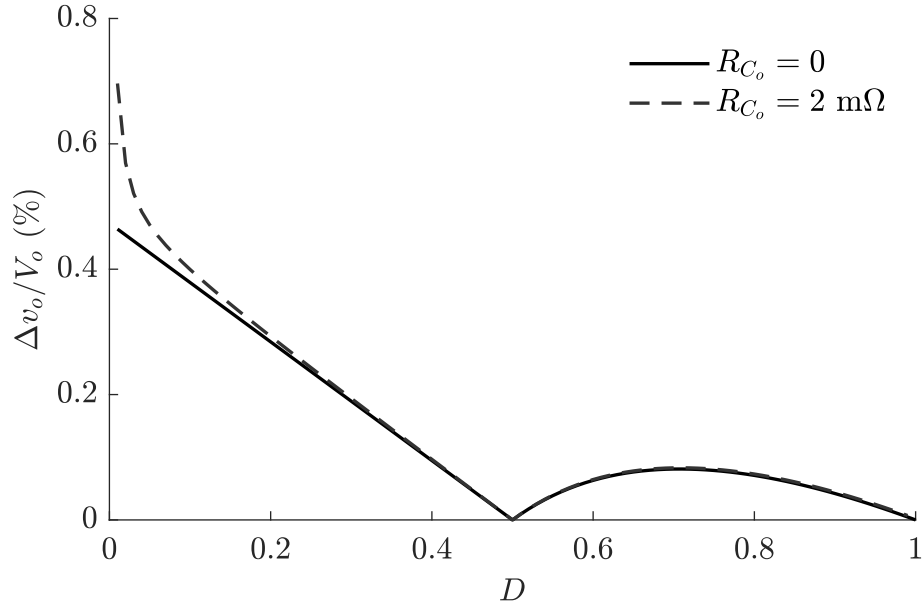
Fonte: Elaborado pelo autor.

Como base em possíveis valores para a resistência em série de capacitores (ESR) de cerâmica (MLCC), escolhe-se, de maneira arbitrária

$$R_{C_o} = 2 \text{ m}\Omega \quad (5.13)$$

Com isso, faz-se necessário verificar se a mesma não irá dominar a resposta da tensão de saída. A partir das expressões (5.11) e (4.12), a Fig. 72 é obtida.

Figura 72 – Comparativo do *ripple* de tensão de saída normalizado com e sem a resistência em série do capacitor de saída.



Fonte: Elaborado pelo autor.

Nota-se, portanto, que a adição da resistência série do capacitor não impacta a resposta de tensão de saída de maneira significativa. Em seguida, utilizando as expressões fornecidas em (PARISI, 2020), calcula-se o valor do capacitor, de acordo com os requisitos de variação de tensão de saída durante transientes de carga.

$$t_u = \frac{(375 \text{ nH}) \times (2 \text{ A})}{5 - 0,6} = 85,2 \text{ ns} \quad (5.14)$$

$$t_o = \frac{(375 \text{ nH}) \times (2 \text{ A})}{0,6} = 625 \text{ ns} \quad (5.15)$$

$$Q_u = \frac{1}{2} \times (85,2 \text{ ns}) \times (2 \text{ A}) = 85,2 \text{ nC} \quad (5.16)$$

$$Q_o = \frac{1}{2} \times (625 \text{ ns}) \times (2 \text{ A}) = 625 \text{ nC} \quad (5.17)$$

Com isso

$$C_u = \frac{85,2 \text{ nC}}{0,05 \times 0,6} = 2,9 \text{ } \mu\text{F} \quad (5.18)$$

$$C_o = \frac{625 \text{ nC}}{0,05 \times 0,6} = 21 \text{ } \mu\text{F} \quad (5.19)$$

Com base nos resultados, optou-se pela escolha de um capacitor de saída de 22 μF com uma resistência em série de 2 $\text{m}\Omega$. O valor da resistência em série foi novamente escolhido de forma arbitrária, com base em valores comerciais para capacitores de cerâmica (MLCC).

5.2.2 Circuito de injeção de *ripple*

O projeto do circuito de injeção de *ripple* se baseou na escolha de um valor para o capacitor C_{cs} , de modo a atender requisitos de *layout* e evitar efeitos parasitários. Sendo assim, optou-se pela escolha arbitrária de

$$C_{cs} = 10 \text{ pF} \quad (5.20)$$

Em seguida, R_{cs} foi obtido a partir da expressão (4.28), resultando em

$$R_{cs} = \frac{(750 \text{ nH}) \times (0,5)}{(10 \text{ pF}) \times (50 \Omega)} = 750 \text{ k}\Omega \quad (5.21)$$

O valor do ganho R_i foi então determinado. Para esse fim, valores para esse ganho, a partir do valor unitário, foram testados até se garantir a estabilidade. O valor final escolhido foi de

$$R_i = 4 \text{ V/V} \quad (5.22)$$

A Tabela 4 resume os valores dos parâmetros do circuito de injeção de *ripple*.

Tabela 4 – valores dos componentes empregados no projeto da malha de captura de fase (PLL).

Componente	Valor
C_{cs}	10 pF
R_{cs}	750 k Ω
R_i	4 V/V

Fonte: Elaborado pelo autor.

5.2.3 Malha de captura de fase

Seguindo o roteiro de projeto estabelecido em 4.2.2, escolheu-se

$$V_{on(min)} = 0 \text{ V} \quad (5.23)$$

e

$$V_{on(max)} = V_{in(max)} = 5 \text{ V} \quad (5.24)$$

Assim, teremos

$$0 \text{ V} < V_{on} < 5 \text{ V} \quad (5.25)$$

Sabendo que $T_{on(min)} = 30 \text{ ns}$ e $T_{on(max)} = T_s = 245 \text{ ns}$ e resolvendo o sistema (4.40) obteve-se

$$I_r = 2,4 \mu\text{A} \text{ e } g_{mr} = 3,5 \mu\text{S} \quad (5.26)$$

Em seguida, escolheu-se o valor do capacitor C_r . Seguindo os requisitos de, optou-se pela escolha de

$$C_r = 500 \text{ fF} \quad (5.27)$$

A tensão de referência do gerador de tempo de condução, como explicada em 4.2.2.5, deve ser gerada a partir de um circuito de referência de *bangap*. Desse modo, considerou-se seu valor como sendo

$$V_{th} = 1,2 \text{ V} \quad (5.28)$$

uma vez que este é um valor bastante comum.

Por fim, passou-se a escolha do valor da corrente da bomba de carga e do resistor do filtro de malha. Ambos os parâmetros podem ser utilizados para aumentar ou diminuir o ganho da malha de captura de fase e, desse modo, atingir as especificações de frequência de cruzamento de ganho, como já discutido. No presente trabalho, optou-se por fixar o valor da corrente da bomba de carga. Dessa forma, escolheu-se, de maneira arbitrária

$$I_d = 1 \mu\text{A} \quad (5.29)$$

Dados os valores já escolhidos de I_r , g_{mr} , C_r , V_{th} e I_d , passa-se a escolha do zero e do polo do filtro de malha e do ajuste da resistência R_s de modo a atingir as especificações. A largura de banda mínima da malha de compensação de tensão foi definida como 10% da frequência de chaveamento do conversor, ou seja

$$\text{BW} \geq 0,1 \times 4 \text{ MHz} = 400 \text{ kHz}$$

Com isso, após algumas iterações na escolha de parâmetros, chegou-se os seguintes valores para o zero, o polo e o resistor do filtro de malha.

$$f_z = 100 \text{ kHz}, f_p = 1,6 \text{ MHz} \quad \text{e} \quad R_s = 100 \text{ k}\Omega \quad (5.30)$$

As capacitâncias do filtro de malha foram então calculadas, sendo dadas por

$$C_s = \frac{1}{2\pi f_z R_s} = 15,9 \text{ pF} \quad (5.31)$$

e

$$C_p = \frac{1}{2\pi(f_p - f_z)R_s} = 1,06 \text{ pF} \quad (5.32)$$

Os valores das capacitâncias são então arredondados para

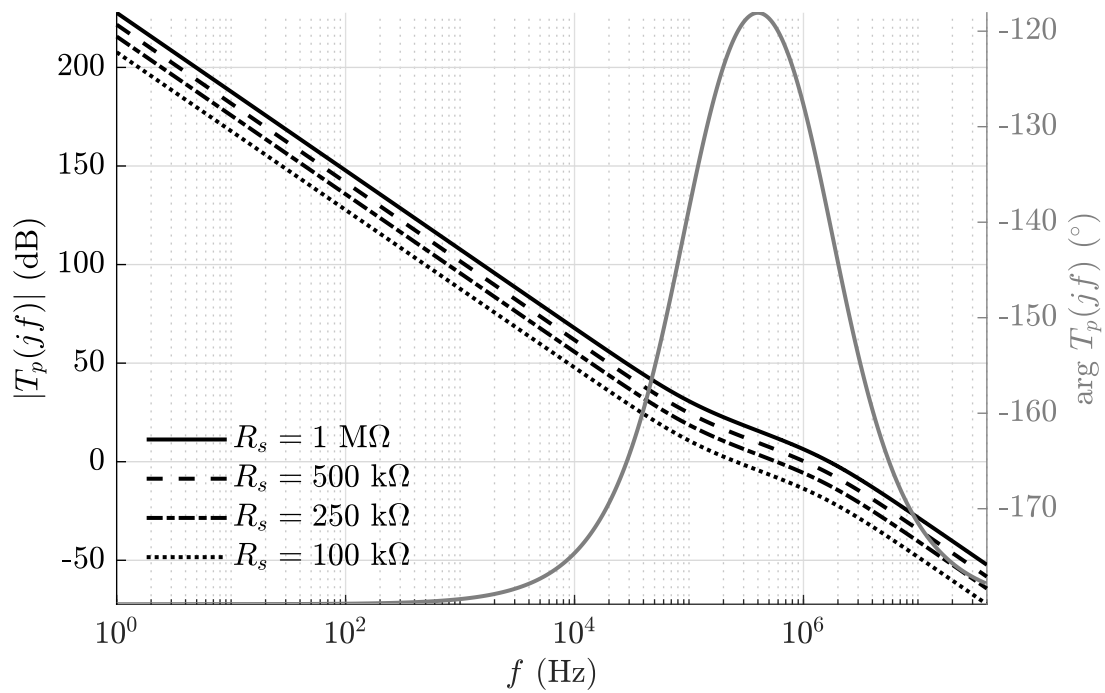
$$C_s = 16 \text{ pF} \quad \text{e} \quad C_p = 1 \text{ pF} \quad (5.33)$$

sendo que, para tais valores, o zero e o polo do filtro de malha tem valor de

$$f_z = 99,47 \text{ kHz} \quad \text{e} \quad f_p = 1,69 \text{ MHz} \quad (5.34)$$

A Fig. 73 ilustra o comportamento da curva de magnitude da malha de captura de fase versus frequência para $D = 36 \%$, parametrizado pelo valor do resistor R_s .

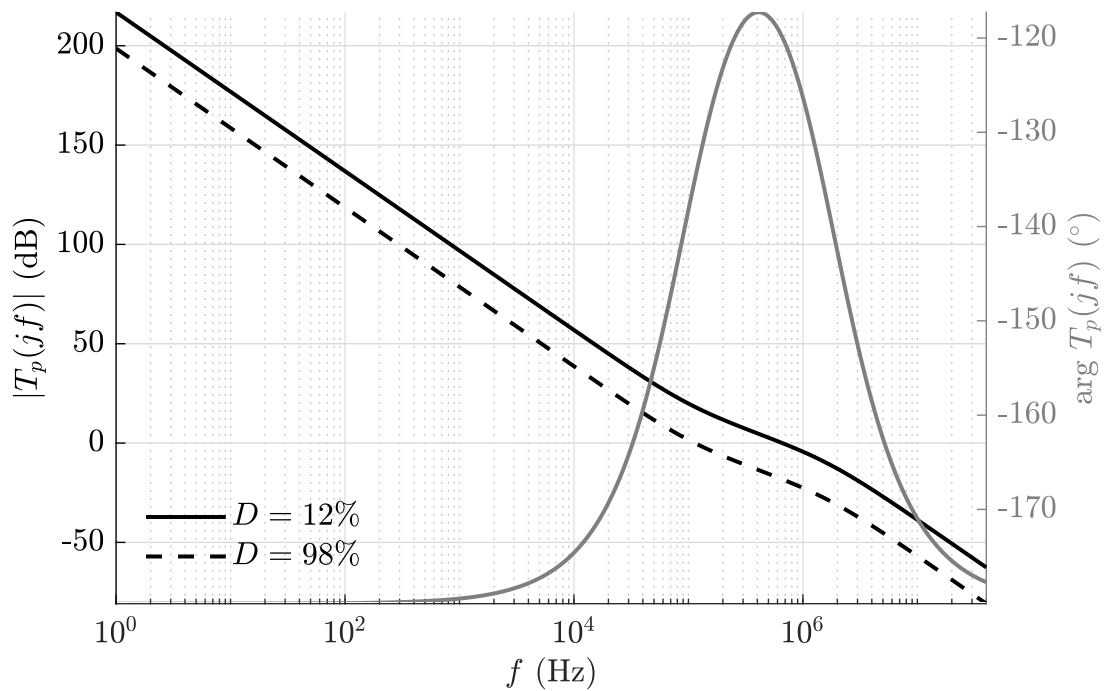
Figura 73 – Variação da função de transferência da malha captura de fase de acordo com o valor do resistor R_s .



Fonte: Elaborado pelo autor.

Verifica-se, portanto, que é possível ajustar a frequência de cruzamento de ganho através do ajuste do resistor R_s , mantendo os parâmetros restantes constantes. A Fig. 74 ilustra a resposta em frequência da malha de captura de fase para os extremos do *duty cycle*.

Figura 74 – Resposta em frequência da malha de captura de fase para $D = 12\%$ e $D = 98\%$.



Fonte: Elaborado pelo autor.

As frequências de ganho unitário bem como as margens de fase para ambos os casos são dadas na Tabela 5.

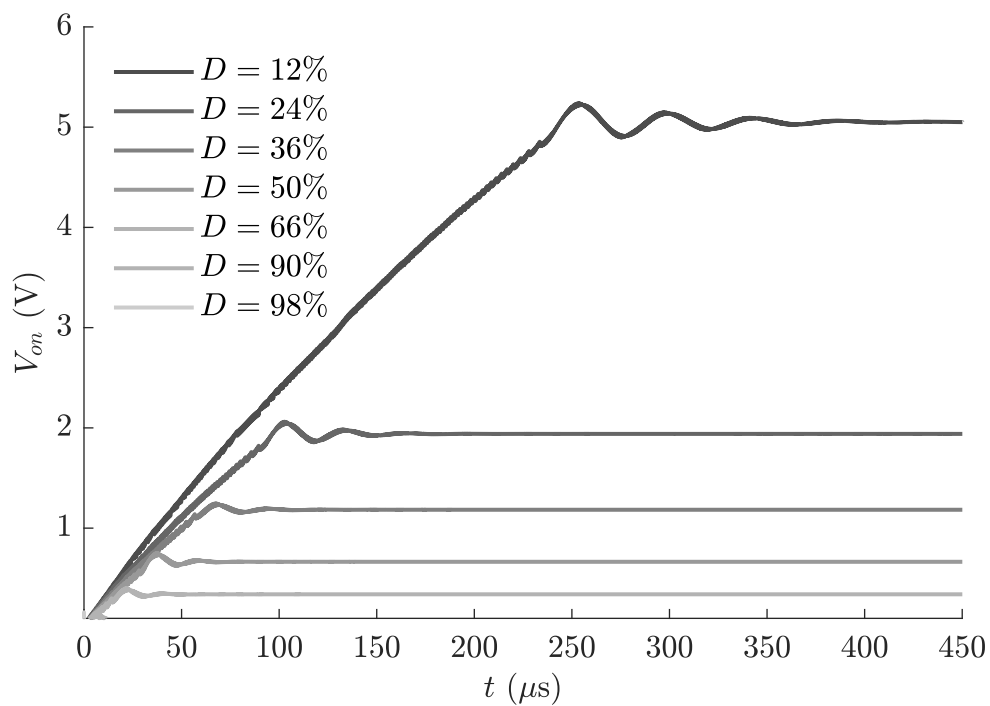
Tabela 5 – Frequência de ganho unitário (BW) e margem de fase (PM) da malha de captura de fase nos extremos de operação do conversor.

	$D = 12\%$	$D = 100\%$
BW	685 kHz	115 kHz
PM	60°	45°

Fonte: Elaborado pelo autor.

A partir da Fig. 74 e da Tabela 5 conclui-se que os requisitos foram atendidos, uma vez que, para toda faixa de *duty cycle* a largura de banda da malha de captura de fase fica dentro da região onde a margem de fase é maior que 45° . Com o sistema em malha aberta é possível observar o comportamento da malha de captura de fase. A Fig. 75 ilustra a tensão de saída do circuito do PLL para diferentes valores de *duty cycle*.

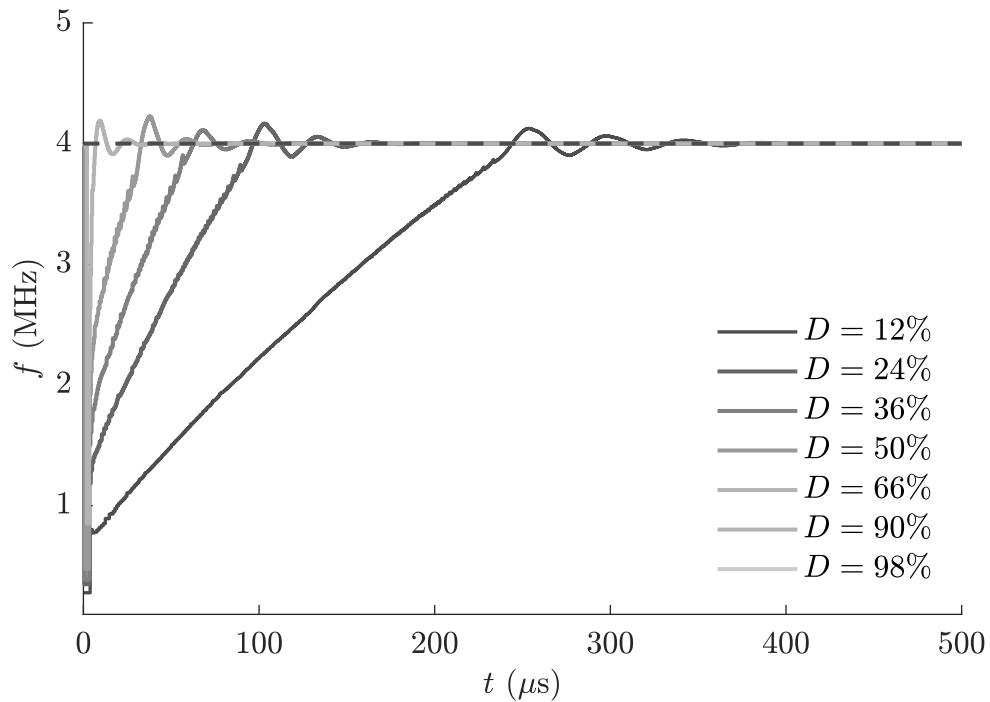
Figura 75 – Tensão de saída da malha de captura de fase para diferentes valores de D .



Elaborado pelo autor.

Já a Fig. 76 ilustra, para diferentes valores de *duty cycle*, o tempo de aquisição do PLL, ou seja, o tempo para que a frequência de regime permanente seja atingida. Nota-se que quanto menor o *duty cycle*, maior o tempo de aquisição.

Figura 76 – Tempo de aquisição da malha de captura de fase para diferentes valores de D .



Fonte: Elaborado pelo autor.

A Tabela 6 resume os valores dos componentes da malha de captura de fase.

Tabela 6 – Valores dos componentes empregados no projeto da malha de captura de fase (PLL).

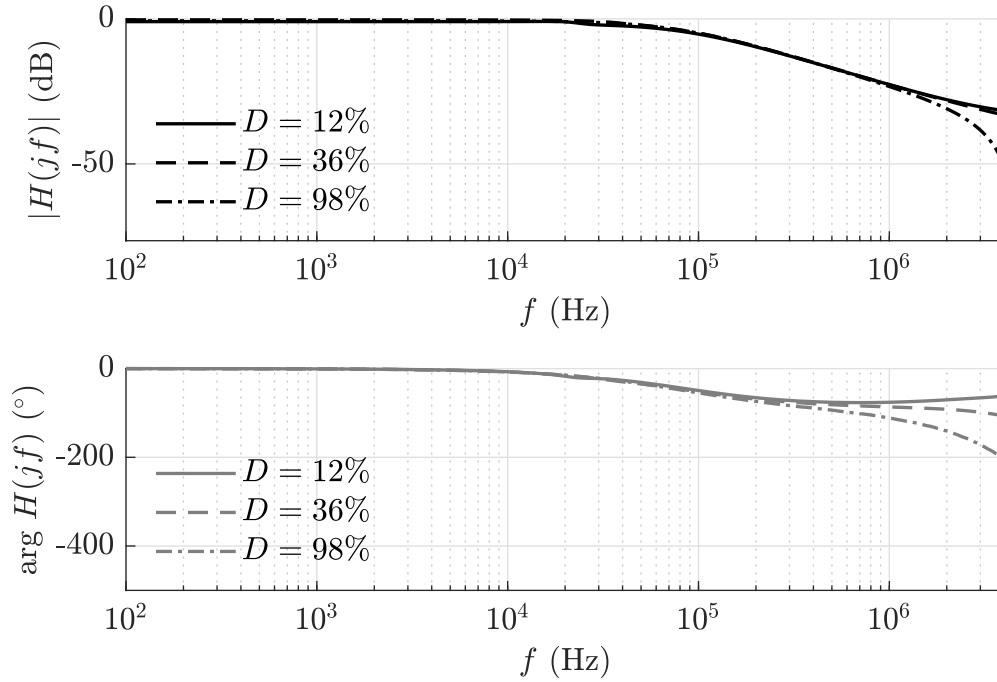
Componente	Valor
C_s	16 pF
C_p	1 pF
R_s	100 k Ω
C_r	500 fF
I_d	1 μ A
I_r	2,4 μ A
g_{mr}	3,5 μ S
V_{th}	1,2 V

Fonte: Elaborado pelo autor.

5.2.4 Compensador

Como descrito em 4.2.3, o projeto do compensador se inicia pela obtenção da função de transferência da planta, ou seja, do estágio de potência. Com isso, utilizando a montagem mostrada na Fig. 66, faz-se a extração de $H(s)$ para os dois valores extremos de D , bem como para o valor típico.

Figura 77 – Função de transferência do conversor.



Fonte: Elaborado pelo autor.

No presente projeto, optou-se por obter os valores do compensador para o menor valor de D , ou seja, para uma tensão de saída de 600 mV. Nesse caso, pela inspeção do diagrama de Bode da função de transferência do estágio de potência obteve-se

$$|H(jf_c)| = -21 \text{ dB} \quad (5.35)$$

e

$$\arg H(jf_c) = -76^\circ \quad (5.36)$$

onde f_c é a frequência de cruzamento de ganho desejada. No presente trabalho, a partir da condição dada por (5.2.3), opta-se por

$$f_c = 800 \text{ kHz} \quad (5.37)$$

Com isso, escolheu-se de maneira arbitrária uma margem de fase de 100° e calculou-se o ganho de fase necessário, ou seja

$$\text{boost} = \text{PM} - \arg H(jf_c) - 90^\circ = 86^\circ \quad (5.38)$$

A partir das equações (4.43) os valores dos componentes do filtro do compensador são obtidos.

No projeto resta apenas determinar o valor da transcondutância do OTA. Esse é um ponto importante pois demonstra a versatilidade em se utilizar o amplificador de transcondutância no projeto do compensador. Como visto na Tabela 3, o conversor irá operar em uma faixa de tensões de saída. Desse modo, considerando que a referência é constante, o divisor resistivo

deve ser ajustado de modo que cada tensão de saída seja selecionada. E como se observa pelas equações (4.43), os componentes do compensador dependem dos valores do resistor R_1 . Para que o ganho do compensador torne-se então independente dos resistores do divisor de tensão, a transcondutância do amplificador é definida por

$$G_m = G_{m0} \frac{V_{out}}{V_{ref}} \quad (5.39)$$

ou seja, o parâmetro torna-se proporcional à tensão de saída. Isso é facilmente realizável através da utilização de espelhos de corrente com diferentes fatores de multiplicação durante a polarização do amplificador. No presente trabalho optou-se pela escolha de

$$G_{m0} = 50 \mu\text{S} \quad (5.40)$$

Os valores dos parâmetros do compensador são resumidos na Tabela 7.

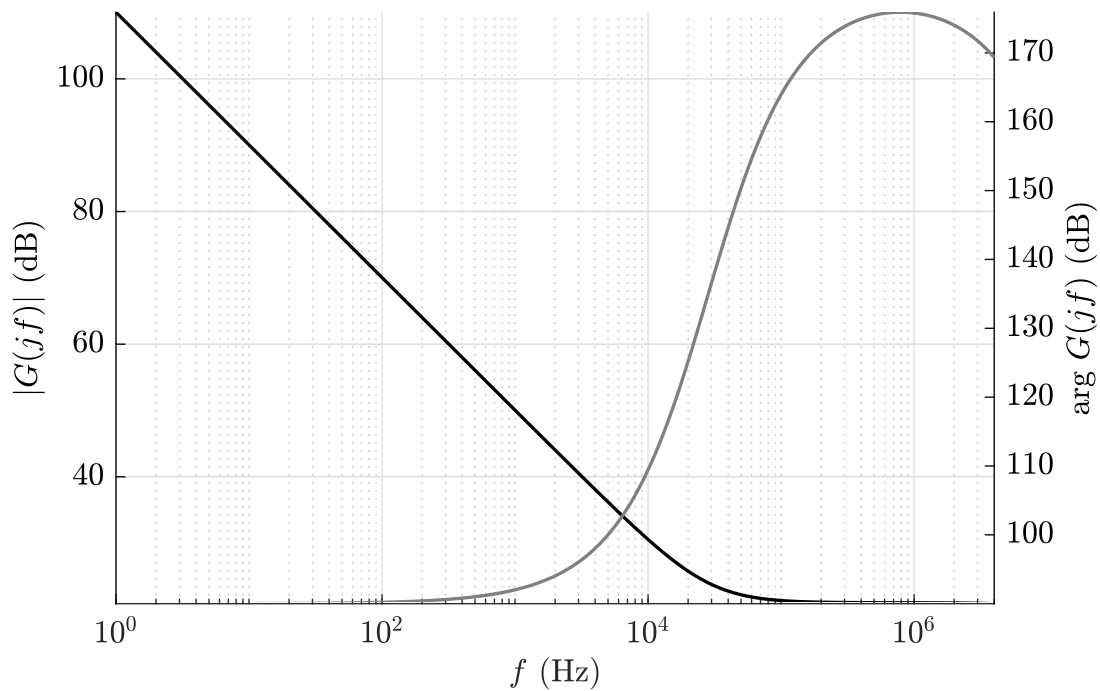
Tabela 7 – Valores dos parâmetros do compensador do tipo II.

Parâmetro	Valor
R_2	225 k Ω
C_1	25 pF
C_2	32 fF
G_{m0}	50 μS

Fonte: Elaborado pelo autor.

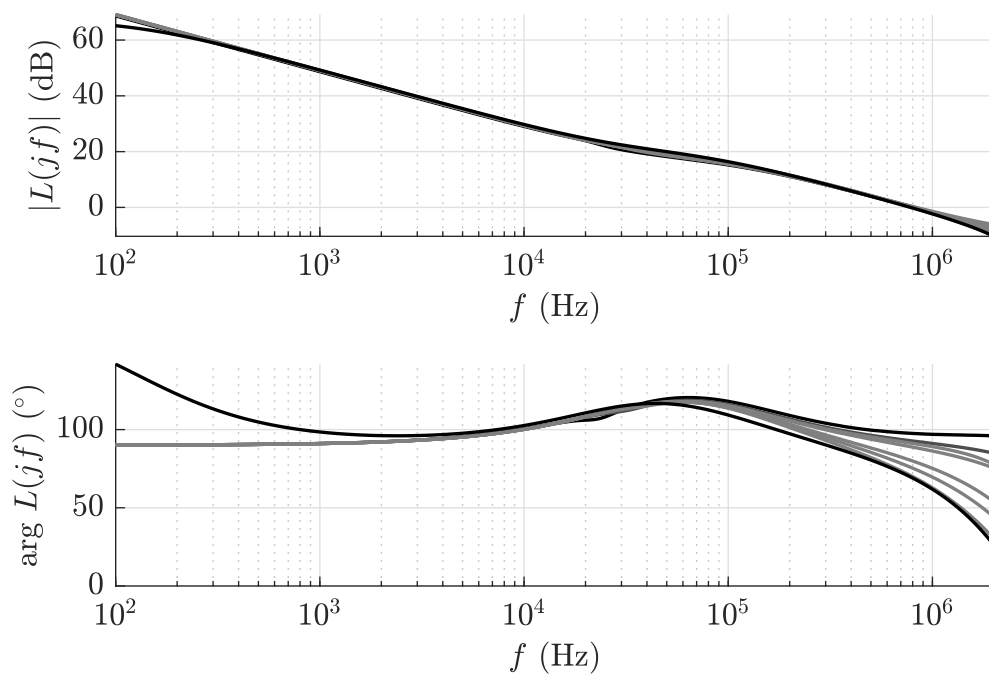
A Fig. 78 ilustra a resposta em frequência do compensador projetado.

Figura 78 – Função de transferência do compensador.



Fonte: Elaborado pelo autor.

Com o auxílio do *software* SIMPLIS obtém-se então a função de transferência de malha aberta.

Figura 79 – Função de transferência de malha aberta para diferentes valores de D .

Fonte: Elaborado pelo autor.

Por fim, a Tabela 8 resume os resultados de largura de banda e margem de fase obtidos

para a faixa de valores de *duty cycle* considerada.

Tabela 8 – Largura de banda e margem de fase do conversor para diferentes valores de *duty cycle*.

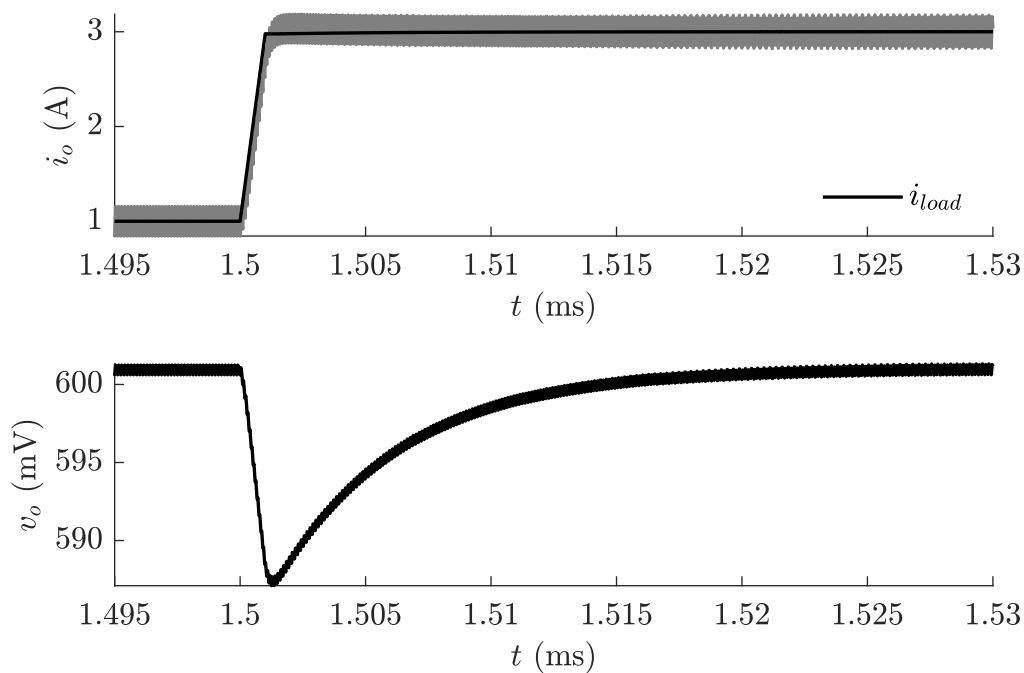
D	Largura de banda	Margem de fase
12 %	814 kHz	97°
24 %	816 kHz	92°
36 %	815 kHz	88°
50 %	835 kHz	90°
66 %	800 kHz	80°
75 %	785 kHz	75°
90 %	770 kHz	70°
98 %	770 kHz	70°

Fonte: Elaborado pelo autor.

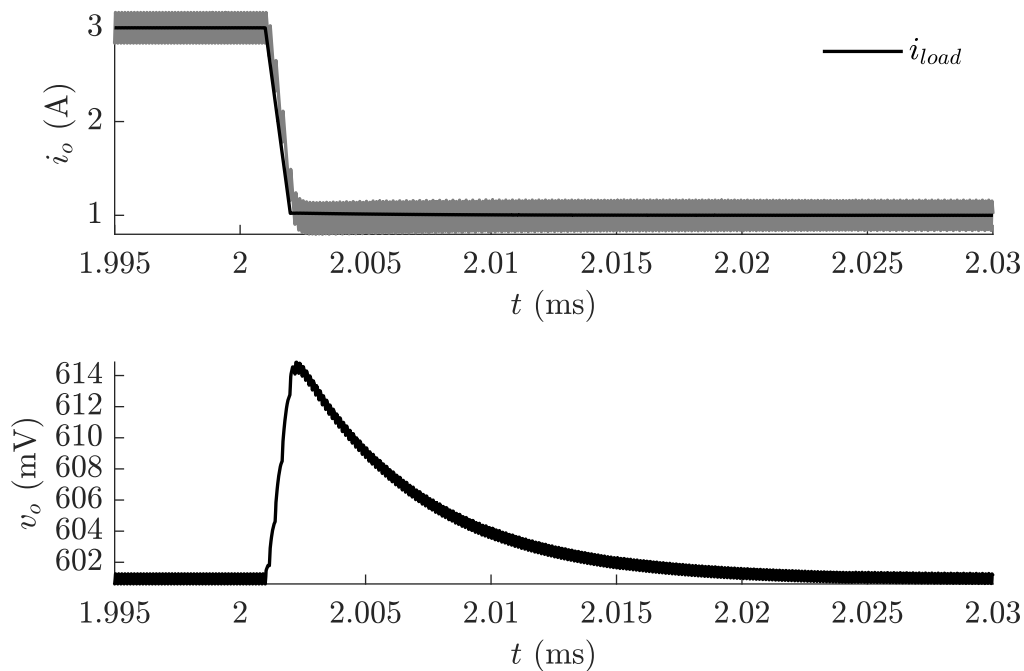
A partir dos resultados obtidos, verificou-se que os requisitos de margem de fase foram atendidos, uma vez que para toda a faixa de *duty cycles* o valor obtido encontra-se acima dos 70° requeridos. No que diz respeito à largura de banda, notou-se que, para *duty cycles* acima de aproximadamente 70%, a mesma ficou abaixo dos 800 kHz requeridos. A diferença entretanto é pequena, chegando à apenas 30 kHz para $D = 98\%$ e não constitui em um problema de fato, uma vez que existe uma variação natural caso o conversor seja implementado à nível de dispositivo.

5.3 Resposta à um degrau de carga

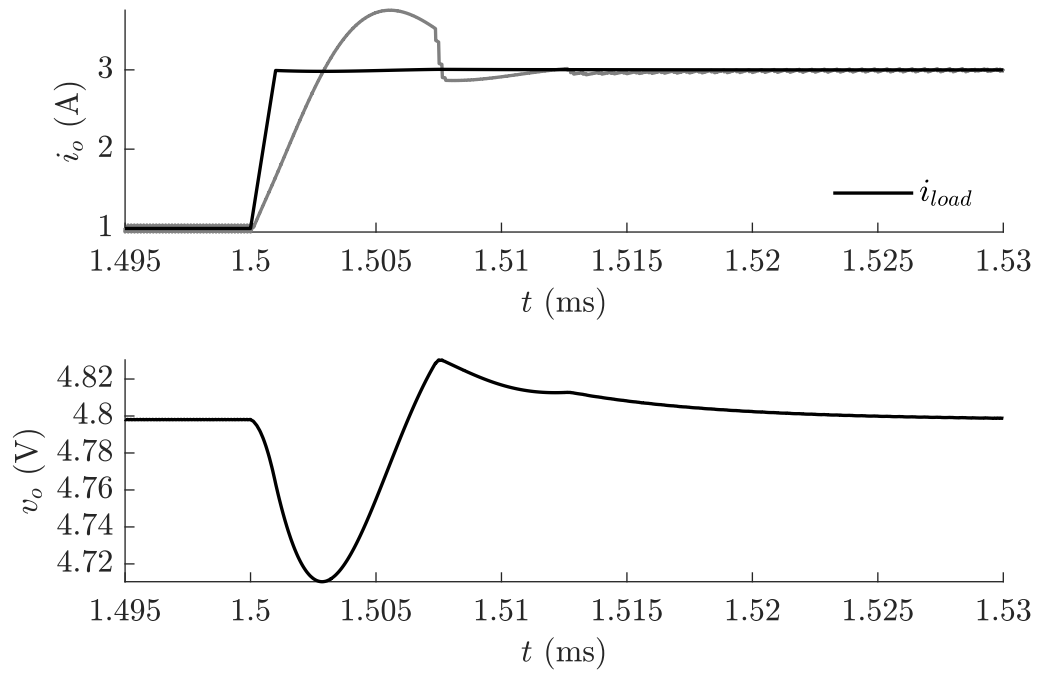
Feito o projeto do controle, prossegue-se então à sua verificação. Na prática, a validação de um controlador passa por diversos testes de performance, tais como susceptibilidade à áudio e verificação da impedância de saída. No presente trabalho, entretanto, apenas a resposta transiente à um degrau de carga será analisada. As Figs. 80 e 82 ilustram, para os *duty cycles* mínimo e máximo, a resposta transitória à um degrau positivo de 2 A/μs. Já as Figs. 81 e 83 ilustram a resposta à um degrau negativo de mesma magnitude. O apêndice B apresenta as respostas para valores de *duty cycle* intermediários.

Figura 80 – Resposta ao degrau de carga positivo de 2 A para $D = 12\%$.

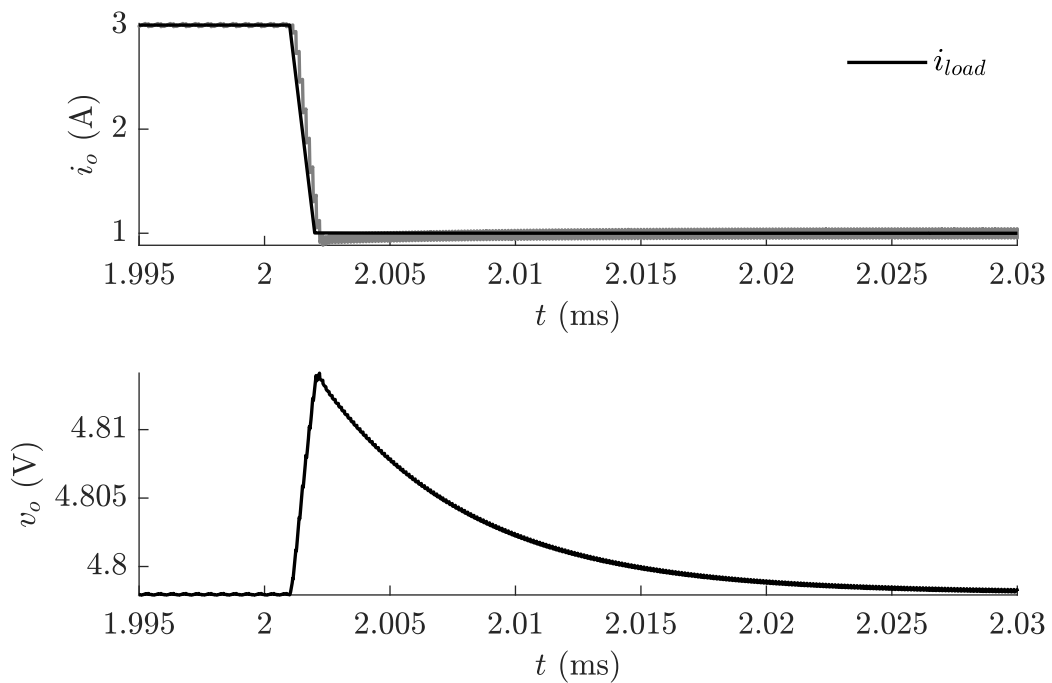
Fonte: Elaborado pelo autor.

Figura 81 – Resposta ao degrau de carga negativo de 2 A para $D = 12\%$.

Fonte: Elaborado pelo autor.

Figura 82 – Resposta ao degrau de carga positivo de 2 A para $D = 98\%$.

Fonte: Elaborado pelo autor.

Figura 83 – Resposta ao degrau de carga negativo de 2 A para $D = 98\%$.

Fonte: Elaborado pelo autor.

Tabela 9 – Valores de *Overshoot* e *Undershoot* durante resposta transiente de carga.

D	<i>Overshoot</i>	<i>Undershoot</i>
12 %	1,2 %	1,2 %
24 %	0,58 %	0,68 %
36 %	0,39 %	0,47 %
50 %	0,24 %	0,34 %
66 %	0,18 %	0,28 %
90 %	0,13 %	0,22 %
98 %	1,87 %	0,21 %

Fonte: Elaborado pelo autor.

A Tabela 10 faz uma comparação entre os resultados esperados e os obtidos após o projeto do conversor.

Tabela 10 – Comparativo entre resultados esperados e obtidos.

Especificações	Símbolo	Resultados		Unidade
		Esperado	Obtido	
<i>Ripple</i> de tensão de saída	$\Delta V_{o(CC)}$	1	≤ 1	%
<i>Overshoot/Undershoot</i>	$\Delta V_{o(CA)}$	5	≤ 2	%
Margem de Fase Mínima	PM	70	70	°
Largura de Banda Mínima	BW	800	770	MHz

Fonte: Elaborado pelo autor.

A partir dos resultados obtidos, verificou-se que o controlador projetado atende aos requisitos de projeto. A única ressalva se encontra na operação em $D = 98\%$ onde se nota que durante o degrau positivo de carga, a tensão de saída sofre um *undershoot* seguido de um *overshoot*. Além disso, a corrente total de saída também sofre um *overshoot*, o que pode ser explicado pela saturação do controle. Tal comportamento pode ser problemático caso se atinja o limite de corrente do indutor e portanto deve ser avaliado com parcimônia. O emprego de circuitos que limitem essa corrente pode ser uma boa alternativa para contornar o problema. O uso de *duty cycles* próximos de 100% também constitui um desafio, uma vez que o controle passa a ter sua performance degradada. Desse modo, o *duty cycle* máximo pode ser limitado à um valor menor de modo a garantir uma operação mais robusta.

6 CONCLUSÃO

O presente trabalho buscou apresentar uma análise a respeito do uso de indutores acoplados e do controle V^2 em conversores CC-CC multifásicos através do projeto de um conversor de duas fases. A ideia por trás do trabalho era trazer um melhor entendimento a respeito dos efeitos de se utilizar o acoplamento indutivo, bem como apresentar os principais desafios de se projetar a malha de controle do conversor.

O uso dos indutores acoplados no projeto do conversor se mostrou uma adição interessante, pois permitiu um melhor entendimento a respeito dos seus efeitos sobre a performance do conversor e trouxe um desafio maior durante o desenvolvimento de algumas estruturas de controle.

Com relação às etapas de projeto do controle, a mais desafiadora foi sem dúvidas o ajuste da malha de captura de fase (PLL). Estabelecer os limites de frequência de cruzamento de ganho que atendessem aos requisitos de projeto e garantir uma boa resposta se mostrou uma tarefa complexa. Isso porque em muitas ocasiões, observou-se que as dinâmicas da malha de compensação de tensão e da malha de captura de fase influenciavam uma a outra. Desse modo, uma grande quantidade de iterações entre o projeto de ambas as malhas foi necessário para que se chegasse à um resultado satisfatório.

Outro grande desafio foi a obtenção de valores de componentes que fossem realizáveis. Em diversos momentos, uma resposta satisfatória era obtida, porém com componentes cujos valores se mostravam completamente fora da realidade. A adição de tal fator de complexidade ao problema deu ao autor uma nova perspectiva a respeito do projeto de circuitos integrados.

Ainda com relação ao projeto da malha de controle, mostrou-se imprescindível o uso do *software* SIMPLIS, o qual permitiu projetar o controle no domínio da frequência através da obtenção das funções de transferência da planta e de malha aberta. Além disso, mostrou que o uso de simuladores baseados em modelos lineares por partes (PWL) é extremamente bem-vindo no projeto de conversores chaveados, quando comparados com os simuladores tradicionais, baseados em modelos SPICE, uma vez que permitem realizar simulações complexas em poucos segundos.

Ressalta-se que, apesar do trabalho apresentar-se como o projeto de um conversor, a simples escolha dos componentes do filtro de saída, bem como o projeto do compensador e da malha de captura de fase estão longe de serem as únicas etapas de elaboração do mesmo. Um conversor CC-CC possui ainda diversos circuitos auxiliares, como por exemplo, circuitos de *soft-start* e proteção contra sobrecorrente. Além disso, o projeto considerou apenas a operação do conversor no modo de condução contínua (CCM). Desse modo, um aperfeiçoamento futuro pode ser facilmente realizado, considerando o funcionamento do conversor no modo de condução

descontínua (DCM) e implementando os circuitos auxiliares ao funcionamento do mesmo. O desenvolvimento de cada bloco a nível de dispositivo constitui ainda uma possível sequência ao presente trabalho, uma vez que os modelos se basearam na utilização de componentes ideais.

Em resumo, o conversor *buck* de duas fases constitui-se em uma topologia bastante atraente em aplicações de *Power Management*, onde se deseja uma rápida resposta transiente e uma alta eficiência. A adição do acoplamento indutivo permite uma maior flexibilidade de projeto uma vez que possibilita contornar algumas das limitações das topologias tradicionais. O controle V^2 permite uma velocidade de resposta maior ao conversor e o uso da malha de captura de fase constitui-se de uma solução extremamente eficiente para o entrelaçamento das fases.

REFERÊNCIAS

- BASSO, C. **Designing Control Loops for Linear and Switching Power Supplies: A Tutorial Guide**. [S.l.]: Artech House, 2012. (EBL-Schweitzer).
- CHEN, K. **Power Management Techniques for Integrated Circuit Design**. [S.l.]: Wiley, 2016. (IEEE Press).
- CHENG, B. **D-CAP+™ Control for Multiphase, Step-Down Voltage Regulators for Powering Microprocessors**. [S.l.], 2019.
- DOSTAL, F. **Selecting the Right Inductor Current Ripple**. [S.l.], 2023.
- ERICKSON, R.; MAKSIMOVIĆ, D. **Fundamentals of Power Electronics**. [S.l.]: Springer International Publishing, 2020.
- GARDNER, F. **Phaselock Techniques**. [S.l.]: Wiley, 2005.
- GODER, D.; PELLETIER, W. R. V^2 architecture provides ultra-fast transient response in switch mode power supplies. **Proceedings of HFPC Power Conversion**, p. 414–420, 1996.
- LE, H. T. et al. Mems inductor fabrication and emerging applications in power electronics and neurotechnologies. **Microsystems & Nanoengineering**, v. 7, n. 1, p. 59, Aug 2021.
- _____. Fabrication of 3d air-core mems inductors for very-high-frequency power conversions. **Microsystems & Nanoengineering**, v. 4, n. 1, p. 17082, Jan 2018.
- LEE, J.-P. et al. Analysis and design of coupled inductors for two-phase interleaved dc-dc converters. **Journal of Power Electronics**, v. 13, n. 3, p. 339–348, 2013.
- LEE, K. **Advanced Control Schemes for Voltage Regulators**. 2008. Tese (Doutorado) — Virginia Polytechnic Institute and State University, 2008.
- LI, J. **Current-Mode Control: Modeling and its Digital Application**. 2009. Tese (Doutorado) — Virginia Polytechnic Institute and State University, 2009.
- LI, J.; SULLIVAN, C.; SCHULTZ, A. Coupled-inductor design optimization for fast-response low-voltage dc-dc converters. In: **APEC. Seventeenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.02CH37335)**. [S.l.: s.n.], 2002. v. 2, p. 817–823 vol.2.
- LIU, P.-H. **Advanced Control Schemes for High-Bandwidth Multiphase Voltage Regulators**. 2015. Tese (Doutorado) — Virginia Polytechnic Institute and State University, 2015.
- LÓPEZ, T.; ELFERICH, R.; ALARCÓN, E. **Voltage Regulators for Next Generation Microprocessors**. [S.l.]: Springer New York, 2010. (SpringerLink : Bücher).
- MOORE, G. E. Cramming more components onto integrated circuits. **Electronics**, v. 38, n. 8, April 1965.
- _____. Progress in digital integrated electronics. **IEEE Solid-State Circuits Society Newsletter**, v. 11, n. 3, p. 36–37, 2006.

PARISI, C. **Voltage Regulator Design and Optimization for High-Current, Fast-Slew-Rate Load Transients**. [S.l.], 2020.

_____. **Multiphase Buck Design From Start to Finish (Part 1)**. [S.l.], 2022.

PLETT, G. **Battery Management Systems**. [S.l.]: Artech House, 2015. (Artech House power engineering and power electronics, v. 1).

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. [S.l.]: McGraw-Hill, 2017. (McGraw-Hill series in electrical and computer engineering).

REDL, R.; SUN, J. Ripple-based control of switching regulators—an overview. **IEEE Transactions on Power Electronics**, v. 24, n. 12, p. 2669–2680, 2009.

RUPP, K. et al. **50 Years of microprocessor trend data**. 2023. Disponível em: <https://github.com/karlrupp/microprocessor-trend-data>.

SIMPLIS Technologies. **SIMetrix/SIMPLIS**. 2022. Disponível em: <https://www.simplistechnologies.com/>.

SINGH, S. P. **Output Ripple Voltage for Buck Switching Regulator**. [S.l.], 2014.

UMMINGER, C. B. Granted Patent, **Circuits and methods for synchronizing non-constant frequency switching regulators with a phase locked loop**. 2022.

WONG, P.-L. **Performance Improvements of Multi-Channel Interleaving Voltage Regulator Modules with Integrated Coupling Inductors**. 2001. Tese (Doutorado) — Virginia Polytechnic Institute and State University, 2001.

ZHANG, Z. **Coupled-Inductor Magnetics in Power Electronics**. 1987. Tese (Doutorado) — California Institute of Technology, 1987.

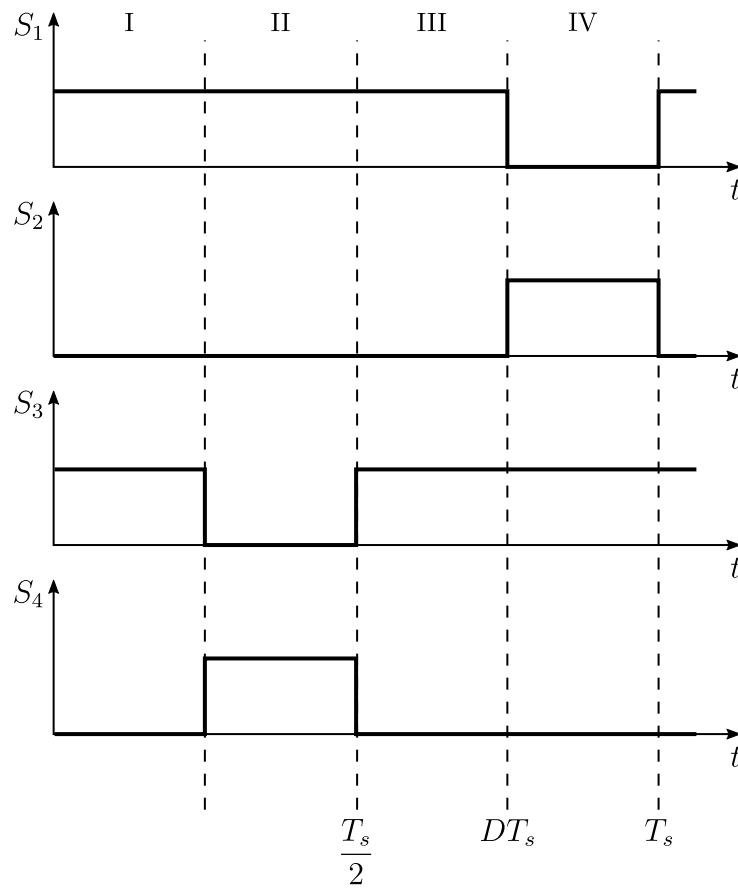
ZHU, G.; MCDONALD, B.; WANG, K. Modeling and analysis of coupled inductors in power converters. In: **2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition**. [S.l.: s.n.], 2009. p. 83–89.

ZHU, G.; WANG, K. Modeling and design considerations of coupled inductor converters. In: **2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2010. p. 7–13.

APÊNDICE A – OPERAÇÃO PARA *DUTY CYCLES* MAIORES QUE 50%.

Assim como visto em 2.3.1, o funcionamento do conversor *buck* pode ser dividido em quatro estados, ilustrados nas formas de onda da Fig. 84.

Figura 84 – Formas de onda de chaveamento do conversor *buck* de duas fases operando com $D > 0,5$.



Elaborado pelo autor

As Figs. 85a e 85a ilustram os circuitos equivalentes dos estados I e II. Durante o primeiro estado, as chaves S_1 e S_3 encontram-se fechadas, enquanto as chaves S_2 e S_4 encontram-se abertas. As tensões sobre os indutores L_1 e L_2 são dadas por

$$v_{L_1} = v_{L_2} = V_{in} - V_o \quad (\text{A.1})$$

Desse modo,

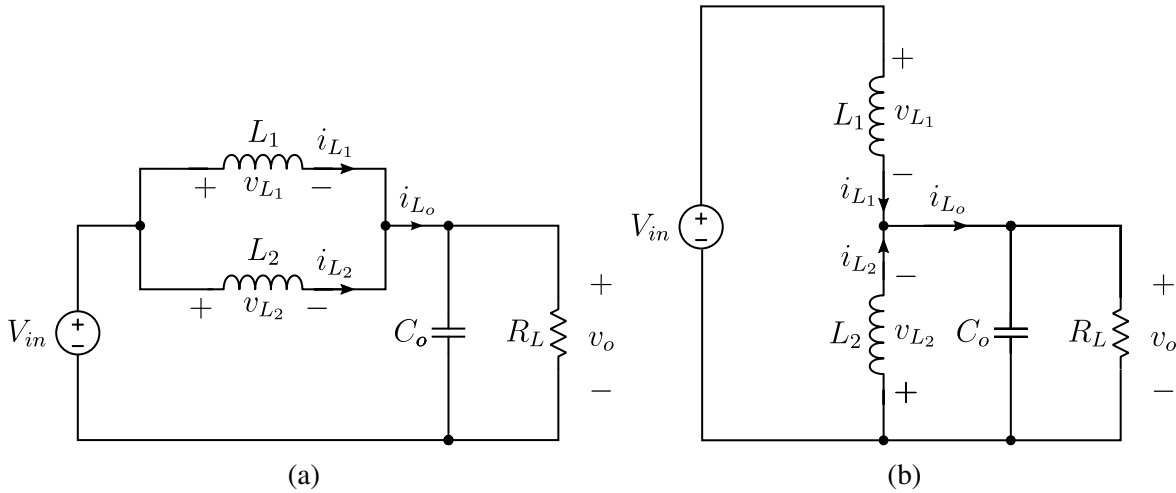
$$\frac{di_{L_1}}{dt} = \frac{di_{L_2}}{dt} = \frac{V_{in} - V_o}{L} \quad (\text{A.2})$$

e

$$\frac{di_{L_o}}{dt} = \frac{di_{L_1}}{dt} + \frac{di_{L_2}}{dt} = \frac{2(V_{in} - V_o)}{L} \quad (\text{A.3})$$

ou seja, durante o estado I, as correntes nas fases 1 e 2 estão aumentando e seus respectivos indutores sendo carregados. Da mesma forma, a corrente total de saída i_{L_o} está aumentando.

Figura 85 – Circuito equivalente do conversor *buck* de duas fases no (a) estado I e no (b) estado II ($D > 0.5$).



Fonte: Elaborado pelo autor.

Durante o estado II, as chaves S_1 e S_4 encontram-se fechadas, enquanto as chaves S_2 e S_3 encontram-se abertas. As tensões sob os indutores L_1 e L_2 são dadas por

$$v_{L1} = V_{in} - V_o \text{ e } v_{L2} = -V_o \quad (\text{A.4})$$

ou seja, este estado é idêntico ao estado I quando $D < 0,5$. Desse modo, verifica-se que

$$\frac{di_{L1}}{dt} = \frac{V_{in} - V_o}{L} \text{ e } \frac{di_{L2}}{dt} = -\frac{V_o}{L} \quad (\text{A.5})$$

Com isso

$$\frac{di_{L_o}}{dt} = \frac{V_{in} - 2V_o}{L} \quad (\text{A.6})$$

ou seja, durante o estado II, a corrente na fase 1 está aumentando enquanto a corrente na fase 2 está diminuindo indicando que o indutor L_1 está sendo carregado e o indutor L_2 está sendo descarregado. Como $D > 0,5$, a Eq. (A.6) indica que a corrente total de saída i_{L_o} está diminuindo.

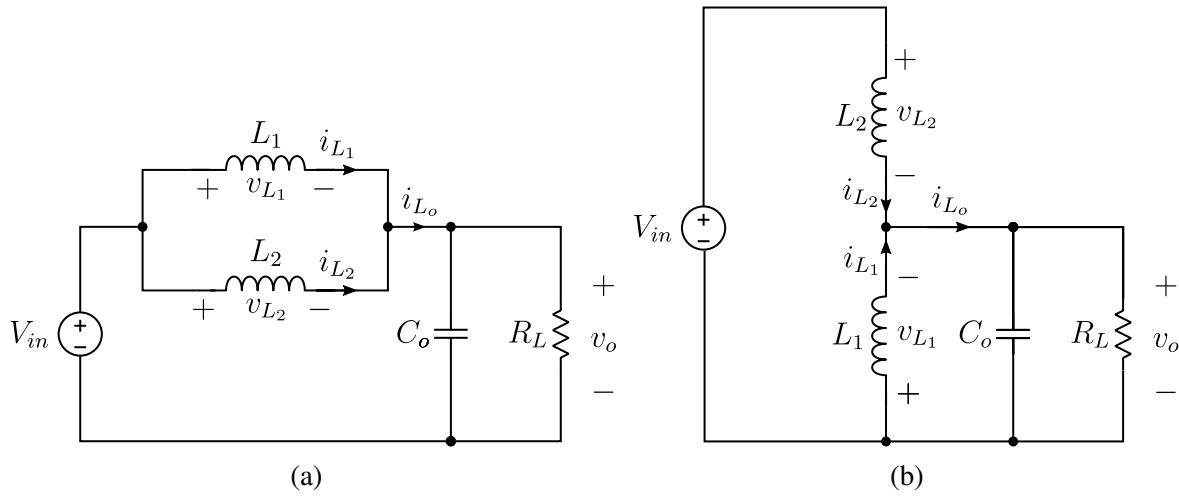
Os circuitos equivalentes dos estados III e IV podem ser vistos nas Figs. 86a e 86b. Considerando o estado III, verifica-se que o mesmo é igual ao estado I. Já o estado IV é idêntico ao estado II exceto pela inversão de papéis dos indutores. Com isso, para o estado IV, tem-se

$$\frac{di_{L1}}{dt} = -\frac{V_o}{L} \text{ e } \frac{di_{L2}}{dt} = \frac{V_{in} - V_o}{L} \quad (\text{A.7})$$

Desse modo

$$\frac{di_{L_o}}{dt} = \frac{(V_{in} - V_o)}{L} \quad (\text{A.8})$$

Figura 86 – Circuito equivalente do conversor *buck* de duas fases no (a) estado 3 e no (b) estado 4 ($D > 0.5$).



Fonte: Elaborado pelo autor.

A Tabela 11 resume os diferentes estados de operação do conversor *buck* de duas fases, considerando $D > 0,5$.

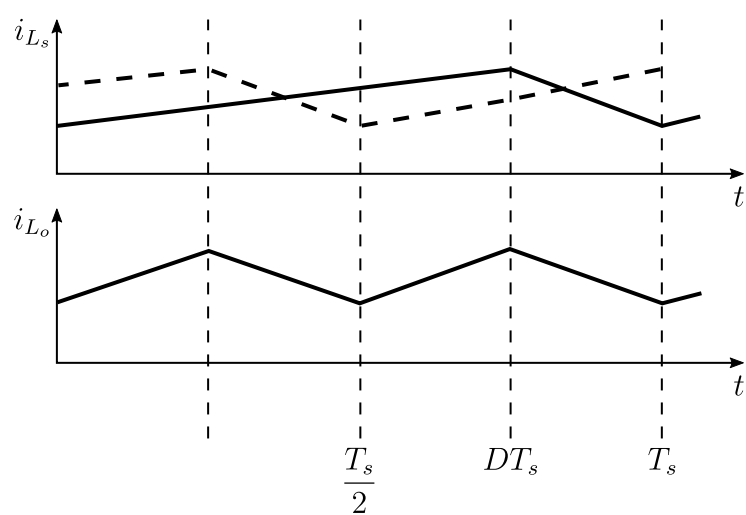
Tabela 11 – Modos de operação do conversor de duas fases entrelaçadas para $D > 0,5$.

	I	II	III	IV
v_{L1}	$V_{in} - V_o$	$V_{in} - V_o$	$V_{in} - V_o$	$-V_o$
v_{L2}	$V_{in} - V_o$	$-V_o$	$V_{in} - V_o$	$V_{in} - V_o$
$\frac{di_{L1}}{dt}$	umentando	umentando	umentando	diminuindo
$\frac{di_{L2}}{dt}$	umentando	diminuindo	umentando	umentando
$\frac{di_{Lo}}{dt}$	umentando	diminuindo	umentando	diminuindo

Elaborado pelo autor.

Por fim, a Fig. 87 ilustra as formas de onda de corrente nos indutores e na saída.

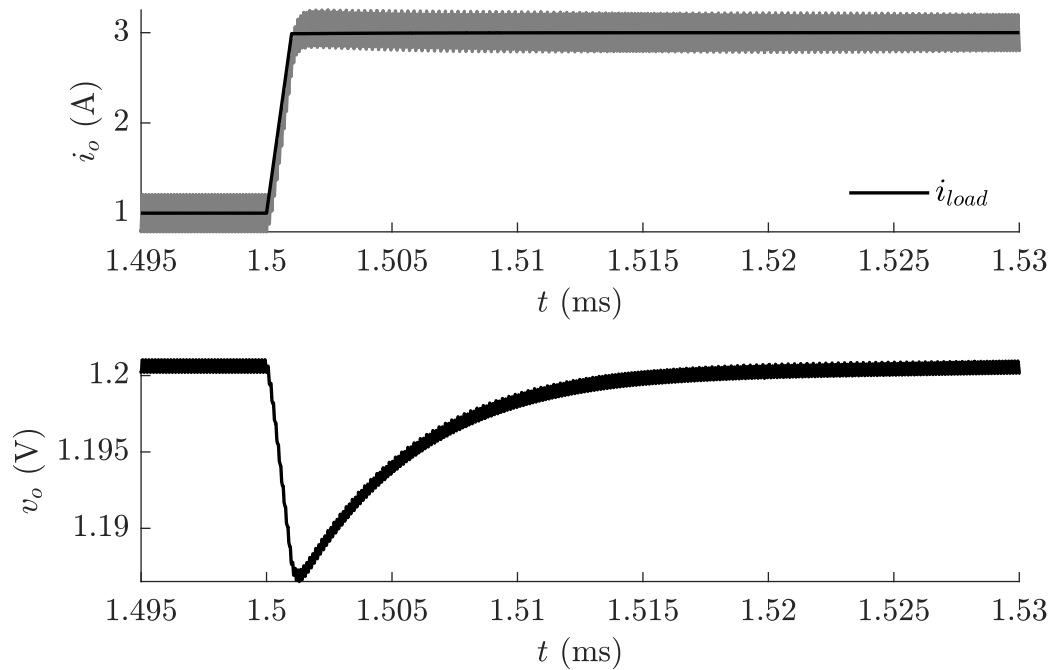
Figura 87 – Formas de onda de corrente nas fases e na saída considerando $D > 0,5$.



Fonte: Elaborado pelo autor.

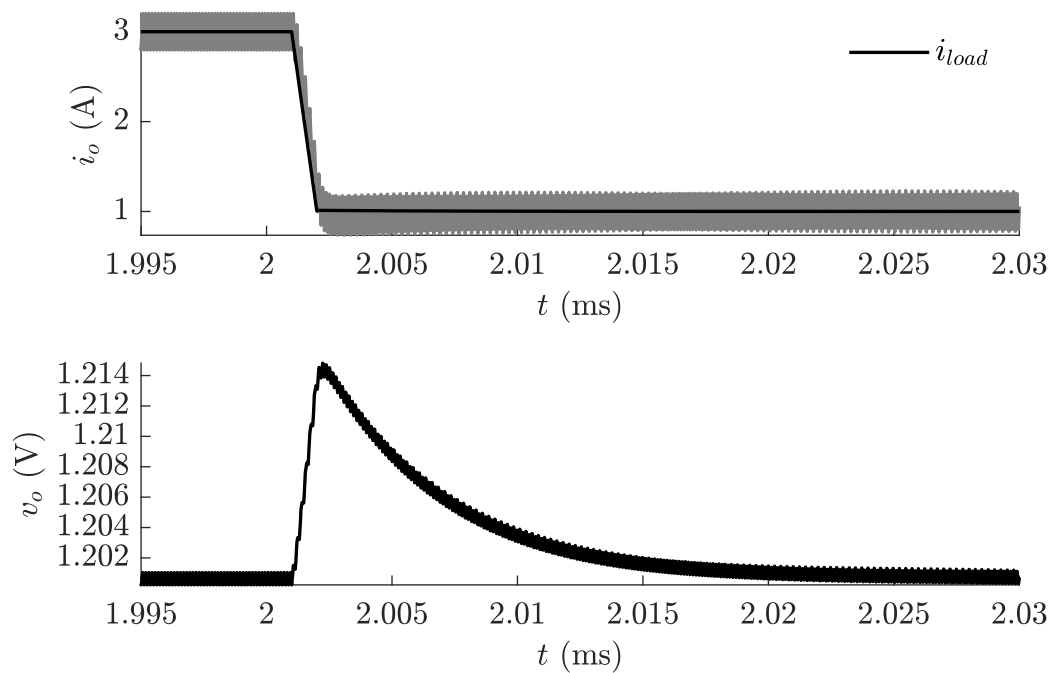
APÊNDICE B – RESPOSTAS AO DEGRAU DE CARGA

Figura 88 – Resposta ao degrau de carga positivo de 2 A para $D = 24\%$.

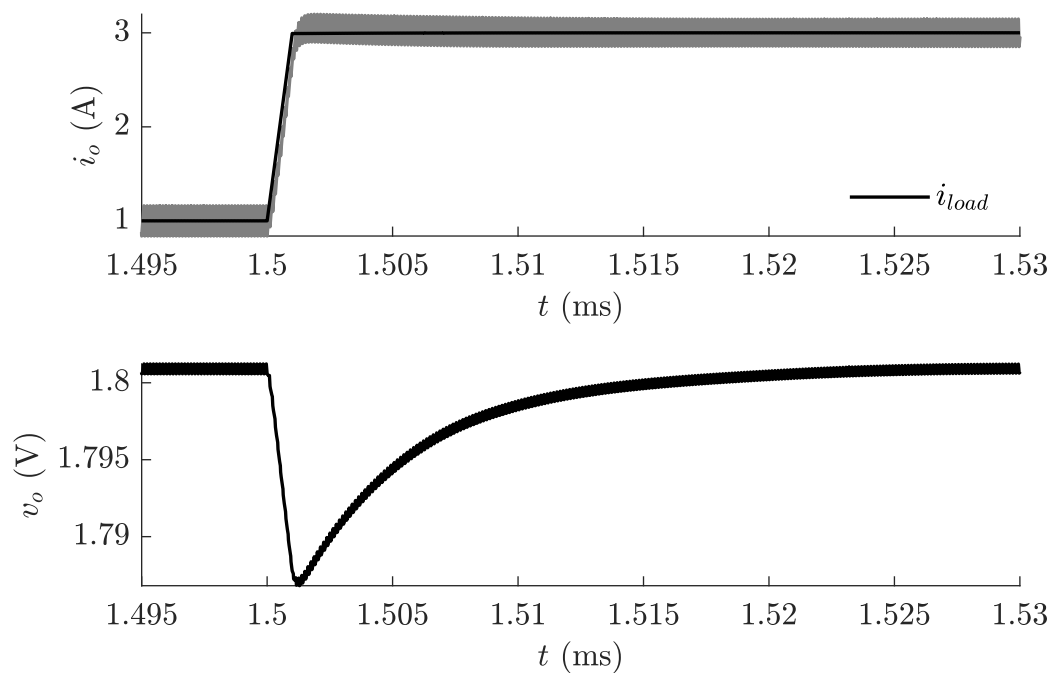


Fonte: Elaborado pelo autor.

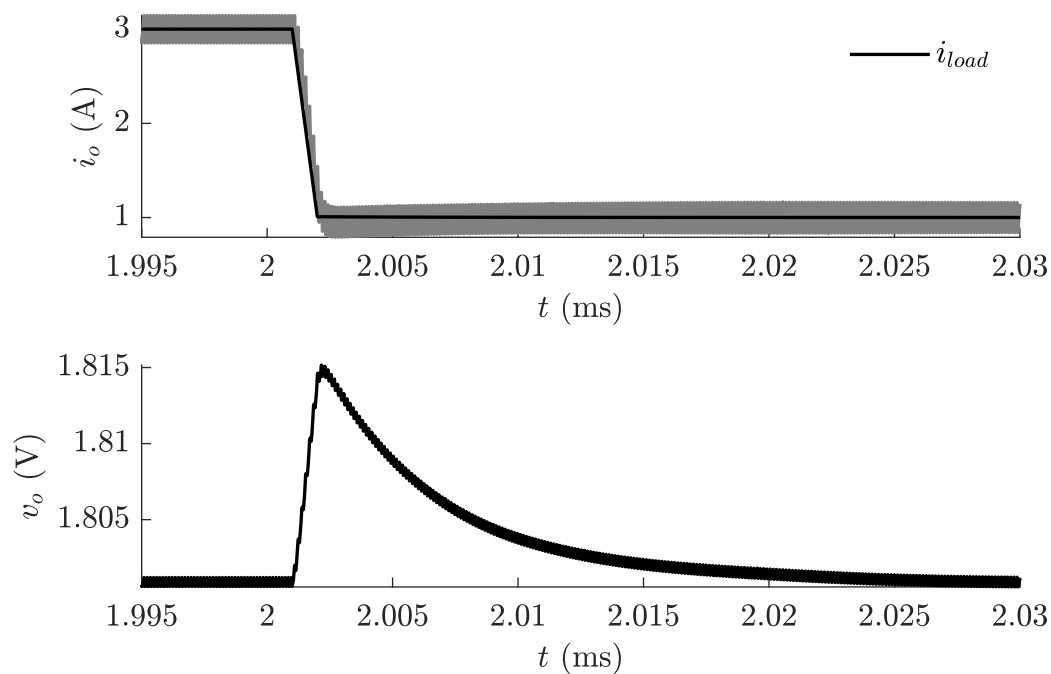
Figura 89 – Resposta ao degrau de carga negativo de 2 A para $D = 24\%$.



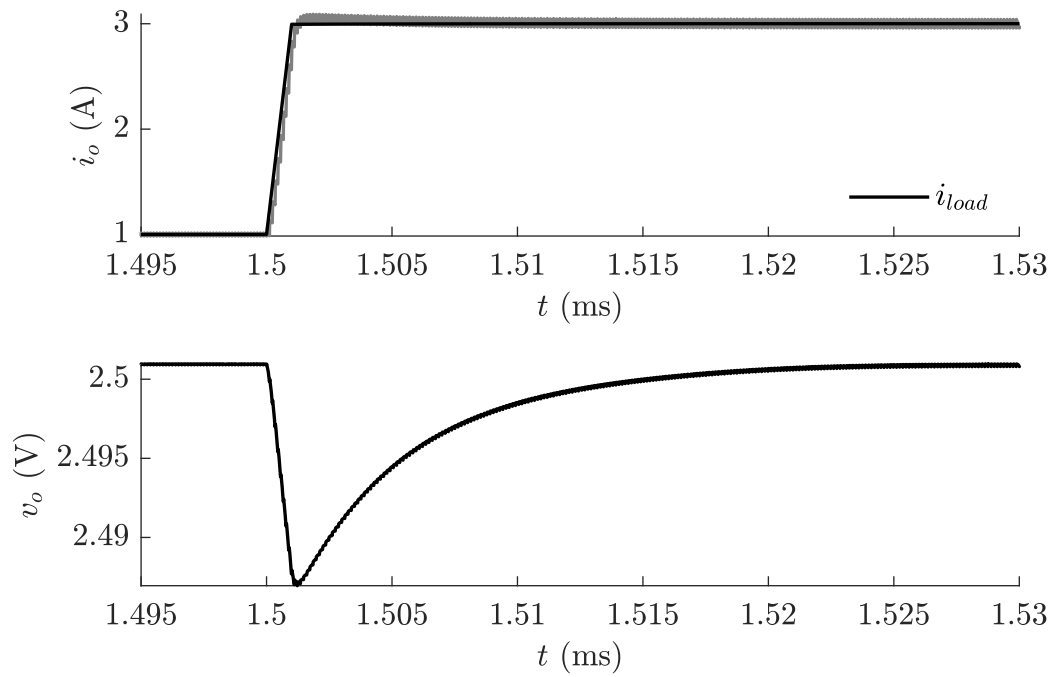
Fonte: Elaborado pelo autor.

Figura 90 – Resposta ao degrau de carga positivo de 2 A para $D = 36\%$.

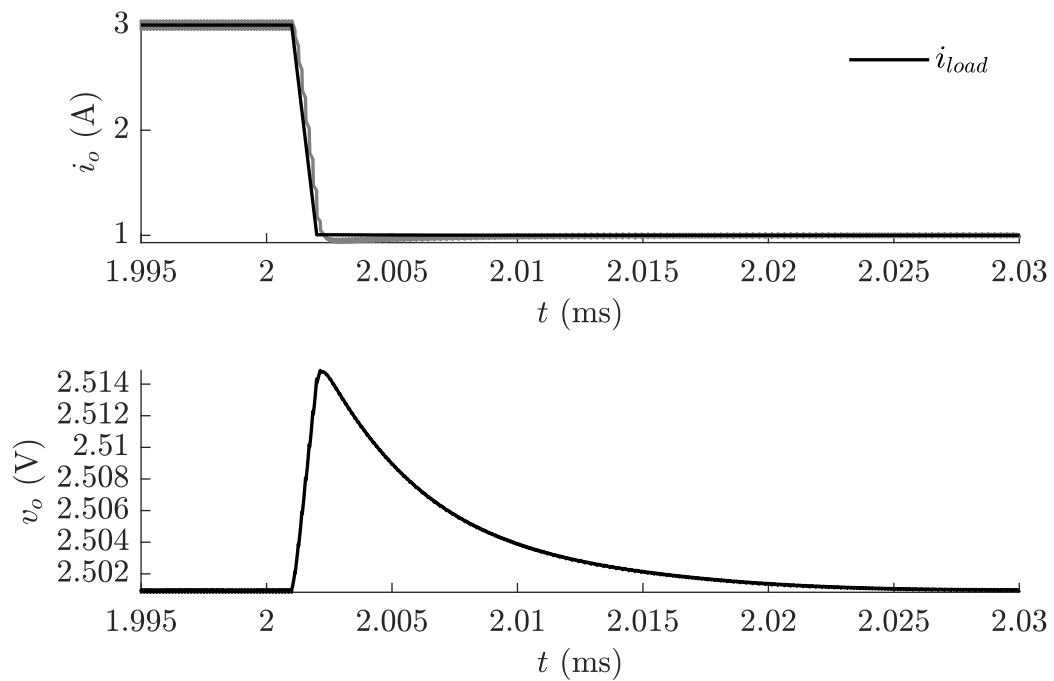
Fonte: Elaborado pelo autor.

Figura 91 – Resposta ao degrau de carga negativo de 2 A para $D = 36\%$.

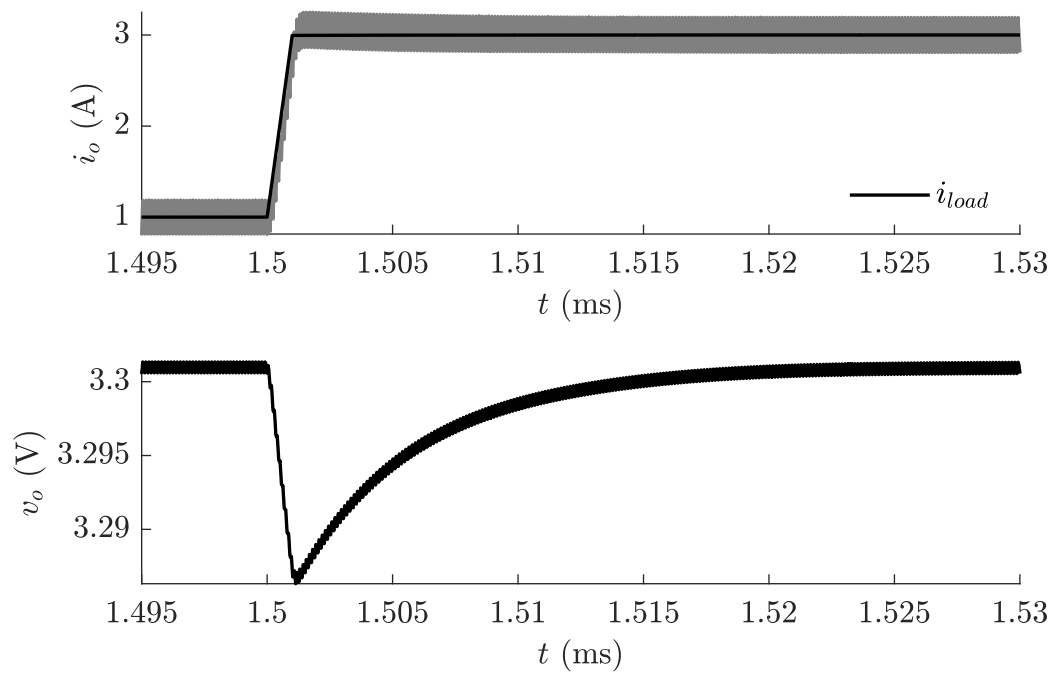
Fonte: Elaborado pelo autor.

Figura 92 – Resposta ao degrau de carga positivo de 2 A para $D = 50\%$.

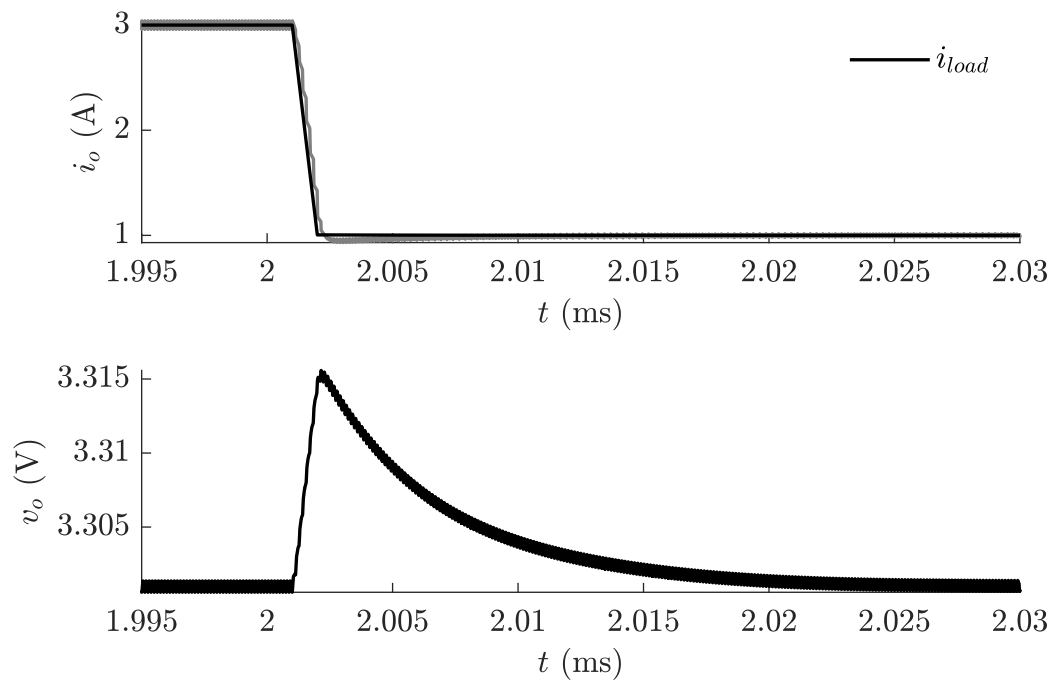
Fonte: Elaborado pelo autor.

Figura 93 – Resposta ao degrau de carga negativo de 2 A para $D = 50\%$.

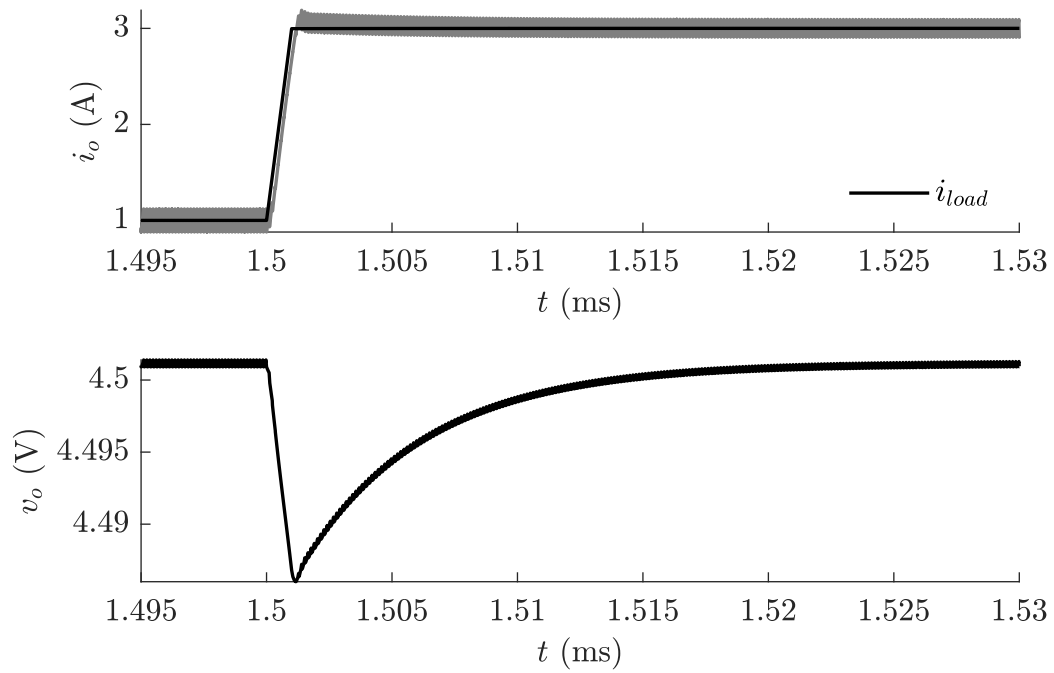
Fonte: Elaborado pelo autor.

Figura 94 – Resposta ao degrau de carga positivo de 2 A para $D = 66\%$.

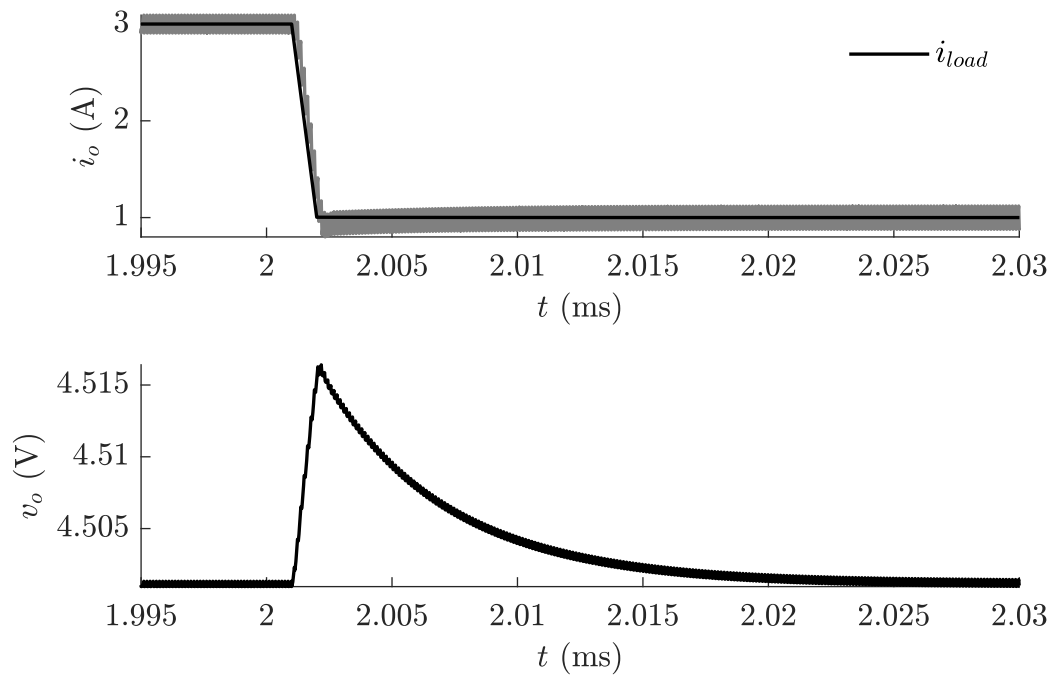
Fonte: Elaborado pelo autor.

Figura 95 – Resposta ao degrau de carga negativo de 2 A para $D = 66\%$.

Fonte: Elaborado pelo autor.

Figura 96 – Resposta ao degrau de carga positivo de 2 A para $D = 90\%$.

Fonte: Elaborado pelo autor.

Figura 97 – Resposta ao degrau de carga negativo de 2 A para $D = 90\%$.

Fonte: Elaborado pelo autor.