

BRUNO CEZAR TRANQUILLINI

PROJETO DE AMPLIFICADOR OPERACIONAL EM TECNOLOGIA CMOS

Trabalho de Conclusão de Curso
apresentado à Escola de Engenharia de São
Carlos, da Universidade de São Paulo

Curso de Engenharia de Computação com
ênfase em Telecomunicações

ORIENTADOR: João Navarro Soares Jr.

São Carlos

2008

Sumário

LISTA DE FIGURAS	5
LISTA DE TABELAS	6
1. Introdução	9
1.1. Amplificadores Operacionais	9
1.2. Estado Atual	9
1.3. O AmpOp ideal	9
1.4. Diagrama de blocos do AmpOp	13
2. Propostas e Objetivos	15
3. Fundamentos Teóricos	18
3.1. Primeiro estágio do AmpOp	18
3.1.1. Amplificadores MOS com carga ativa	18
3.1.2. Resposta em Frequência	18
3.2. Segundo estágio do AmpOp	20
3.2.1. Amplificador com <i>source</i> modo comum	20
3.2.2. Resposta em frequência	21
3.3. Amplificadores de múltiplos estágios	22
3.3.1. AmpOp de dois estágios	22
3.3.2. Resposta em Frequência	24
3.4. Técnica de Separação de pólos	26
3.5. Estabilidade do AmpOp	27
3.6. <i>Slew rate</i> do AmpOp	29
4. Métodos e implementações realizadas	31
4.1. Implementação utilizando apenas capacitores (1ª abordagem)	31
4.2. Implementação utilizando cancelamento de zero (2ª abordagem)	32
5. Resultados	35
5.1. Circuito implementado utilizando a 1ª abordagem	35
5.1.1. Dimensões dos componentes	35
5.1.2. Tensão de <i>offset</i> sistemático, resposta em frequência e <i>slew rate</i>	36
5.1.3. Consumo de potência	38
5.2. Circuito implementado utilizando a 2ª abordagem	38
5.2.1. Dimensões dos componentes	38
5.2.2. Tensão de <i>offset</i> sistemático, resposta em frequência e <i>slew rate</i>	39
5.2.3. Consumo de potência	41

5.3. Implementação do <i>Layout</i>	41
5.3.1. Tensão de <i>offset</i> sistemático, resposta em frequência e <i>slew rate</i>	43
5.3.2. Consumo de potência	45
6. Conclusão	46
Referências	49
ANEXO A	50
ANEXO B	56
ANEXO C.....	62
ANEXO D.....	65
ANEXO E	67

LISTA DE FIGURAS

Figura 1. Símbolo de um Amplificador Operacional.	10
Figura 2. Diagrama de blocos para um Amp-Op real.	13
Figura 3. a) Modelo dos Transistores MOS - b) Modelo de pequenos sinais dos transistores MOS – c) Vista lateral em corte de um transistor CMOS.	16
Figura 4. Primeiro bloco de um AmpOp.	18
Figura 5. Segundo bloco amplificador de um AmpOp.	21
Figura 6. Modelo de pequenos sinais do segundo estágio.	21
Figura 7. AmpOp de dois estágios.	23
Figura 8. Modelo de pequenos sinais para o AmpOp de dois estágios.	24
Figura 9. Diagrama de posição de zeros e pólos <i>versus</i> frequência.	27
Figura 10. Modelo de pequenos sinais do AmpOp de dois estágios com resistor em série com o capacitor de compensação.	28
Figura 11. Modelo de grandes sinais para cálculo do Slew Rate de um AmpOp CMOS.	29
Figura 12. Configuração para implementação do AmpOp utilizando a segunda abordagem.	33
Figura 13. Gráfico que relaciona o sinal na saída com o sinal na entrada positiva - Verificação da tensão de <i>offset</i> sistemático.	36
Figura 14. Diagrama de Bode da simulação para a primeira abordagem.	37
Figura 15. Gráfico da resposta no tempo do AmpOp simulado com a primeira abordagem - Verificação do <i>slew rate</i>	38
Figura 16. Diagrama de Bode da simulação para a segunda abordagem.	40
Figura 17. Gráfico da resposta no tempo do AmpOp simulado com a segunda abordagem - Verificação do <i>slew rate</i>	41
Figura 18. Visão de todo o <i>layout</i> do AmpOp.	42
Figura 19. <i>Layout</i> do AmpOp omitindo-se o capacitor de compensação.	43
Figura 20. Diagrama de Bode da simulação utilizando <i>netlist</i> obtido a partir do <i>layout</i>	44
Figura 21. Gráfico da resposta no tempo do AmpOp simulado com <i>layout</i> - Verificação do <i>slew rate</i>	45

LISTA DE TABELAS

Tabela 1 - Especificações de um AmpOp.	35
Tabela 2 - Dimensões obtidas com as especificações da tabela 1.....	35
Tabela 3 - Dimensões obtidas com as especificações da tabela 1 para a segunda abordagem.....	39
Tabela 4 - Valores de parâmetros desejados para o amplificador e valores obtidos por simulação nos circuitos projetados com as duas abordagens.	47
Tabela 5 - Valores desejados e obtidos com as simulações pré e pós <i>layout</i>	48

RESUMO

Amplificadores Operacionais são blocos fundamentais para muitos circuitos analógicos. A função deles é amplificar a diferença de dois sinais de entrada. Alto ganho, alta impedância de entrada e baixa impedância de saída são suas principais características. Uma forma de implementação dos amplificadores é através combinação de vários estágios de amplificação em cascata.

Este trabalho abrange o projeto de um amplificador operacional multiestágio com tecnologia CMOS. A partir das especificações é feito o dimensionamento dos transistores, simulação e desenho do *layout*. Para realizar o projeto foram desenvolvidos dois programas, com abordagens diferentes, para cálculos. Foram realizadas simulações de circuitos obtidos a partir cada de programa e seus resultados comparados às especificações. Para uma das abordagens, foi também implementado o *layout* de um amplificador com as seguintes especificações: *slew rate* de 15 V/us, frequência de ganho unitário de 15 MHz, 2 pF de capacitância de carga. Para o *layout* foi usada a tecnologia CMOS 0,35 μm da AMS (*AustriaMicroSystems*) com quatro níveis de metal e dois de polisilício. A partir do *layout* foi realizada a extração de *netlist* e novas simulações a partir deste. Os resultados mostram que o circuito apresenta as seguintes características: *slew rate* de 14,7 V/ μs , frequência de ganho unitário de 14,4 MHz, consumo de potência de 270 μW para tensão de alimentação de 3 V e *offset* sistemático de 21 μV .

Palavras-chave: Circuitos integrados MOS, amplificador operacional, microeletrônica, amplificador multiestágio.

ABSTRACT

Operational Amplifiers are basic blocks of several analog circuits. Their function is to amplify the difference of two input signals. Their main characteristics are high gain, high input impedance, and low output impedance. A way of implementing those amplifiers is by association of several amplification stages in cascade.

This work consists on the design of a multistage operational amplifier with CMOS technology. Starting from specifications the transistors are dimensioned, the amplifier's behavior is simulated and the layout is designed. Two softwares, with different approaches, were developed to carry out the design calculations. The circuits obtained by each software were simulated and their results were compared to the initial specifications. Also, for one approach, an amplifier layout was drawn with the following specification: slew rate of 15 V/ μ s, unit gain frequency of 15 MHz and 2 pF of load capacitance. To design the layout, the AMS (*AustriaMicroSystems*) 0.35 μ m AMS CMOS Technology, with four metal levels and two polysilicon levels, was applied. Based on this layout, a netlist was extracted and new simulations were made. The results found show that the circuit presents the following features: slew rate of 14.7 V/ μ s, unit gain frequency of 14.4 MHz, power dissipation of 270 μ W for power supply of 3 V and systematic offset of 21 μ V.

Keywords: MOS integrated circuits, operational amplifier, microelectronics, multistage amplifier.

1. Introdução

1.1. Amplificadores Operacionais

O Amplificador Operacional (AmpOp) é um dos mais complexos e importantes blocos na construção de circuitos eletrônicos de uso geral como conversores analógico-digitais, filtros e amplificadores. A performance de um AmpOp muitas vezes limita o desempenho do circuito em que está inserido em termos de faixa dinâmica de operação, frequência dos sinais de entrada, consumo de potência, etc.

AmpOps têm sido usados há muito tempo. Inicialmente, os circuitos eram implementados com componentes discretos (como válvulas, posteriormente substituídas por transistores, resistores e capacitores) e seu preço era elevado (algumas dezenas de dólares). Entretanto, seu desempenho e qualidade estavam muito abaixo dos amplificadores atuais. A introdução dos primeiros Circuitos Integrados (CI's) por volta da primeira metade de década de 60, apesar de suas características “pobres”, revolucionou a forma de projeto de circuitos eletrônicos [1].

1.2. Estado Atual

O AmpOp está entre os circuitos eletrônicos mais utilizados nos dias de hoje, sendo utilizado numa variedade imensa de aplicações eletrônicas de caráter científico, comercial e industrial. Com a sua vasta utilização, a produção passou a acontecer em larga escala, reduzindo o preço à apenas algumas dezenas de centavos de dólar, e tornando-se assim, popular. Mesmo com a redução do preço, a qualidade e desempenho tiveram uma melhora significativa.

Outra razão para a popularidade do uso do amplificador operacional é o fato desses circuitos apresentarem um comportamento próximo do ideal, facilitando a implementação de projetos eletrônicos. O amplificador com certos componentes adicionais permite a implementação de uma ampla série de circuitos [1].

1.3. O AmpOp ideal

O símbolo de um amplificador operacional está representado na figura 1.

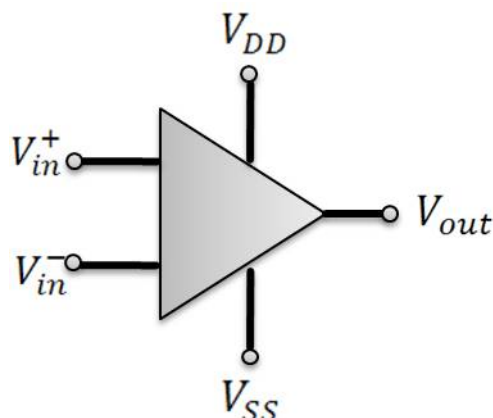


Figura 1. Símbolo de um Amplificador Operacional.

Os terminais indicados na Figura 1 são:

- V_{in}^+ : entrada não-inversora
- V_{in}^- : entrada inversora
- V_{out} : saída (não diferencial)
- V_{DD} : alimentação positiva
- V_{SS} : alimentação negativa

Um amplificador operacional é um circuito cujas características básicas podem ser resumidas em: ganho elevado (A), alta impedância de entrada, baixa impedância de saída e dois sinais de entrada, dos quais um deles é inversor (-) e o outro não inversor (+). A tensão de saída é a diferença entre as duas entradas multiplicada pelo ganho A .

Sua saída pode ser única ou diferencial, o que é menos comum. Os circuitos que utilizam amplificadores operacionais freqüentemente utilizam uma realimentação negativa, o que proporciona maior estabilidade.

Idealmente, o AmpOp é uma fonte de tensão controlada por tensão livre de dependência da freqüência, temperatura, distorção e ruído. Na prática, os circuitos reais são apenas aproximações dos ideais. As maiores diferenças entre os AmpOps reais e os ideais são as seguintes [2]:

1. **Ganho Finito:** Para AmpOps reais, o ganho de tensão é finito. Valores típicos para baixas freqüências e pequenos sinais são $A = 10^2 \sim 10^5$, correspondendo a ganhos entre 40 dB e 100 dB.

2. *Faixa Linear Finita*: A relação de ganho linear $v_{out} = A(v_{in}^+ - v_{in}^-)$, onde v_{out} se refere à tensão de saída e $(v_{in}^+ - v_{in}^-)$ se refere a diferença entre as tensões de entrada, é válida apenas para uma faixa limitada de valores de v_{out} . Normalmente o valor máximo de v_{out} para operação linear é menor do que a tensão de alimentação positiva e o valor mínimo de v_{out} é maior do que a tensão de alimentação negativa.

3. *Tensão de Offset*: Para um AmpOp ideal, se $v_{in}^+ = v_{in}^-$ (o que pode ser facilmente obtido curto-circuitando os terminais de entrada), então $v_{out} = 0$. Em dispositivos reais, isso não é exatamente verdade, pois neste caso aparece uma tensão $v_{out,off}$ (tensão de *offset* na saída). O efeito da tensão de *offset* pode ser convenientemente descrito em termos de tensão de *offset* na entrada, $v_{in,off}$, definida como a entrada diferencial necessária para restabelecer $v_{out} = 0$ no AmpOp real. Para AmpOps MOS, $v_{in,off}$ é um valor entre 5 mV a 15 mV.

4. *Taxa de Rejeição de Modo Comum (CMRR)*. A tensão de entrada de modo comum e a tensão de entrada diferencial são definidas respectivamente por:

(1)

$$v_{in,c} = \frac{v_{in}^+ + v_{in}^-}{2}$$

(2)

$$v_{in,d} = v_{in}^+ - v_{in}^-$$

Definimos então o ganho diferencial A_D (que é o mesmo ganho A anteriormente discutido) como:

(3)

$$A_D = \frac{v_{out}}{v_{in,d}}$$

e o ganho de modo comum A_C como:

(4)

$$A_C = \frac{v_{out}}{v_{in,c}}$$

O *CMRR* é definido como $\frac{A_D}{A_C}$ ou (em unidades logarítmicas) $CMRR = 20 \log_{10}(\frac{A_D}{A_C})$.

Valores típicos de *CMRR* para amplificadores estão entre 60 dB e 80 dB. As medidas de *CMRR* indicam o quanto o AmpOp pode suprimir sinais de modo comum nas suas entradas. Estes normalmente representam ruídos indesejáveis, portanto alto *CMRR* é uma característica desejável.

5. *Resposta em Frequência:* Por causa de capacitâncias intrínsecas, mobilidade de portadores finita, entre outros fatores, o ganho A decresce em altas frequências. É usual descrever esse efeito em termos da largura de banda de ganho unitário (*Gain Bandwidth - GBW*), isto é, a frequência f_0 em que $|A(f_0)| = 1$. Para AmpOps MOS, f_0 está entre 1 MHz e 15MHz.

6. *Slew Rate:* Para um degrau de entrada de alta intensidade, alguns transistores no AmpOp podem ser retirados da sua região de saturação ou completamente cortados. Como resposta, a saída seguirá a entrada com uma taxa finita. A máxima taxa de variação $\frac{\partial v_{out}}{\partial t}$ é chamada de *slew rate* e seu valor não está diretamente relacionado à resposta em frequência. Para AmpOps típicos implementados com tecnologia MOS, *slew rates* entre $1 V/\mu s$ e $20 V/\mu s$ podem ser obtidos.

7. *Resistência de Saída não nula.* Para um AmpOp MOS real, a impedância de saída é diferente de zero. A saída é normalmente resistiva, na ordem de $0,1 k\Omega$ a $5 k\Omega$ para AmpOps com *buffer* de saída. Essa impedância afeta a velocidade com que o AmpOp pode carregar um capacitor conectado a sua saída e, conseqüentemente, a máxima frequência do sinal.

8. *Ruído:* Transistores geram ruído. Os transistores ruidosos em um AmpOp fazem aparecer uma tensão de ruído $v_{out,n}$ na saída. Isso pode ser modelado com uma fonte de voltagem equivalente $v_n = \frac{v_{out,n}}{A}$ na entrada. Infelizmente para transistores MOS a magnitude deste ruído é relativamente alta, especialmente em baixas frequências onde o ruído “*flicker*” dos dispositivos de entradas é alto; este está na ordem de 10 vezes o ruído encontrado em dispositivos implementados com tecnologia bipolar. Em banda larga (faixa de 10 Hz a 1 MHz), a fonte de ruído de entrada equivalente é usualmente na ordem de $10 \mu V$ a $50 \mu V$ RMS, em contraste com a faixa de $3 \mu V$ a $5 \mu V$ obtidos para AmpOps bipolares de baixo ruído.

9. *Faixa Dinâmica:* Devido a limitada faixa linear do AmpOp, existe uma máxima amplitude para o sinal de entrada, $v_{in,max}$, que o dispositivo pode manusear sem gerar uma quantidade excessiva de distorção. Se a voltagem de alimentação do AmpOp for de V_{cc} , então um valor ótimo estimado é de $v_{in,max} \approx \frac{V_{cc}}{A}$, onde A é o ganho do AmpOp. Há também um valor mínimo para aplicar no sinal de entrada, $v_{in,min}$, para ele não ser considerado como ruído ou distorção. Usualmente, $v_{in,min}$ é da mesma ordem de magnitude do ruído de entrada equivalente v_n do AmpOp. A faixa dinâmica do AmpOp é definida como $20 \log_{10}(v_{in,max}/v_{in,min})$, medida em dB. Quando o AmpOp está numa configuração de malha aberta, a ordem de grandeza de $v_{in,max}$ é de alguns milivolts, enquanto $v_{in,min} \approx \sqrt{v_n^2}$, em torno de $30 \mu V$. Portanto, a faixa

dinâmica de um AmpOp em malha aberta está em torno de 30 dB a 40 dB. Entretanto, a faixa dinâmica de um AmpOp em circuito com realimentação negativa pode ser muito maior.

10. **Taxa de Rejeição de Alimentação (Power-Supply Rejection Rate - PSRR):** Se a tensão de alimentação contém uma componente incremental v'_n referente a ruído, então um valor correspondente de tensão $A_p v'_n$ aparecerá na saída. O *PSRR* é definido como A_D/A_p , onde $A_D = A$ é o ganho diferencial. É comum expressar o valor de *PSRR* em dB, então $PSRR = 20\log_{10}(A_D/A_p)$. Valores comuns de *PSRR* estão na faixa de 60 dB a 80 dB para um AmpOp isolado.

11. **Dissipação de Potência:** AmpOps ideais não dissipam potência, mas este não é o caso de AmpOps reais. Valores típicos de potência dissipada estão na faixa de 0,25 mW a 10 mW.

12. **Margem de fase:** Por causa da defasagem entre os sinais de entrada e saída (dependente da frequência), que ocorre em AmpOps reais, pode ocorrer uma situação em que, para uma dada frequência, a defasagem entrada – saída igual a 180° e o ganho do amplificador seja maior que 1. Isto implica em possível instabilidade no circuito (o circuito oscila). Defini-se margem de fase como a diferença entre 180° e a fase na frequência em que o ganho for unitário. O ideal é que amplificadores trabalhem com uma margem de fase superior a 60° para garantir estabilidade.

1.4. Diagrama de blocos do AmpOp

O amplificador pode ser representado de acordo com o diagrama de blocos da Figura 2, composto por um amplificador diferencial de entrada, um *level shift* e um *buffer* de saída.

O amplificador diferencial de entrada (primeiro bloco) é designado a promover uma alta impedância de entrada, alto *CMRR* e *PSRR*, baixa tensão de *offset*, baixo ruído e alto ganho. Sua saída deve, preferencialmente, ser simples (não diferencial – *single ended*) de forma que o restante do AmpOp não necessite de outros estágios diferenciais simétricos.

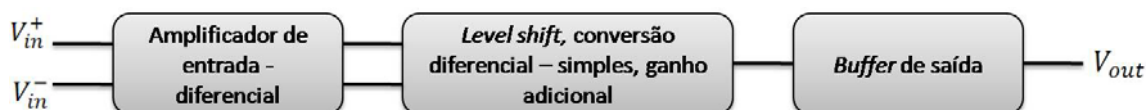


Figura 2. Diagrama de blocos para um Amp-Op real.

O segundo bloco do diagrama da Figura 2 pode implementar uma ou mais das seguintes funções:

1. *Level Shifting*: Necessário para compensar a variação de tensão DC no estágio de entrada, assegurando assim o valor apropriado de tensão DC para os estágios subsequentes.
2. *Ganho Adicional*: Na maioria dos casos, o ganho referente ao estágio de entrada não é suficiente e uma amplificação adicional é necessária.
3. *Conversão diferencial para simples (single-ended)*: Em alguns circuitos, o estágio de entrada tem uma saída diferencial e uma conversão para saída simples é necessária no segundo estágio. Neste trabalho, nas duas implementações, a saída do primeiro estágio já é simples (*single-ended*), o que dispensa a necessidade de conversão no segundo estágio.

O terceiro bloco é o *buffer* de saída. Ele provê uma baixa impedância e uma grande corrente de saída necessária para alimentar a carga do AmpOp. Normalmente ele não contribui para o ganho de tensão. Caso o AmpOp seja um componente interno de um circuito, a carga em sua saída é normalmente um pequeno capacitor e não haverá necessidade deste *buffer*. Entretanto, se o AmpOp estiver, por exemplo, na saída de um circuito, ele deverá então alimentar uma alta capacitância e/ou uma carga resistiva. Isso requer o fornecimento de uma alta corrente e a impedância de saída baixa, o que pode ser obtido com dispositivos que requerem a drenagem de correntes de alta intensidade, devidamente fornecida pela alimentação apropriada do *buffer* [2].

2. Propostas e Objetivos

Neste trabalho serão estudados amplificadores CMOS. Este estudo envolverá escolha de topologias, levantamento de relações teóricas para seu funcionamento, implementação de programa para cálculo de dimensões de transistores e geração de *netlist* para simulador e projeto de exemplos de amplificadores com as topologias escolhidas (simulações, desenhos de *layouts* e simulações pós-*layout*).

Durante este trabalho utilizaremos a representação do transistor MOS conforme figura 3a e seu modelo de pequenos sinais conforme figura 3b. Para os transistores utilizaremos a seguinte equação de corrente para a região de saturação:

(5)

$$I_D = \left(\frac{W}{L}\right) \mu_0 C_{ox} (V_{gs} - V_t)^2$$

onde μ_0 é mobilidade dos portadores (elétrons ou lacunas), V_t é a tensão de transição do transistor (V_{tn} e V_{tp} quando referirmos especificamente a transistores *NMOS* e *PMOS* respectivamente), V_{gs} é a diferença de tensão entre o *gate* e o *source* do transistor e C_{ox} é a capacitância por unidade de área da porta (canal) e W é a largura e L o comprimento do canal (L_n e L_p quando referirmos especificamente a transistores *NMOS* e *PMOS* respectivamente) [2].

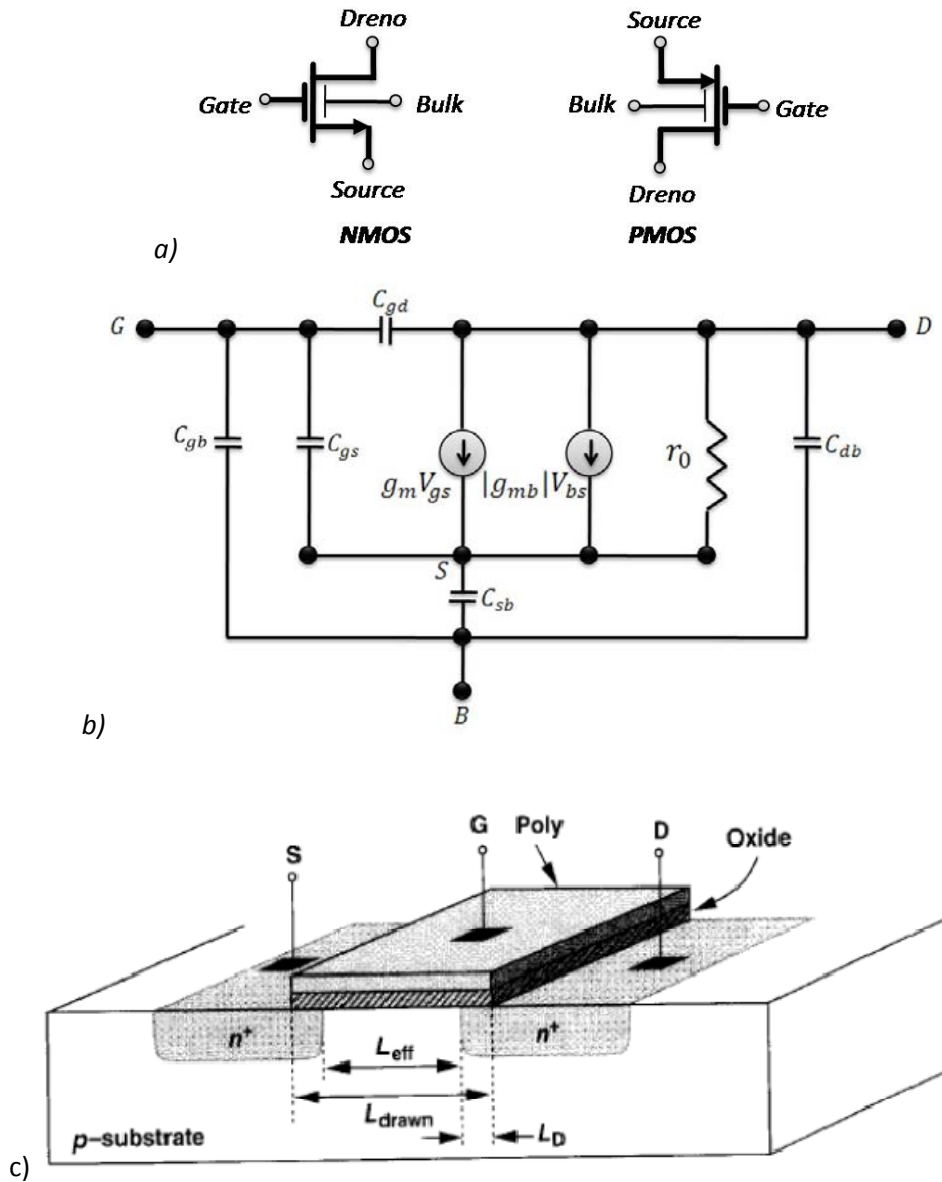


Figura 3. a) Modelo dos Transistores MOS - b) Modelo de pequenos sinais dos transistores MOS – c) Vista lateral em corte de um transistor CMOS.

No modelo de pequenos sinais temos [2]:

C_{gs} , C_{db} , C_{gd} , C_{sb} e C_{gb} se referem respectivamente às capacitâncias *gate-source*, *dreno-substrato*, *gate-dreno*, *source-substrato* e *gate-substrato* do transistor, abaixo explicadas:

C_{gd} : Capacitância *gate-dreno*. Esta capacitância possui duas componentes: $C_{gd_{ov}}$, capacitância que aparece devido à sobreposição da difusão entre o *dreno* e o *gate* e C'_{gd} , a capacitância *gate-canal*. Na região de saturação a capacitância é próxima a $\frac{1}{3}C_{ox}$, onde C_{ox} é a capacitância total formada pelo óxido entre o *gate* e a superfície do substrato.

C_{gs} : Capacitância *gate-source*. Esta capacitância possui duas componentes: $C_{gs_{ov}}$, a capacitância da fina camada de oxido na sobreposição *gate-source*, e C'_{gs} , a capacitância *gate-canal*. Na região de saturação a capacitância é próxima a $\frac{2}{3}C_{ox}$. C_{gs} é praticamente independente da tensão na região de saturação.

C_{sb} : Capacitância *source-substrato*. Esta capacitância também contém duas componentes: $C_{gs_{pn}}$, a capacitância de junção entre a difusão do *source* e o substrato, e C'_{sb} , que pode ser estimada como sendo dois terços da capacitância da região de depleção abaixo do canal. A capacitância total C_{sb} tem uma dependência com a tensão.

C_{db} : Capacitância *dreno-substrato*. A capacitância de junção entre a difusão do *dreno* e o substrato, dependente de voltagem.

C_{gb} : Capacitância *gate-substrato*. É a capacitância devido ao óxido entre o gate e o substrato, e seu valor é aproximadamente $0,1 C_{ox}$.

g_m : Transcondutância do transistor. Este termo obedece a relação:

(6)

$$g_m = \frac{2I_D}{(V_{gs} - V_t)}$$

g_{mb} : Transcondutância de efeito de corpo.

3. Fundamentos Teóricos

3.1. Primeiro estágio do AmpOp

3.1.1. Amplificadores MOS com carga ativa

O primeiro bloco de um AmpOp, Figura 2, pode ser implementado de acordo com o circuito da Figura 4 [1]:

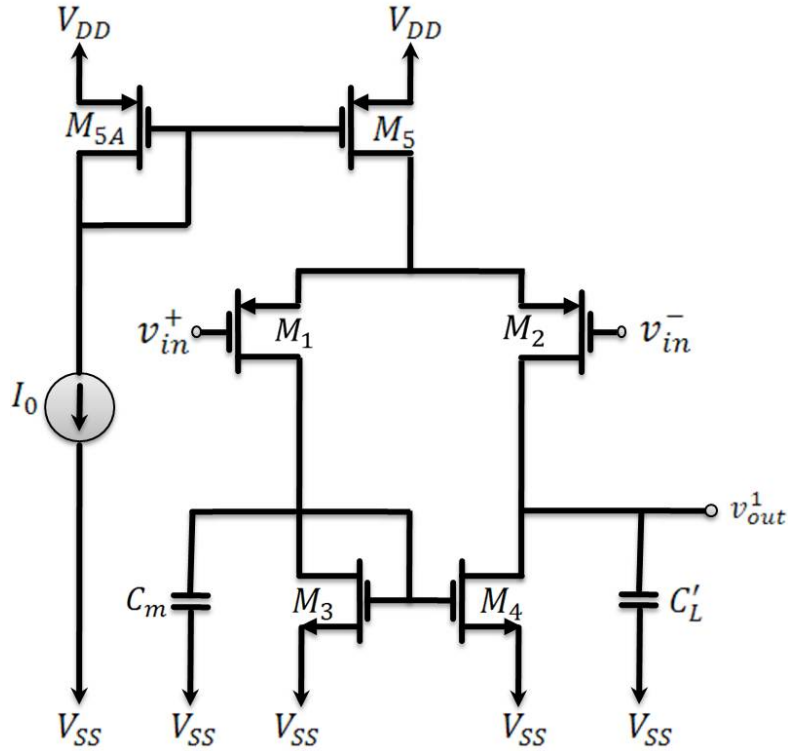


Figura 4. Primeiro bloco de um AmpOp.

Neste estágio observam-se os transistores M_1 e M_2 formando o par diferencial PMOS (com a entrada diferencial), os transistores M_3 e M_4 formando a carga ativa NMOS do primeiro estágio do amplificador e os transistores M_5 e M_{5A} formando o espelho de corrente responsável pela polarização dos demais transistores.

Na Figura 4 ainda são apresentados os capacitores C_m e C'_L . C_m é a capacitância total do nó de entrada formada principalmente por C_{gs3} , C_{gs4} , C_{gd1} , C_{db1} , e C_{db3} . A capacitância C'_L inclui: C_{gd2} , C_{db2} , C_{gd4} , C_{db4} e C_x , onde C_x se refere à capacitância de carga real e/ou a capacitância de entrada do estágio subsequente.

Essas duas capacitâncias determinam fundamentalmente a dependência do ganho diferencial com a frequência.

3.1.2. Resposta em Frequência

Aplicando um sinal de entrada v_{id} de forma balanceada, $\frac{v_{id}}{2}$ em v_{in}^+ e $-\frac{v_{id}}{2}$ em v_{in}^- , teremos uma variação na corrente de dreno de M_1 . Considerando o modelo de pequenos sinais do circuito, a corrente de dreno de M_1 será $-g_{m1}v_{id}/2$, a qual flui através do transistor M_3 e portanto, pela combinação paralela de $1/g_{m3}$ e C_{m1} (estamos desprezando as resistências r_{o1} e r_{o3} , por serem muito maiores que $1/g_{m3}$) [1]. Desse modo, a tensão

(7)

$$v_{gs3} = -\frac{g_{m1}v_{id}/2}{g_{m3} + sC_m}$$

Em resposta a v_{gs3} , o transistor M_4 conduz a corrente de dreno i_{D4} ,

(8)

$$i_{D4} = -g_{m4}v_{gs3} = \frac{g_{m4}g_{m1}v_{id}/2}{g_{m3} + sC_m}$$

No nó de saída a corrente total será $i_{out} = i_{D4} + i_{D2}$, $i_{D2} = g_{m2}(v_{id}/2)$, a qual flui através da combinação paralela de $R_0 = r_{o2} || r_{o4}$ e C_L . Considerando que $g_{m3} = g_{m4}$, pois os transistores M_3 e M_4 devem ser iguais e $g_{m1} = g_{m2}$, determinamos que a tensão na saída é:

(9)

$$v_{out}^1 = g_{m1}R_0\left(\frac{v_{id}}{2}\right)\left[1 + \frac{1}{1 + s\frac{C_m}{g_{m3}}}\right]\frac{1}{1 + sC_L'R_0}$$

ou

(10)

$$A_d(s) \equiv \frac{v_{out}^1}{v_{id}} = (g_{m1}R_0)\left(\frac{1}{1 + sC_L'R_0}\right)\left(\frac{1 + s\frac{C_m}{2g_{m3}}}{1 + s\frac{C_m}{g_{m3}}}\right)$$

O primeiro fator do lado direito da equação acima se refere ao ganho cc do amplificador. O segundo fator indica que C_L' e R_0 formam um pólo com frequência

(11)

$$f_{p1}^1 = -\frac{1}{2\pi C_L'R_0}$$

Este pólo, referente à carga (pólo de saída) é freqüentemente o pólo dominante. O terceiro fator do lado direito da equação indica que a capacitância C_m da entrada do espelho de corrente gera outro pólo com freqüência

(12)

$$f_{p2}^1 = -\frac{g_{m3}}{2\pi C_m}$$

e um zero com freqüência

(13)

$$f_z^1 = -\frac{2g_{m3}}{2\pi C_m}$$

Observa-se que f_z^1 é duas vezes f_{p2}^1 . Considerando $C_{gs3} = C_{gs4}$ a capacitância C_m pode ser aproximada por $2C_{gs3}$ e

(14)

$$f_{p2}^1 \cong -\frac{g_{m3}}{2\pi(2C_{gs3})} \cong -f_T/2$$

onde f_T é a freqüência de corte do transistor M_3 (freqüência onde o ganho de corrente do transistor é unitário).

Apesar de f_{p2}^1 e f_z^1 ocorrem em freqüências muito altas seus efeitos podem ser significativos.

Nas análises em circuitos multi-estágios, vamos desprezar o efeito de f_{p2}^1 e f_z^1 e considerar apenas o efeito de f_{p1}^1 .

O circuito da figura 4 poderia ter sido implementado utilizando-se transistores *NMOS* no par diferencial e no espelho de corrente e transistores *PMOS* na carga ativa. Os resultados obtidos na análise seriam similares aos anteriores.

3.2. Segundo estágio do AmpOp

3.2.1. Amplificador com *source* modo comum

O segundo bloco de um AmpOp, Figura 2, pode ser implementado de acordo com o circuito da Figura 5 [1]:

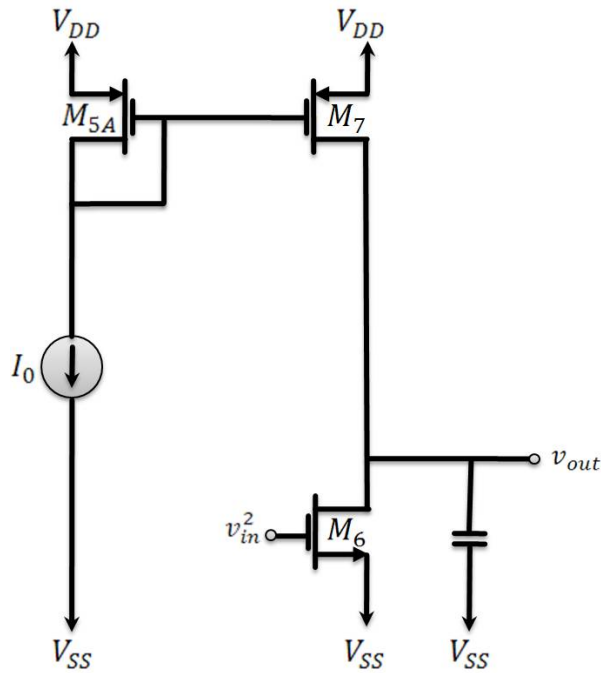


Figura 5. Segundo bloco amplificador de um AmpOp.

Neste estágio observa-se o transistor M_6 responsável pelo ganho e os transistores M_7 e M_{5A} formando o espelho de corrente responsável pela polarização de M_6 .

Na **Figura 5** ainda é apresentado o capacitor C_L . C_L é a capacitância total do nó de saída deste estágio formada principalmente por C_{db6} , C_{db7} , C_{gd7} e C_x^2 , onde C_x^2 é a capacitância de carga e/ou a capacitância de entrada do estágio subsequente.

3.2.2. Resposta em frequência

O modelo de pequenos sinais do circuito está representado na figura 6.

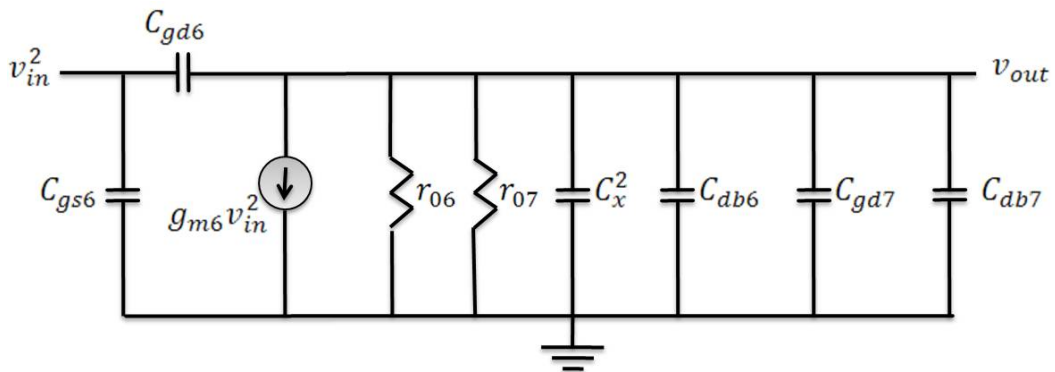


Figura 6. Modelo de pequenos sinais do segundo estágio.

Analisando o circuito acima, podemos encontrar que a relação entre tensão de entrada e tensão de saída é dada por [1]:

(15)

$$\frac{v_{out}}{v_{in}^2} = -g_{m6}(r_{06}||r_{07}) \frac{(1 - \frac{sC_{gd6}}{G_{m6}})}{(1 + s(C_x^2 + C_{db6} + C_{gd7} + C_{gd6} + C_{db7})(r_{06}||r_{07}))}$$

O primeiro fator do lado direito da equação acima se refere ao ganho cc do amplificador. O segundo fator indica que $C_x^2, C_{db6}, C_{gd7}, C_{gd6}, C_{db7}, r_{06}$ e r_{07} formam um pólo com frequência

(16)

$$f_p^2 = -\frac{g_{06} + g_{07}}{(C_x^2 + C_{db6} + C_{gd7} + C_{gd6} + C_{db7})2\pi}$$

e C_{gd6} forma um zero com frequência

(17)

$$f_z^2 = \frac{g_{m6}}{2\pi C_{gd6}}$$

3.3. Amplificadores de múltiplos estágios

3.3.1. AmpOp de dois estágios

Os amplificadores, na prática, consistem em múltiplos estágios conectados em cascata, como já foi discutido nas considerações iniciais deste trabalho. Os dois estágios anteriormente discutidos podem ser combinados. Desta forma obtêm-se características mais próximas às de um AmpOp ideal, conseguindo assim um comportamento mais satisfatório.

Para ilustrar a estrutura e análise dos amplificadores de múltiplos estágios, apresentamos um AmpOp CMOS de dois estágios [1], figura 7.

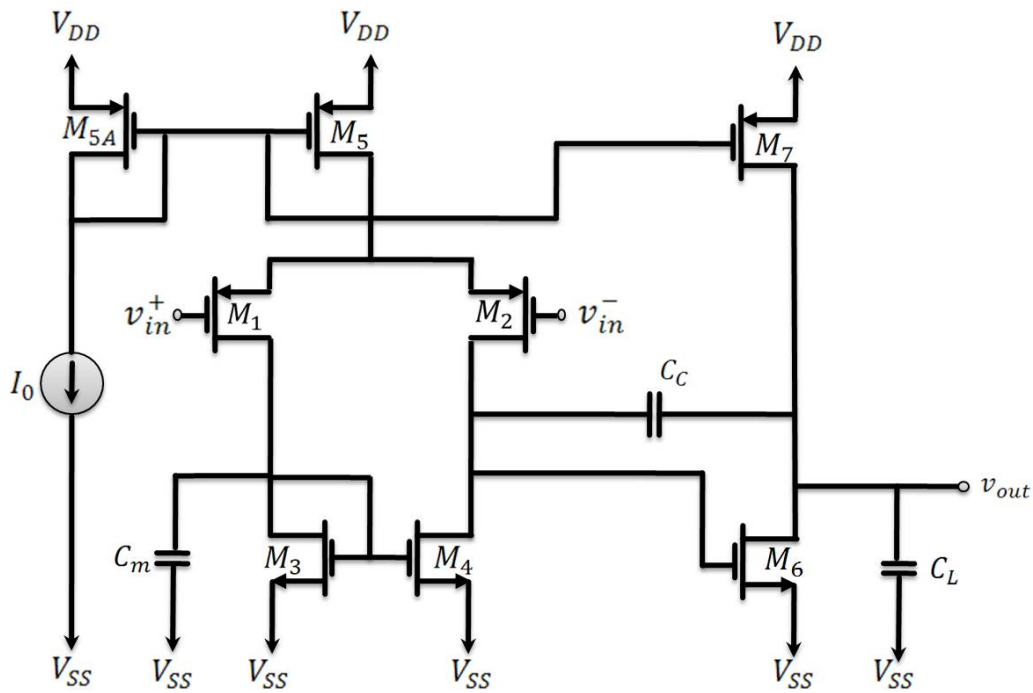


Figura 7. AmpOp de dois estágios.

A Figura 7 apresenta uma estrutura comum de um AmpOp de dois estágios. O primeiro estágio é idêntico ao apresentado anteriormente. Nele, M_1 e M_2 formam a entrada diferencial, M_3 e M_4 a carga ativa e M_{5A} e M_5 um espelho de corrente,. O segundo estágio, também já anteriormente discutido, é composto por M_7 que forma um espelho de corrente com M_{5A} (que também participa do espelho de corrente do primeiro estágio) e M_6 como um amplificador fonte comum com carga ativa. O capacitor C_C , denominado **capacitor de compensação**, forma uma realimentação negativa no segundo estágio. Este capacitor têm a função de proporcionar ao AmpOp um pólo dominante, garantindo um modo estável de operação para todos os possíveis tipos de realimentação externa. A técnica de inserção do capacitor de compensação é denominada *pole splitting* ou separação de pólos e será detalhada no momento adequado.

Essa configuração não é indicada para cargas de baixas impedâncias mas, apesar disso, ela é muito utilizada para implementação de AmpOps onde tem-se na saída uma pequena carga capacitiva. A configuração resultante é de qualidade razoável e pode ser implementada utilizando uma pequena área.

O ganho de tensão cc do primeiro estágio foi determinado anteriormente e é dado por:

(18)

$$A_1 = -g_{m1}(r_{02}||r_{04})$$

O ganho de tensão cc do segundo estágio também foi determinado e é dado por:

(19)

$$A_2 = -g_{m6}(r_{06}||r_{05})$$

O ganho cc em malha aberta do AmpOp é dado por:

(20)

$$A_d = A_1 A_2$$

3.3.2. Resposta em Frequência

Para determinar a resposta em frequência consideramos o circuito equivalente de pequenos sinais simplificado mostrado na Figura 8.

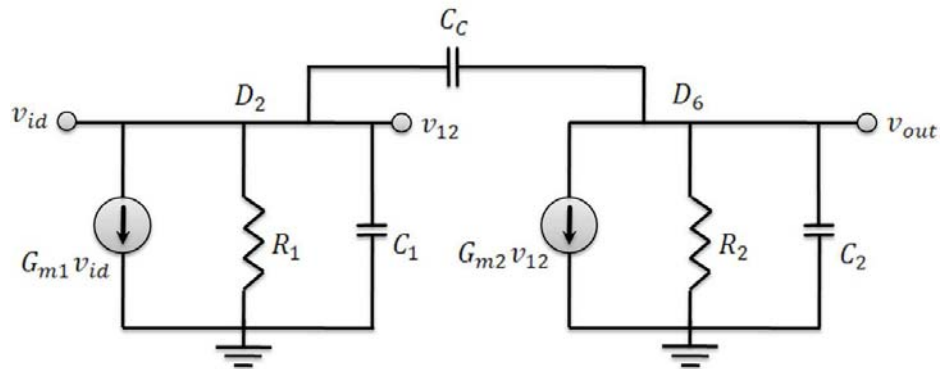


Figura 8. Modelo de pequenos sinais para o AmpOp de dois estágios.

O lado esquerdo da figura refere-se ao primeiro estágio (amplificador diferencial com carga ativa), tendo-se desconsiderado f_{p2}^1 e f_z^1 . Neste caso G_{m1} é a transcondutância de entrada ($G_{m1} = g_{m1}$), R_1 é a resistência de saída do primeiro estágio ($R_1 = r_{02}||r_{04}$), $v_{12} = v_{out}^1 = v_{in}^2$ é a tensão entre os estágios e C_1 é a capacitância total na interface entre o primeiro e o segundo estágios, dado por

(21)

$$C_1 = C_{gd4} + C_{db4} + C_{gd2} + C_{db2} + C_{gs6}$$

O lado direito da figura refere-se ao segundo estágio. Neste caso G_{m2} é a transcondutância ($G_{m2} = g_{m6}$) do transistor M_6 , R_2 é a resistência de saída do

segundo estágio ($R_2 = r_{06} || r_{07}$) e C_2 é a capacitância total do nó de saída do AmpOp dado por

(22)

$$C_2 = C_L + C_{db6} + C_{gd7} + C_{gd6} + C_{db7}$$

onde C_L é a capacitância da carga.

Normalmente C_L e C_c são muito maiores que as outras capacitâncias, de forma que C_2 é maior que C_1 e $C_c \gg C_{gd6}$.

Escrevendo a equação nodal de D2 temos:

(23)

$$G_{m1}v_{id} + \frac{v_{12}}{R_1} + sC_1v_{12} + sC_c(v_{12} - v_{out}) = 0$$

Escrevendo a equação nodal de D6:

(24)

$$G_{m2}v_{12} + \frac{v_{out}}{R_2} + sC_2v_{out} + sC_c(v_{out} - v_{12}) = 0$$

Resolvendo as duas equações, obtemos a relação entre tensão de saída e tensão de entrada dada abaixo:

(25)

$$\frac{v_{out}}{v_{id}} = \frac{G_{m1}(G_{m2} - sC_c)R_1R_2}{1 + s[C_1R_1 + C_2R_2 + C_c(G_{m2}R_1R_2 + R_1 + R_2)] + s^2[C_1C_2 + C_c(C_1 + C_2)]R_1R_2}$$

Observando a equação, percebe-se que o ganho cc é $(G_{m1}R_1)(G_{m2}R_2)$ como era esperado. A equação também indica a existência de um zero ($f_z = \frac{G_{m2}}{2\pi C_c}$) e dois pólos (f_{p1} e f_{p2}). Para determinar o valor dos dois pólos podemos expressar o polinômio do denominador como [1]:

(26)

$$D(s) = \left(1 + \frac{s}{2\pi f_{p1}}\right) \left(1 + \frac{s}{2\pi f_{p2}}\right) = 1 + s \left(\frac{1}{2\pi f_{p1}} + \frac{1}{2\pi f_{p2}}\right) + \frac{s^2}{4\pi^2 f_{p1}f_{p2}}$$

Havendo um pólo dominante, digamos f_{p1} , $D(s)$ pode ser aproximado por:

(27)

$$D(s) \cong 1 + \frac{s}{2\pi f_{p1}} + \frac{s^2}{4\pi^2 f_{p1} f_{p2}}$$

A frequência f_{p1} pode ser então obtida igualando os coeficientes dos termos em s nos denominadores das equações (25 e (27, resultando no pólo dominante dado por:

(28)

$$f_{p1} = \frac{1}{2\pi(R_1[C_1 + C_C(1 + G_{m2}R_2)] + R_2(C_2 + C_C))}$$

Uma vez que R_1 e R_2 são da mesma ordem de grandeza, que $C_1 \ll C_C$ e que $G_{m2}R_2 \gg 1$, podemos aproximar f_{p1} por:

(29)

$$f_{p1} = \frac{1}{2\pi R_1 C_C G_{m2} R_2}$$

Utilizando o valor de f_{p1} e a equação (27, obtemos f_{p2}

(30)

$$f_{p2} = \frac{G_{m2}C_C}{2\pi(C_1C_2 + C_C(C_1 + C_2))}$$

Uma vez que $C_1 \ll C_2$ e $C_1 \ll C_C$, f_{p2} pode ser aproximado por:

(31)

$$f_{p2} \cong \frac{G_{m2}}{2\pi C_2}$$

Com o pólo dominante, podemos estimar o valor da frequência de ganho unitário do AmpOp (*Gain Bandwidth - GBW*):

(32)

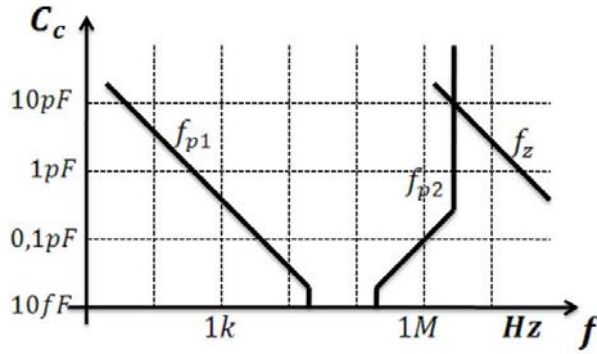
$$GBW \cong A_d f_{p1} \cong \frac{G_{m1}}{2\pi C_C}$$

Para proporcionar ao AmpOp estabilidade, o valor de C_C deve ser selecionado de tal forma que o valor resultante de GBW seja menor do que f_z e f_{p2} .

3.4. Técnica de Separação de pólos

A necessidade de estabilidade nos força a respeitar a condição acima descrita (zero e pólo não dominantes acima de GBW) e em geral utiliza-se $f_{p2} \cong 3GBW$.

A maior dificuldade para obtermos a aproximação acima é como deslocar o pólo não dominante para altas frequências. O diagrama de posição de zeros e pólos *versus* capacitância de compensação mostra o comportamento dos pólos e zeros com a variação desta capacitância [3].



$$f_z = G_{m2}/2\pi C_c$$

$$f_{p1} = \frac{1}{2\pi R_1 C_c G_{m2} R_2}$$

$$f_{p2} = \frac{G_{m2} C_c}{2\pi (C_1 C_2 + C_c (C_1 + C_2))}$$

Figura 9. Diagrama de posição de zeros e pólos *versus* frequência.

A figura 9 mostra um exemplo deste diagrama. Neste caso, para um C_c menor que aproximadamente $10 fF$, os pólos estão bem próximos um do outro. A partir de um valor de aproximadamente $20 fF$ os pólos começam a separar (*pole splitting*). A capacitância de compensação influencia também na posição do zero positivo, deslocando-o para frequências menores à medida que se aumenta o valor de C_c . Zeros positivos contribuem negativamente para a fase de forma semelhante a um pólo negativo. Essa característica pode implicar na instabilidade do AmpOp se f_z estiver próximo a f_{p2} .

3.5. Estabilidade do AmpOp

Para evitar problemas de instabilidade causados pelo zero positivo, duas abordagens podem ser adotadas:

1. A escolha de um valor apropriado para C_c [3]: de acordo com o gráfico, o valor de $1pF$ ou $2pF$ para C_c seriam suficientes para deslocar o pólo para que $f_{p2} \cong 3GBW$ e para manter o zero em uma frequência alta. Isso sugere que escolhendo um valor apropriado para C_c , é suficiente para encontrar uma posição de pólos e zeros que garanta a estabilidade. Nesta abordagem nem sempre conseguimos uma margem de fase satisfatória.
2. Inserção de um resistor em série com o capacitor de compensação [2]. Este resistor altera a posição do zero positivo além de acrescentar mais um pólo ao

sistema. As deduções do circuito com o resistor em série com C_c serão apresentadas a seguir.

Após a inserção de um resistor R_c em série com um capacitor C_c obtém-se o seguinte modelo de pequenos sinais.

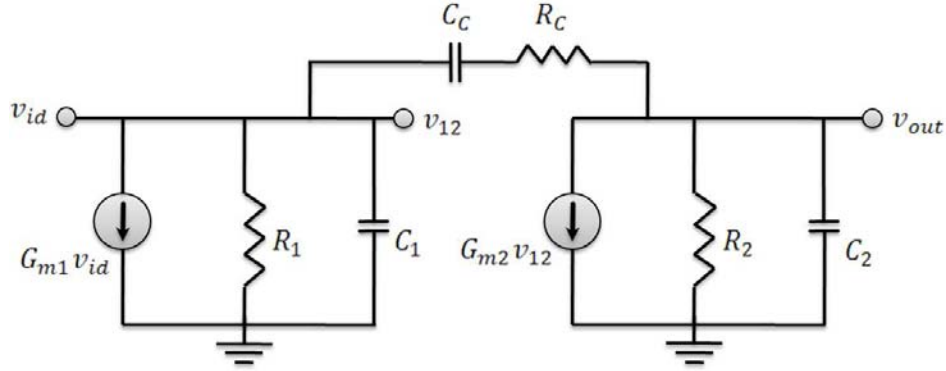


Figura 10. Modelo de pequenos sinais do AmpOp de dois estágios com resistor em série com o capacitor de compensação.

Com a análise nodal do circuito da Figura 10, obtemos a seguinte função de transferência:

(33)

$$A_R(s) = \frac{A_D(1 + s/\omega_z^R)}{(1 + s/2\pi f_{p1})(1 + s/2\pi f_{p2})(1 + s/2\pi f_{p3})}$$

onde, $A_R(s)$ é o ganho da configuração onde o resistor está presente, A_D , f_{p1} e f_{p2} são os mesmos anteriormente encontrados.

O novo zero do circuito será

(34)

$$f_z^R = -\frac{1}{2\pi[(R_c - 1)/G_{m2}]C_c}$$

e o pólo inserido será

(35)

$$f_{p3} \approx -\frac{1}{2\pi R_c} \left(\frac{1}{C_c} + \frac{1}{C_1} + \frac{1}{C_2} \right)$$

Nessa abordagem existem dois caminhos distintos para tratar o zero. Um deles é jogá-lo para infinito e o outro é cancelá-lo com f_{p2} . Em ambas as soluções, o pólo f_{p3} é colocado acima de GBW.

É possível deslocar f_z^R para infinito se o valor do denominador do lado direito da equação(34 for igualado à zero, o que significa assumir $R_C = 1/G_{m2}$.

O segundo caminho, cancelar o zero com f_{p2} , pode ser obtido igualando f_z^R e f_{p2} , resultando em

(36)

$$R_C \cong \frac{1 + (C_1 + C_2)/C_C}{G_{m2}}$$

Este resultado proporciona ao AmpOp uma resposta com apenas dois pólos.

3.6. Slew rate do AmpOp

O fenômeno do *slew rate* é não linear e pode ser analisado através do modelo de grandes sinais do AmpOp mostrado na Figura 11 abaixo. Nesta figura, o segundo estágio do AmpOp foi modelado por um amplificador ideal [2].

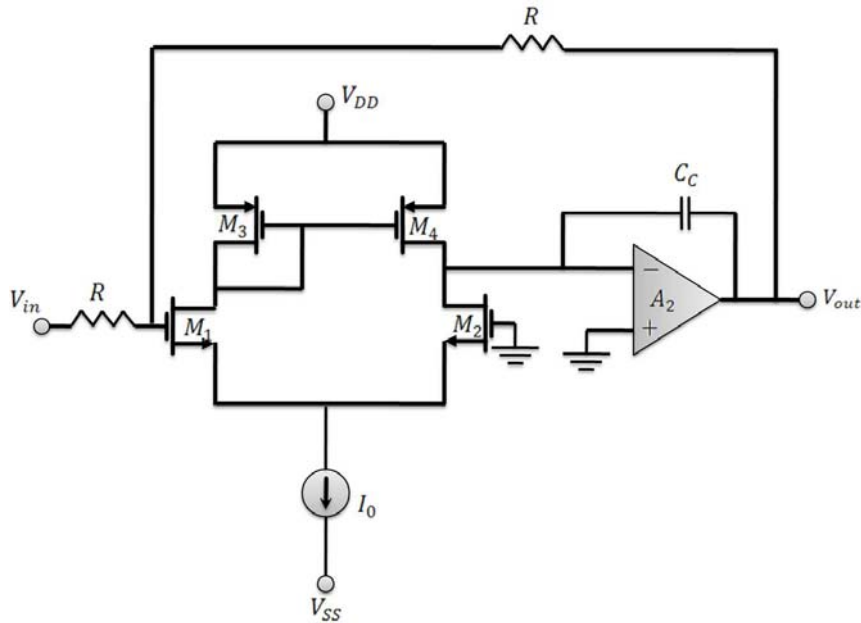


Figura 11. Modelo de grandes sinais para cálculo do Slew Rate de um AmpOp CMOS.

Aplicando um degrau na entrada V_{in} com valores entre V_{DD} e V_{SS} podemos verificar sua influência na saída e na região de operação dos transistores. Quando

$V_{in} = 0\text{ V}$ as correntes em M_1 e M_2 são iguais a $I_0/2$. Após a ocorrência do degrau (por exemplo $V_{in} = V_{DD}$), M_1 conduzirá a corrente I_0 , que será espelhada para M_4 . Essa corrente é fornecida ao capacitor C_C . Assumindo que o segundo estágio possa fornecer suficiente corrente, a variação da tensão na saída é igual à variação da tensão sobre o capacitor C_C . Neste caso, encontramos que o *slew rate* do AmpOp será:

(37)

$$S_r = \left| \frac{dV_{out}}{dt} \right| = \left| -\frac{1}{C_C} \frac{dQ_C}{dt} \right| = \frac{I_0}{C_C}$$

onde Q_C é a carga de C_C . O processo complementar ocorre quando a tensão de entrada vai a V_{SS} . Agora M_1 está cortado e, como consequência, M_3 e M_4 serão cortados fazendo C_C ser descarregado através de M_2 com uma corrente I_0 . O *slew rate* do AmpOp é também agora I_0/C_C .

4. Métodos e implementações realizadas

4.1. Implementação utilizando apenas capacitores (1ª abordagem)

Seguindo a primeira abordagem, Figura 7, partimos do valor de capacitância de carga (C_L), a relação entre as capacitâncias de carga e compensação (denominaremos essa relação como α), o tamanho do comprimento de canal (L) para transistores NMOS e PMOS, o *slew rate* (S_R) e a frequência de ganho unitário (GBW).

Com os valores do *slew rate* e da capacitância de compensação, através da equação(37, calculamos qual deve ser a corrente I_0 que proporcionará a carga e descarga do capacitor de compensação.

Para garantir que o segundo estágio seja capaz de drenar ou fornecer toda a corrente necessária para descarregar ou carregar o capacitor de compensação, a corrente do segundo estágio deve assumir um valor algumas vezes maior que o da corrente I_0 . A corrente que passa por M_6 será calculada por:

$$I_6 = 2,5I_0 = 2,5S_R C_L$$

De acordo com a equação(30 e aproximando C_1 por C_{gs6} , C_2 por C_L e G_2 por g_{m6} , obtemos para f_{p2} :

(38)

$$f_{p2} \approx \frac{g_{m6}}{2\pi C_L} \frac{1}{1 + \frac{C_{gs6}}{C_C}}$$

Tomando $f_p^2 = 3GBW$, para garantir que a margem de fase seja maior que 60° [3], é possível encontrar g_{m6} se inicialmente desprezarmos C_{gs6} .

A corrente I_6 , que passa pelo transistor M_6 relaciona-se com g_{m6} através de:

(39)

$$g_{m6} = \frac{2I_6}{(V_{gs6} - V_t)}$$

de onde se obtém o valor de $(V_{gs6} - V_t)$. Com isso, já é possível uma estimativa sobre o valor de W_6 , visto que:

(40)

$$W_6 = \frac{g_{m6} L_n}{2\mu_n C_{ox} (V_{gs6} - V_t)}$$

Com o valor de W_6 podemos agora estimar o valor de C_{gs6} :

(41)

$$C_{gs6} = W_6 L_n C_{ox}$$

Obtivemos inicialmente g_{m6} , $(V_{gs6} - V_t)$ e W_6 desconsiderando o valor C_{gs6} . Tendo agora uma estimativa para o valor da capacitância C_{gs6} , podemos a partir da equação (38), recalculamos esses parâmetros. O processo é repetido até que dois valores consecutivos de W_6 estejam suficientemente próximos.

A partir da equação (32) é possível obter o valor de g_{m1} . Com os valores de g_{m1} e I_0 calculamos $(V_{gs1} - V_t)$ e por sua vez W_1 e W_2 .

Como as tensões *gate-source* de M_3 , M_4 e M_6 são as mesmas, têm-se:

(42)

$$W_3 = W_4 = \frac{(I_0/2)W_6}{I_6}$$

Impondo que a tensão no *gate-source* dos transistores que formam o espelho de corrente (M_5 , M_{5A} e M_7) menos V_{tp} seja 0,4 V, tensão de *overdrive*, podemos calcular as dimensões dos transistores M_5 , M_{5A} e M_7 com as relações:

(43)

$$W_7 = \frac{I_6 L_p}{\mu_p C_{ox} (0,4)^2}$$

(44)

$$W_5 = W_{5A} = \frac{W_7 I_0}{I_6}$$

Finalizamos assim o dimensionamento de todos os elementos do AmpOp nesta abordagem.

4.2. Implementação utilizando cancelamento de zero (2ª abordagem)

Tomando-se como base a segunda abordagem, a configuração obtida é a apresentada na figura abaixo. Para ilustrar que o AmpOp pode ser implementado utilizando transistores tanto *NMOS* quanto *PMOS* no par diferencial na sua carga ativa, nesta abordagem apresentamos a configuração obtida substituindo os transistores *NMOS* por *PMOS* e vice-versa.

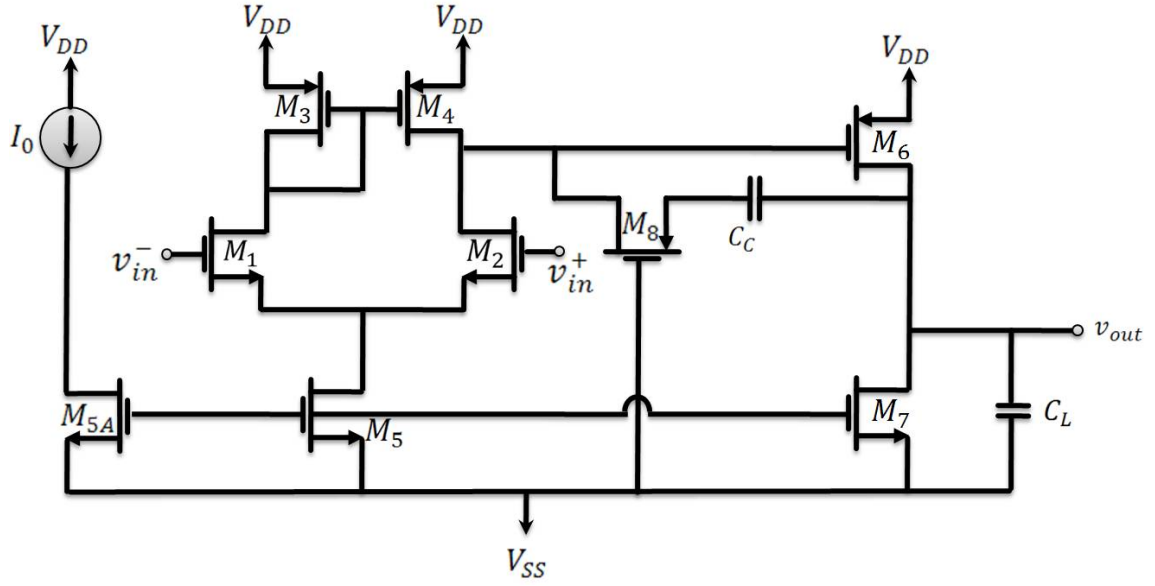


Figura 12. Configuração para implementação do AmpOp utilizando a segunda abordagem.

Observe o transistor M_8 em série com o capacitor de compensação; M_8 está com o *gate* em V_{SS} , o que faz com que seu comportamento seja semelhante ao de um resistor.

Partindo dos mesmos parâmetros da primeira abordagem (C_L , α , L_n , L_p , S_R e GBW), e considerando $\alpha = 1$, W_6 , W_1 , W_2 , W_3 e W_4 , W_5 , W_{5A} e W_7 são calculados da mesma forma apresentada acima.

Para dimensionarmos W_8 , partindo da equação (34) obtemos:

(45)

$$R_c = \frac{1}{|2\pi f_Z^R|C_c} + \frac{1}{g_{m6}}$$

Para tratar o problema do zero positivo, podemos, como já dito, deslocar o novo zero criado por R_c para $+\infty$ ou colocá-lo na mesma posição de f_{p2} . Este último será o método adotado, logo como $C_c = C_L$:

(46)

$$R_c = \frac{1}{|2\pi f_{p2}|C_c} + \frac{1}{g_{m6}} \cong \frac{2}{g_{m6}}$$

Desde que o *gate* de M_8 esteja em V_{SS} , o transistor funcionará como um resistor de valor [2]:

(47)

$$\frac{1}{R_c} = \left| \frac{\partial i_{D8}}{\partial v_{D8}} \right| \approx \mu_p C_{ox} \left(\frac{W_8}{L_p} \right) |V_{gs8} - V_{tp}| = \mu_p C_{ox} \left(\frac{W_8}{L_p} \right) (|V_{SS} - v_{D8}| - |V_{tp}|)$$

onde i_{D8} e v_{D8} são a corrente e tensão, respectivamente, no dreno de M_8 .

Com a equação (47), determinamos as dimensões de M_8 , finalizando o dimensionamento de todos os componentes do AmpOp nesta abordagem.

Ambas as abordagens foram implementadas em *software* para projeto de AmpOp na tecnologia CMOS 0,35 μ da AMS (*Austria Micro Systems*), com 4 níveis de metais e duas camadas de polisilício [4]. Nos programas implementados as entradas são: capacitância de carga, relação entre os capacitores de compensação e carga, frequência de ganho unitário, *slew rate* e comprimento de canal dos transistores (L). Os *softwares* implementados além de calcularem as dimensões dos transistores, geram arquivos de simulação para *hspice* [5].

5. Resultados

5.1. Circuito implementado utilizando a 1ª abordagem

5.1.1. Dimensões dos componentes

Aqui apresentaremos um exemplo de projeto seguindo a primeira abordagem. A Tabela 1 a seguir fornece os valores dos parâmetros escolhidos para este exemplo. O dimensionamento dos transistores foi feito através de *software* implementado e a simulação através do *hspice* [5], com os modelos típicos da tecnologia, anexos D e E, tensão $V_{DD} = 3\text{ V}$ e $V_{SS} = 0\text{ V}$.

Tabela 1 - Especificações de um AmpOp.

Descrição	Variável	Valor
Capacitância de Carga	C_L	2 pF
Capacitância de Compensação	C_c	2 pF
Alpha (C_L/C_c)	α	1
Frequência de Ganho Unitário	GBW	15 MHz
<i>Slew Rate</i>	S_r	$15\text{ V}/\mu\text{s}$
Comprimento do Canal dos Transistores NMOS	L_n	$1\text{ }\mu\text{m}$
Comprimento do Canal dos Transistores PMOS	L_p	$2\text{ }\mu\text{m}$

As dimensões dos componentes obtidas neste projeto estão apresentadas na Tabela 2 e o valor de I_0 é de $30\text{ }\mu\text{A}$.

Tabela 2 - Dimensões obtidas com as especificações da tabela 1.

Transistor	Tipo	Largura (μm)	Comprimento do Canal (μm)
M1	PMOS	69,67	2,00
M2	PMOS	69,67	2,00
M3	NMOS	2,03	1,00
M4	NMOS	2,03	1,00
M5	PMOS	11,03	2,00
M5A	PMOS	11,03	2,00
M6	NMOS	10,15	1,00
M7	PMOS	27,57	2,00

5.1.2. Tensão de *offset* sistemático, resposta em frequência e *slew rate*

Antes da análise AC do circuito, é necessário a verificação da tensão de *offset* sistemática do AmpOp. Para isso aplica-se uma tensão fixa de 1,5 V na entrada negativa (v_{in}^-), uma tensão variando de 1 V a 2 V na entrada positiva (v_{in}^+), e verifica-se qual tensão na entrada positiva proporcionou 1,5 V na saída (v_{out}).

A Figura 13 apresenta o gráfico que relaciona a tensão da entrada positiva (eixo vertical) com a saída (eixo horizontal).

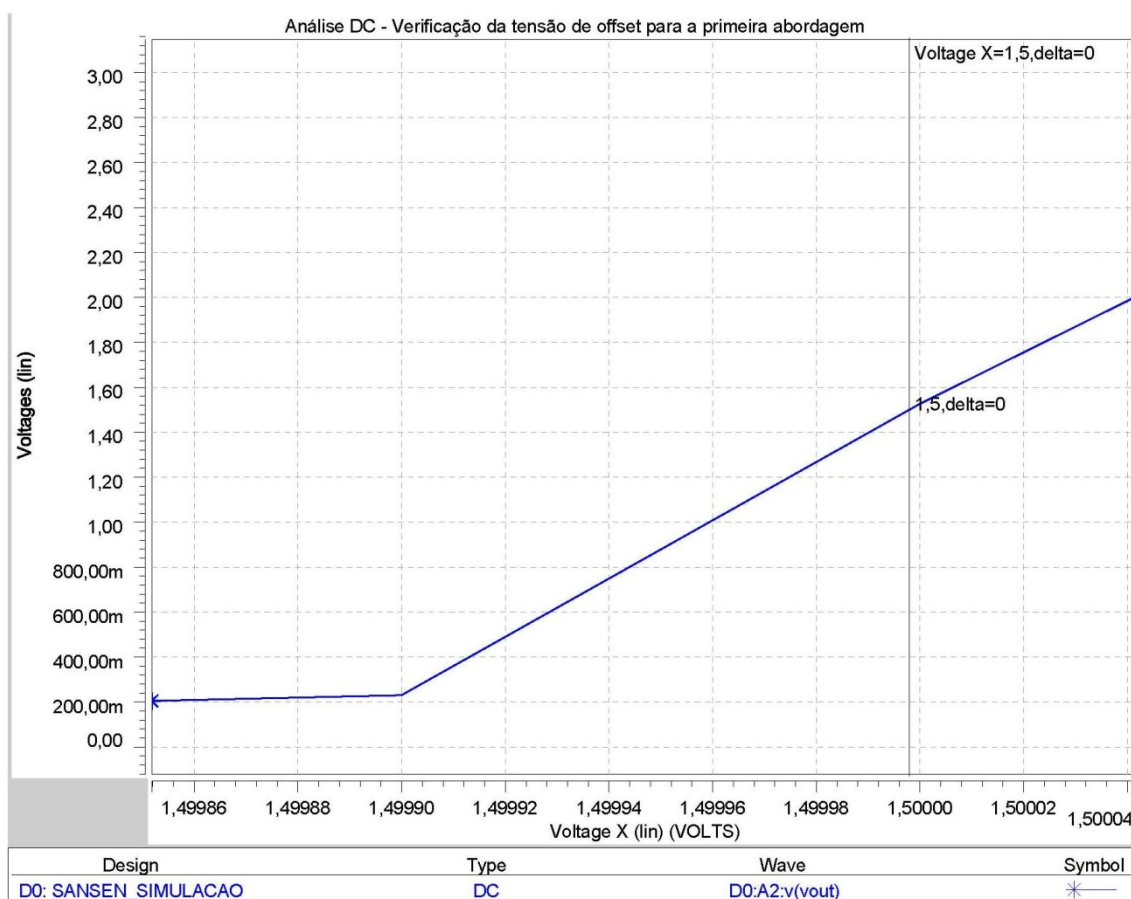


Figura 13. Gráfico que relaciona o sinal na saída com o sinal na entrada positiva - Verificação da tensão de *offset* sistemático.

Pela Figura 13 acima observa-se que a tensão de *offset* sistemático está próxima a 0 V.

A resposta em frequência para a simulação AC do AmpOp com as dimensões da Tabela 2 está apresentada na Figura 14 abaixo. O eixo horizontal apresenta a frequência em escala logarítmica e o eixo vertical apresenta o ganho em dB (escala da esquerda) e a fase em graus (escala da direita).

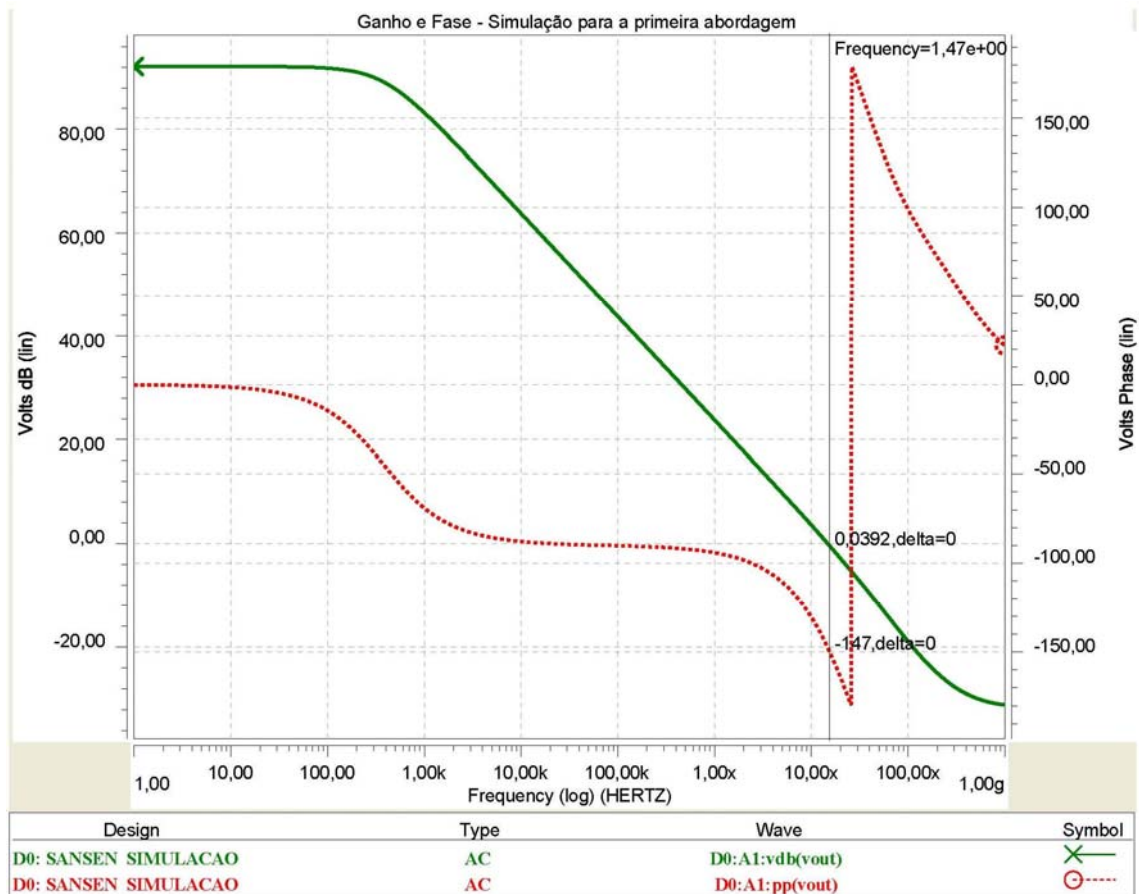


Figura 14. Diagrama de Bode da simulação para a primeira abordagem.

Pela figura 14, observa-se que a frequência em Hertz de ganho unitário obtida foi de 14,7 MHz, um valor próximo ao desejado, e a fase nesta frequência está em -147° (margem de fase de 33°).

O *slew rate* pode ser verificado através de uma análise no tempo. Aplicando uma tensão de 1,5 V constante em v_{in}^- e uma onda quadrada em v_{in}^+ , entre 1 V e 2 V, 10 μs de período, 1 ηs de tempo de subida/descida, verifica-se como a saída segue a entrada na Figura 15. No eixo horizontal temos o tempo em microssegundos e no eixo vertical, a tensão em volts.

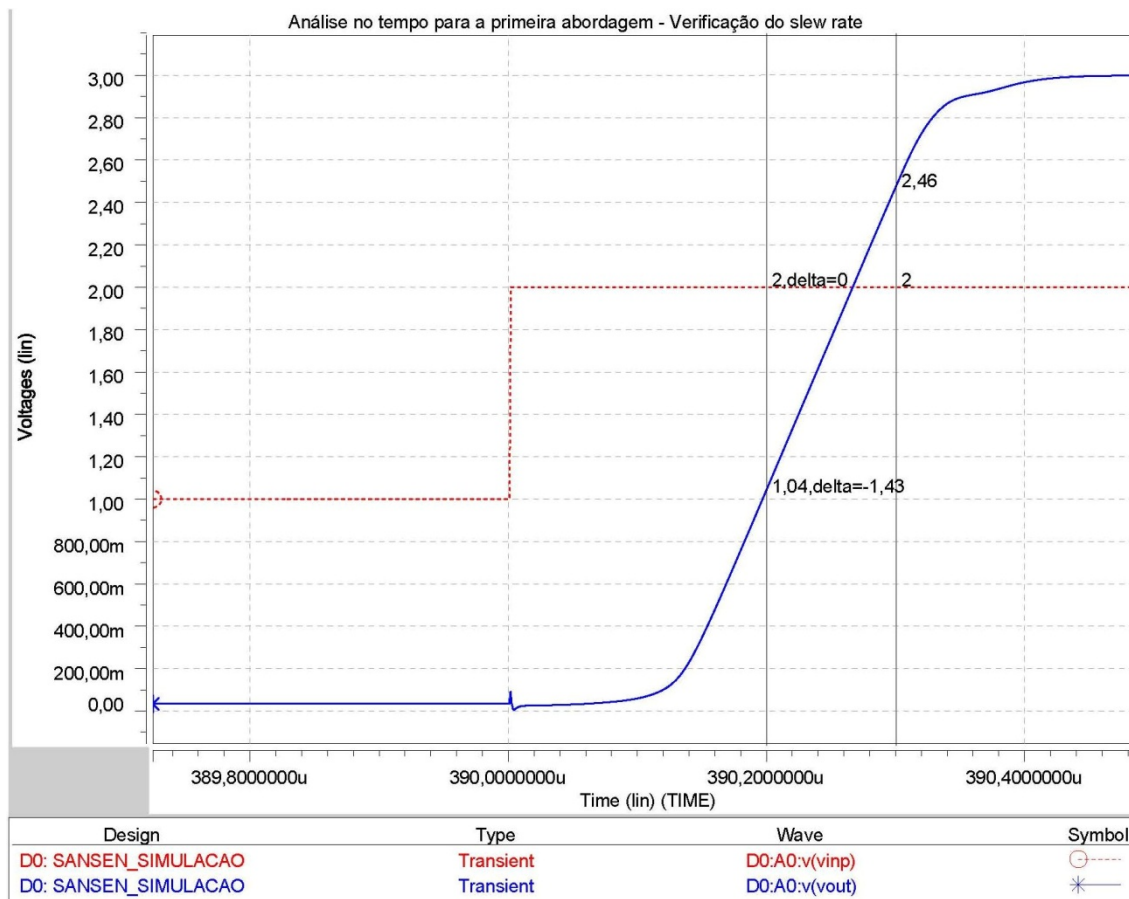


Figura 15. Gráfico da resposta no tempo do AmpOp simulado com a primeira abordagem - Verificação do *slew rate*.

Pela Figura 15, observa-se que o *slew rate* obtido foi de $14,2 \text{ V}/\mu\text{s}$, suficientemente próximo do valor requerido ($15,0 \text{ V}/\mu\text{s}$).

5.1.3. Consumo de potência

Para medir a potência consumida pelo amplificador, fixou-se as duas tensões de entrada em $1,5 \text{ V}$. Nessa situação a corrente consumida foi de $170 \mu\text{A}$ e a potência $0,51 \text{ mW}$. Este valor está dentro do esperado para circuitos deste porte.

5.2. Circuito implementado utilizando a 2ª abordagem

5.2.1. Dimensões dos componentes

Aqui apresentaremos outro exemplo de projeto seguindo a segunda abordagem. Os valores dos parâmetros escolhidos para este exemplo são os mesmos apresentados na Tabela 1. O dimensionamento dos transistores foi feito através de *software* implementado e a simulação através do *hspice*, com os modelos típicos da tecnologia, tensão $V_{DD} = 3 \text{ V}$ e $V_{SS} = 0 \text{ V}$.

As dimensões dos componentes estão apresentadas na Tabela 3 e o valor da corrente I_0 é de 30 μA .

Tabela 3 - Dimensões obtidas com as especificações da tabela 1 para a segunda abordagem

Transistor	Tipo	Largura (μm)	Comprimento do Canal (μm)
M1	NMOS	5,38	1
M2	NMOS	5,38	1
M3	PMOS	12,54	2
M4	PMOS	12,54	2
M5	NMOS	2,50	1
M5a	NMOS	2,50	1
M6	PMOS	62,70	2
M7	NMOS	6,26	1
M8 ($R_C = 3,54\text{ K}\Omega$)	PMOS	5,56	2

5.2.2. Tensão de *offset* sistemático, resposta em frequência e *slew rate*

Uma simulação DC foi inicialmente realizada para que a tensão de *offset* sistemático fosse encontrada. Neste caso o valor determinado foi de 3 μV .

Em seguida realizada a simulação AC. A resposta em frequência para a simulação AC do AmpOp com as dimensões da Tabela 3 está apresentada na Figura 16.

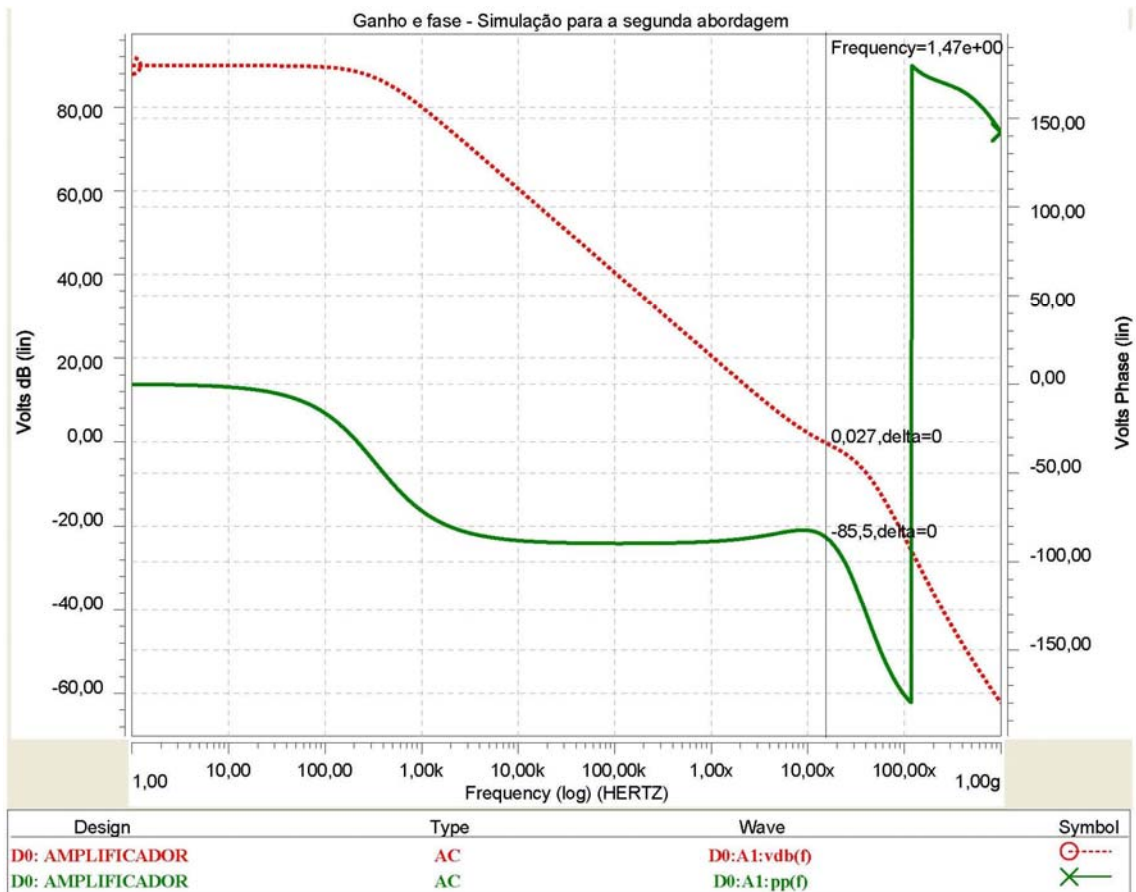


Figura 16. Diagrama de Bode da simulação para a segunda abordagem.

Pela Figura 16, observa-se que a frequência de ganho unitário obtida foi de 14,7 MHz, um valor próximo ao desejado, e a fase nesta frequência está em $-85,5^\circ$ (margem de fase de $94,5^\circ$).

O *slew rate* foi verificado através de uma análise no tempo. Aplicando uma tensão de 1,5 V constante em v_{in}^- e uma onda quadrada em v_{in}^+ , entre 1 V e 2 V, 10 μs de período, 1 ηs de tempo de subida/descida, como na primeira abordagem, verifica-se como a saída segue a entrada na Figura 157 abaixo.

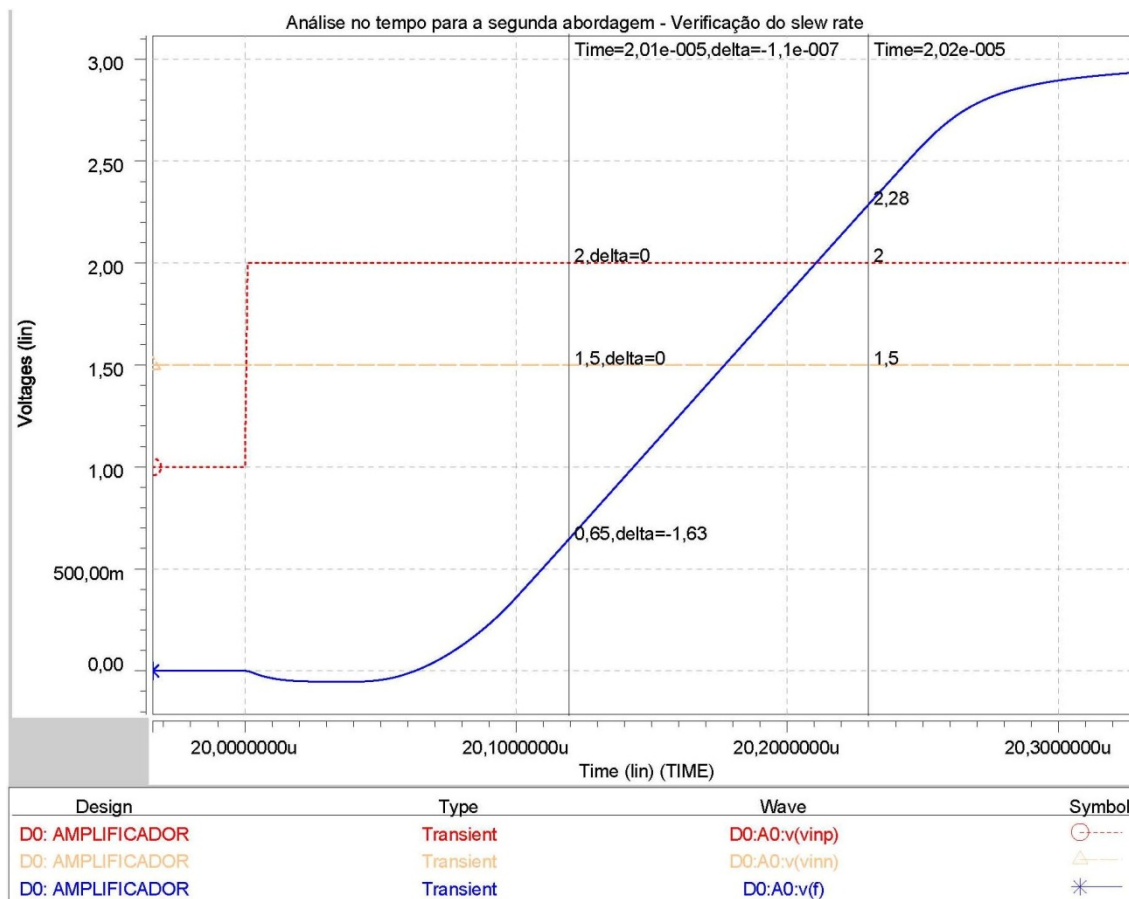


Figura 17. Gráfico da resposta no tempo do AmpOp simulado com a segunda abordagem - Verificação do *slew rate*.

Como pode ser observado pela Figura 17, observa-se que o *slew rate* obtido foi de $14,82 \text{ V}/\mu\text{s}$, suficientemente próximo do valor requerido ($15,0 \text{ V}/\mu\text{s}$).

5.2.3. Consumo de potência

Para medir a potência consumida pelo amplificador, fixou-se as duas tensões de entrada em 1,5 V. Nessa situação a corrente consumida foi de $91 \mu\text{A}$ e a potência 0,27 mW. Este valor está dentro do esperado para circuitos deste porte.

5.3. Implementação do *Layout*

De acordo com os resultados obtidos nas simulações das duas implementações, vemos que a segunda apresenta maior margem de fase, garantindo assim maior estabilidade. Por esse motivo a segunda implementação foi a escolhida para geração de *layout*.

Partindo-se das dimensões fornecidos pelo *software* apresentadas na tabela 1, foram realizados os seguintes passos: desenho do esquemático do circuito no

software **Design Architect** [6]; geração automática dos dispositivos no software **IC Station** [7]; posicionamento e conexão dos transistores; verificação de regras de desenho com o software **Design Calibre DRC** [8]; comparação do *layout* com o esquemático através do **Design Calibre LVS** [9]; e extração de *netlist* considerando as capacitâncias parasitas e de acoplamento.

Para este circuito duas camadas de *POLY* (Polisilício) para o capacitor e duas camadas de metal para as conexões foram suficientes.

A Figura 18 apresenta uma visão de todo o *layout* do circuito. As dimensões dele são de $86,7 \mu m$ (horizontal) por $56,66 \mu m$ (vertical).

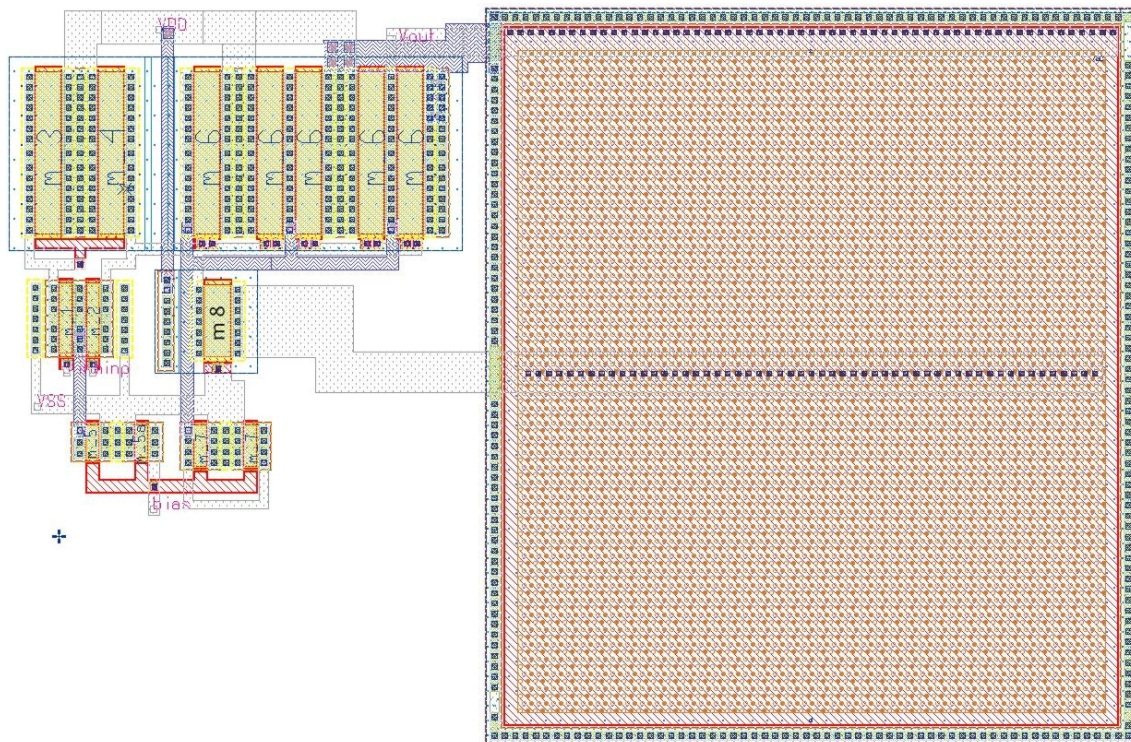


Figura 18. Visão de todo o *layout* do AmpOp.

A Figura 19 apresenta uma visão mais detalhada do AmpOp omitindo-se o capacitor de compensação. As dimensões desta figura são de $34,8 \mu m$ (horizontal) por $38,8 \mu m$ (vertical).

Observemos que no *layout* não está implementada a fonte de corrente. Normalmente, para circuitos analógicos, uma única fonte de corrente é implementada para todo o sistema e a corrente é distribuída ou espelhada por espelhos de corrente (como aquele formado por M_5 , M_{5A} e M_7). Configurações para fonte de corrente podem ser encontradas no capítulo 11 da referência [10].

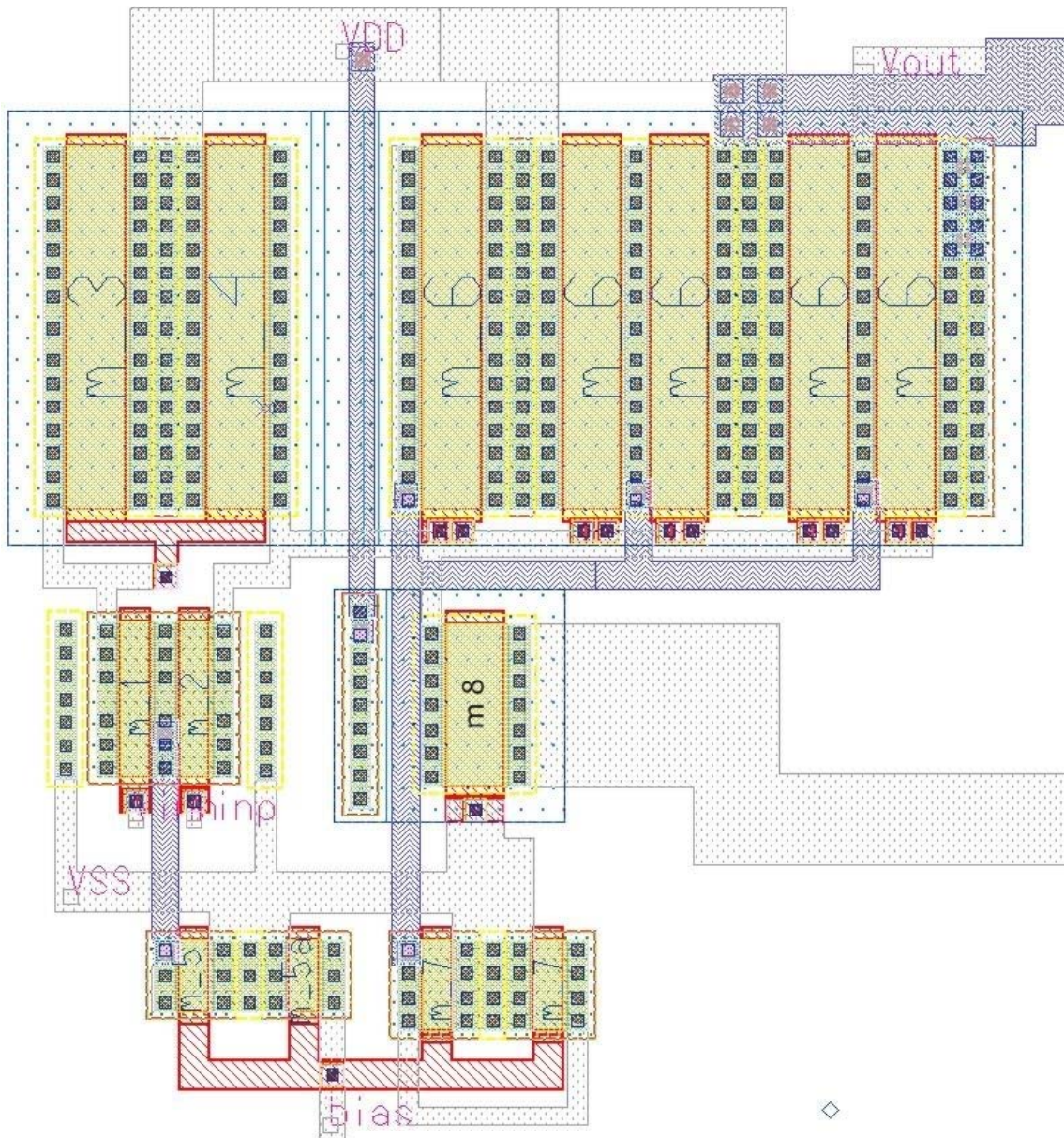


Figura 19. Layout do AmpOp omitindo-se o capacitor de compensação.

5.3.1. Tensão de *offset* sistemático, resposta em frequência e *slew rate*

Foi simulado o circuito *netlist* obtido a partir do *layout* (anexo C). Os resultados desta simulação devem estar suficientemente próximos à resposta do circuito integrado implementado em uma pastilha de silício. A simulação foi realizada através do *hspice* [5], com os modelos típicos da tecnologia, tensão $V_{DD} = 3\text{ V}$ e $V_{SS} = 0\text{ V}$.

Uma simulação DC foi inicialmente realizada para que a tensão de *offset* sistemático fosse encontrada. Neste caso o valor determinado foi de $21\text{ }\mu\text{V}$. Em seguida realizada a simulação AC. A resposta em frequência para a simulação AC do AmpOp está apresentada na Figura 20.

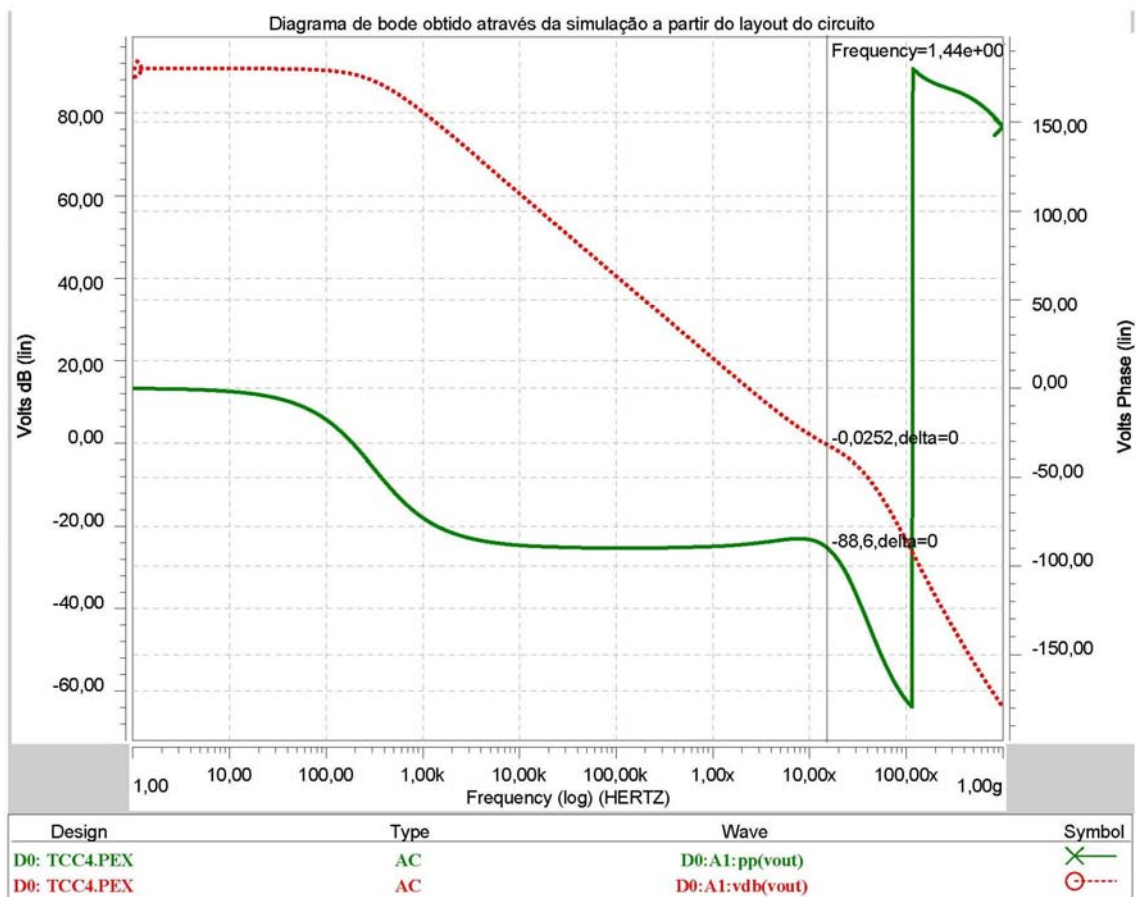


Figura 20. Diagrama de Bode da simulação utilizando *netlist* obtido a partir do *layout*.

Pela Figura 20, observa-se que a frequência de ganho unitário obtida foi de 14,4 MHz, um valor um pouco a baixo do obtido na simulação anterior do mesmo circuito (14,7 MHz). A diferença se deve às capacitâncias parasitas que foram consideradas nesta simulação. A fase na frequência de ganho unitário foi de $-88,6^\circ$ (margem de fase de $91,4^\circ$).

O *slew rate* foi verificado através de uma análise no tempo. Aplicando uma tensão de 1,5 V constante em v_{in}^- e uma onda quadrada em v_{in}^+ , entre 1 V e 2 V, 10 μs de período, 1 ηs de tempo de subida/descida, como na primeira abordagem, verifica-se como a saída segue a entrada na Figura 21.

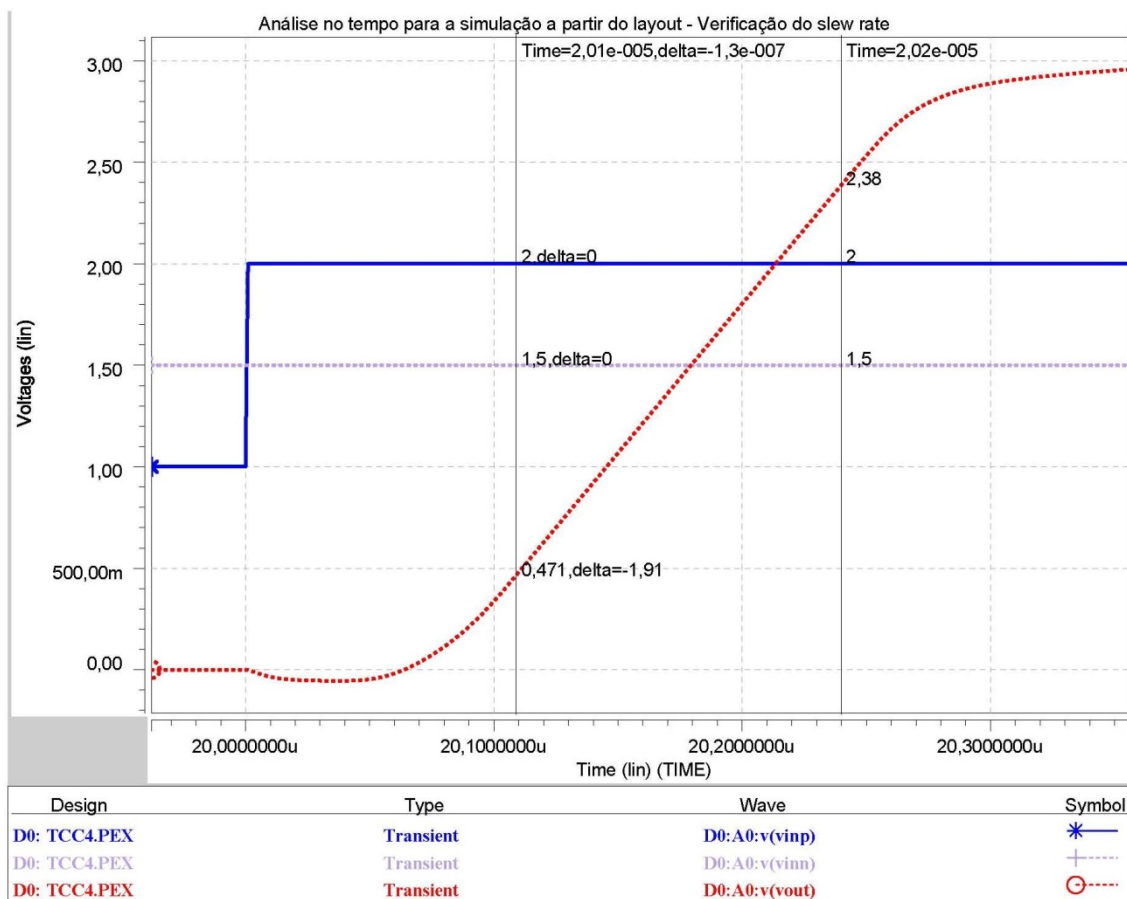


Figura 21. Gráfico da resposta no tempo do AmpOp simulado com *layout* - Verificação do *slew rate*.

Pela Figura 1721, observa-se que o *slew rate* obtido foi de $14,69 \text{ V}/\mu\text{s}$, suficientemente próximo do valor requerido ($15,0 \text{ V}/\mu\text{s}$).

5.3.2. Consumo de potência

Para medir a potência consumida pelo amplificador, fixaram-se as duas tensões de entrada em 1,5 V. Nessa situação a corrente consumida foi de $90 \mu\text{A}$ e a potência 0,27 mW. Este valor está dentro do esperado para circuitos deste porte.

6. Conclusão

Neste trabalho foram estudados amplificadores CMOS. Este estudo envolveu a escolha de topologias, o levantamento de relações teóricas para seu funcionamento, a implementação de programas em C para cálculo de dimensões de transistores e geração de *netlists* para simuladores, o projeto de exemplos de amplificadores com as topologias escolhidas (dimensionamento dos transistores e simulações) e o desenho do *layout* completo, acrescidas de simulações pós-*layout* de um circuito amplificador na tecnologia CMOS de 0,35 μm da AMS.

O AmpOp estudado é composto de dois estágios amplificadores. O primeiro estágio compreende par diferencial e carga ativa. O segundo estágio compreende transistor com configuração *source* comum. Espelhos de corrente foram utilizados para polarização de ambos os estágios.

A modelagem do primeiro estágio do AmpOp mostrou, na análise em frequência, que ele tem dois pólos e um zero. Porém, o zero e o pólo não dominante foram desconsiderados, podendo assim, modelar este estágio por uma fonte de corrente controlada por tensão, resistência e capacitância. Essa modelagem mostrou-se satisfatória, visto que o AmpOp resultante se comportou de maneira próxima a esperada.

A modelagem do segundo estágio do AmpOp mostrou, na análise em frequência, que ele tem um pólo e um zero, portanto foi também modelado por uma fonte de corrente controlada por tensão, resistência e capacitância.

O trabalho apresentou duas abordagens para projeto e implementação do AmpOp. As abordagens diferem: na estratégia adotada para tratamento do zero positivo (que pode levar à instabilidade) e no tipo de transistores (NMOS ou PMOS) utilizados no par diferencial, na carga ativa, nos espelhos de corrente e no segundo estágio. Para cada uma das abordagens, um projeto foi executado e simulado.

Na primeira abordagem a técnica aplicada para o tratamento do zero positivo foi a escolha adequada do capacitor de compensação. Aqui foram aplicados transistores PMOS no par diferencial e espelhos de corrente e transistores NMOS na carga ativa e no transistor de ganho do segundo estágio.

Na segunda abordagem a técnica aplicada para o tratamento do zero positivo foi a inserção de um resistor em série com o capacitor de compensação. Aqui foram

aplicados transistores NMOS no par diferencial e espelhos de corrente e transistores PMOS na carga ativa e no transistor de ganho do segundo estágio.

Dois programas foram implementados em linguagem C (Anexos A e B) para calcular as dimensões dos componentes para cada uma das abordagens. Esses *softwares* permitiram rapidez na obtenção das dimensões dos dispositivos e na geração de arquivos de simulação. Desta forma pode-se alterar facilmente o valor de certos parâmetros de entrada e verificar seu impacto na resposta do circuito.

As duas abordagens foram testadas a partir de um conjunto de especificações que serviram de exemplo. A tabela a seguir consolida as respostas de frequência de ganho unitário, *slew rate*, margem de fase e potência consumida obtidas nas simulações de amplificadores projetados pelas duas abordagens, além de apresentar o valor desejado.

Tabela 4 – Valores de parâmetros desejados para o amplificador e valores obtidos por simulação nos circuitos projetados com as duas abordagens.

Grandeza	Valor Desejado	Abordagem 1	Abordagem 2
Frequência de ganho unitário (MHz)	15	14,7	14,7
<i>Slew rate</i> (V/μs)	15	14,2	14,8
Margem de fase	> 60°	33°	94,5°
Ganho (dB)	Não especificado	92,1	89,9
Potência consumida (mW)	Não especificado	0,51	0,27

De acordo com a tabela 4, verifica-se que o amplificador obtido com a segunda abordagem apresentou uma margem de fase maior que 60° (90,6°), o que garante maior estabilidade do que a margem de fase obtida com a primeira abordagem (33°). Além disso, menor consumo de potência e *slew rate* mais próximo ao esperado foram obtidos na segunda abordagem.

Para as especificações adotadas, o método utilizado na segunda abordagem para tratamento do zero positivo é o mais indicado e justifica a escolha desta para a geração do *layout* completo, o que foi realizado.

A partir do *layout*, depois de realizadas as devidas verificações de *design* (DRC e LVS), foi extraído o *netlist* do circuito. A simulação a partir deste *netlist* permite uma melhor aproximação do comportamento real do circuito.

A tabela a seguir mostra os valores desejados de resposta, os valores obtidos com simulações pré-*layout* e os valores obtidos com simulações pós-*layout* (a partir do *netlist* obtido do *layout*), onde são englobadas capacitâncias parasitas.

Tabela 5 – Valores desejados e obtidos com as simulações pré e pós *layout*.

Grandeza	Valor desejado	Simulações Pré- <i>layout</i>	Simulações Pós- <i>layout</i>
Frequência de ganho unitário (MHz)	15	14,7	14,4
Slew rate ($V/\mu s$)	15	14,8	14,7
Margem de fase	60°	94,5 °	91,4°
Ganho (dB)	Não especificado	89,9	90,7
Potência consumida (mW)	Não especificado	0,27	0,27

De acordo com a tabela 5, considerando as capacitâncias parasitas, observa-se uma queda na frequência de ganho unitário. É natural este resultado e deve-se sempre partir de um projeto inicial com frequência de ganho unitário superior ao necessário para atender as especificações da aplicação.

O estudo dos fundamentos teóricos e das aproximações que tornam possível o projeto do AmpOp agregou conhecimento e aprofundou conceitos vistos na graduação.

Em trabalhos futuros, pode-se dar prosseguimento a este projeto incrementando-se o AmpOp através da inserção de espelhos de corrente com configuração *cascade*, da análise de ruído, da utilização de transistores trabalhando em inversão fraca e moderada e da inserção de *buffers* de saída para cargas resistivas.

Referências

- [1] SEDRA, ADEL S. e SMITH, KENNETH C. *Microeletrônica*. 5.ed. São Paulo: Prentice Hall, 2007.
- [2] TEMES, GABOR C. e GREGORIAN, ROUBIK. *Analog Mos Integrated Circuits for signal processing*. Canada: Wiley Interscience, 1986.
- [3]. SANSEN, WILLY M.C. *Analog Design Essentials*. Dordrecht: Springer, 2006.
- [4] AUSTRIAMICROSYSTEMS. *0,35 μ m CMOS process technology*. Disponível em <http://www.austriamicrosystems.com/05foundry>. Acesso em 26 de out. de 2008.
- [5] AVANT!. *Star-Hspice Manual*. Fremont: Avant! Corporation, 1999.
- [6] MENTOR GRAPHICS. *Design Architect IC Data Sheet*. Disponível em http://www.mentor.com/products/ic_nanometer_design/custom_design_simulation/design_architect_ic/upload/DesArchIC_7_pdf.pdf. Acesso em 26 de out. de 2008.
- [7] MENTOR GRAPHICS. *IC Station SDL Data Sheet*. Disponível em http://www.mentor.com/products/ic_nanometer_design/cl_floorplan/ic_station_sdl. Acesso em 26 de out. de 2008.
- [8] MENTOR GRAPHICS. *Design Calibre nmDRC Data Sheet*. Disponível em http://www.mentor.com/products/ic_nanometer_design/calibre_nmdrc.cfm. Acesso em 26 de out. de 2008.
- [9] MENTOR GRAPHICS. *Design Calibre LVS Data Sheet*. Disponível em http://www.mentor.com/products/ic_nanometer_design/bl_phy_design/calibre_xrc/upload/Calibre_xRC_CB_ds_pdf.pdf. Acesso em 26 de out. de 2008.
- [10] RAZAVI, BEHZAD. *Design of Analog CMOS Integrated Circuits*. Boston: McGraw-Hill, 2001.

ANEXO A – Código fonte em C do programa desenvolvido para cálculo das dimensões dos componentes utilizando a primeira abordagem

```
/*Programa: Parâmetros de Amplificador Operacional - Abordagem 1
Autor: Bruno Tranquillini
Descrição: O Programa calcula o valor das dimensões de transistores para
uma determinada configuração.
Configuração utilizando escolha de capacitores como solução para o zero positivo
Entradas: Capacitância de Carga, Frequência de Ganho unitário,
Relação entre capacitâncias de carga e de compensação, Slew Rate,
Largura do canal dos transistores NMOS e PMOS
Saídas: Tamanho dos transistores e parâmetros pertinentes*/
#include <stdio.h>
#include <math.h>
#define pi 3.14159265358979323846
#define E0 8.854e-12
#define Er 3.97
#define Tox 7.575e-09
/*****

/*****FUNÇÃO MOD*****/
/*Calcula o módulo de um número real dado*/
float mod(float a, float b)
{
    if((a - b)>0)
        return (a-b);
    else
        return -(a-b);
}
/*****

/*****FUNÇÃO MAIN*****/
int main()
{
    //Parâmetros constantes dos transistores
    float kn = 110e-6;//110e-6
    float kp = 34e-6;//34e-6

    //Variáveis de entrada
    float cL;          //Capacitância de carga
    float gbw;         //Frequencia de ganho unitário
    float alpha;       //Razão entre cL e cC
    float LN, LP;      //Comprimento do Canal dos transistores
    float Sr;          //Slew Rate
    float cC;          //Capacitância de compensação

    //Variáveis de características dos transistores
    float fnd;         //frequencia do segundo polo (fnd > gbw)
    float gm6;         //gm do transistor 6
    float gm1;         //gm do transistor 1
```

```

float cN;          //Capacitancia gate-source do transistor 6
float Vgst6;       //Vgs-Vt do transistor 6
float Vgst1;       //Vgs-Vt do transistor 1
float cNpcC;       //razão entre cN e cC

//correntes
float I6;          //corrente em M6
float I1;          //corrente em M1

//coprimento dos transistores
float W1;
float W2;
float W3;
float W4;
float W5;
float W6;
float W7;
float W7a;

//Leitura dos dados de entrada
printf("AMPLIFICADOR OPERACIONAL\n");
printf("Abordagem utilizando escolha de capacitores para garantir estabilidade\n");
printf("Forneca a capacitancia de Carga cL em pF: ");
scanf("%f",&cL);
cL = cL*1e-12;

printf("Forneca a frequencia de ganho unitário em MHz: ");
scanf("%f",&gbw);
gbw = gbw*1e6;

printf("Forneca a relacao entre cL e cC: ");
scanf("%f",&alpha);
printf("Forneca L em %cm para os transistores N: ",230);
scanf("%f",&LN);
printf("Forneca L em %cm para os transistores P: ",230);
scanf("%f",&LP);
LN = LN*1e-6;
LP = LP*1e-6;

printf("Forneca o Slew rate em V/%cs: ",230);
scanf("%f",&Sr);
Sr = Sr*1e6;

/*****Exibição dos dados de entrada*****/
printf("\n\n");
printf("-----Parametros de entrada-----\n\n");
printf("Capacitancia de Carga: %.5f pF\n",cL*1e12);
printf("Frequencia de Ganho Unitário: %.4f MHz\n",gbw*1e-6);
printf("Alpha: %.4f\n",alpha);
printf("L para transistores N: %.4f\n",LN*1e6);
printf("L para transistores P: %.4f\n\n",LP*1e6);

```

```

getchar();
/*****

printf("Calcular dimensoes? (s/n)\n");
char option;
scanf("%c",&option);

if (option=='s')
{

/***** Cálculo dos parâmetros dos transistores *****/
//calculo do fnd
fnd = 3*gbw;
cC = (float)(cL/alpha);
l1 = (float)((Sr*cC)/(2));
l6 = 2.5*Sr*cL;

cNpcC = 0;
float W6a;
W6 = 1;
while (mod(W6a,W6) > 1e-8 )
{
    W6a = W6;
    gm6 = fnd*2*pi*cL*(1+cNpcC);
    //calculo de Vgs - Vt
    Vgst6 = (float)((2*l6)/gm6);
    //calculo de W6
    W6 = (float)((gm6*LN)/(2*kn*Vgst6));
    //calculo de cN
    cN = (float)((LN*W6*Er*E0)/Tox);
    cNpcC = (float)(cN/cC);
    if (W6 > 1000)
    {
        printf ("Nao ha convergencia para calculo com os parametros especificados \n");
        getchar();
        getchar();
        exit(0);
    }
}
//calculo de gm1
gm1 = gbw*2*pi*cC;

//Calculo de Vgs - Vt (1)
Vgst1 = (float)((2*l1)/(gm1));
printf("-----Dimensoes-----\n\n");
//calculo do W1 e W2
W1 = (float)((gm1*LP)/(kp*Vgst1));
printf("W1: %.2f %cm      L1: %.2f %cm\n",W1*1e6,230,LP*1e6,230);
printf("W2: %.2f %cm      L2: %.2f %cm\n",W1*1e6,230,LP*1e6,230);
//calculo do W3 e W4
W3 = (float)((l1*W6)/(l6));

```

```

printf("W3: %.2f %cm      L3: %.2f %cm\n",W3*1e6,230,LP*1e6,230);
printf("W4: %.2f %cm      L4: %.2f %cm\n",W3*1e6,230,LP*1e6,230);
//calculo do I5 - considerando Vgs - Vt (5) = 0.8
W7 = (float)((I6*LP)/(kp*0.4*0.4));
printf("W7: %.2f %cm      L5: %.2f %cm\n",W7*1e6,230,LP*1e6,230);
printf("W6: %.2f %cm      L6: %.2f %cm\n",W6*1e6,230,LP*1e6,230);
//calculo de W7 e W7a
W5 = (float)((W7*2*I1)/(I6));
printf("W5: %.2f %cm      L7: %.2f %cm\n",W5*1e6,230,LP*1e6,230);
printf("W5a: %.2f %cm      L7a: %.2f %cm\n",W5*1e6,230,LP*1e6,230);
getchar();
printf("\n\n\n");
printf("Construir arquivo de simulacao ? (s/n)\n");
scanf("%c",&option);
if(option == 's')
{
/***** Criação do Arquivo de simulação *****/
FILE *f = fopen("Sansen_simulacao.sp","w");
fprintf(f,"Amplificador - TCC BCT\n");
fprintf(f,".option SPICE nopage co=132 itl5=0 list\n");
fprintf(f,"+ converge=3 post probe pivot=13 itl2=800 itl1=800 delmax=0.001\n");
fprintf(f,"\n\n");
fprintf(f,".DC  VIP  0  3  0.0001\n");
fprintf(f,".AC  dec  100  1  1000Meg\n");
fprintf(f,"\n\n");
fprintf(f,"Vd  VDD  0  3V\n");
fprintf(f,"Vs  VSS  0  0V\n");
fprintf(f,"Vip VINP 0  DC  1.5 AC  1\n");
fprintf(f,"Vin  VINN 0  1.5V\n");
fprintf(f,"Ibia D  0  %.2fu\n",2*I1*1e6);
fprintf(f,"\n\n");
fprintf(f,"*transistores\n");
//      0  1  2  3  4  5  6      7
fprintf(f,"m1  A  VINN B  B  MODP w=%.2fu  l=%.2fu\n",W1*1e6,LP*1e6);
fprintf(f,"m2  C  VINP B  B  MODP w=%.2fu  l=%.2fu\n",W1*1e6,LP*1e6);
fprintf(f,"m3  A  A  VSS  VSS  MODN w=%.2fu  l=%.2fu\n",W3*1e6,LP*1e6);
fprintf(f,"m4  C  A  VSS  VSS  MODN w=%.2fu  l=%.2fu\n",W3*1e6,LP*1e6);
fprintf(f,"m5  B  D  VDD  VDD  MODP w=%.2fu  l=%.2fu\n",W5*1e6,LP*1e6);
fprintf(f,"m5a D  D  VDD  VDD  MODP w=%.2fu  l=%.2fu\n",W5*1e6,LP*1e6);
fprintf(f,"m6  VOUT C  VSS  VSS  MODN w=%.2fu  l=%.2fu\n",W6*1e6,LP*1e6);
fprintf(f,"m7  VOUT D  VDD  VDD  MODP w=%.2fu  l=%.2fu\n",W7*1e6,LP*1e6);
fprintf(f,"\n\n");

```

```

fprintf(f,"cC  C   VOUT  %.2fpF\n",cC*1e12);
fprintf(f,"cL  VOUT  VSS  %.2fpF\n",cL*1e12);
fprintf(f,"\n");
fprintf(f,"*Analise transiente\n");
fprintf(f,".tran 1u 1000u 0 0.1u\n");
fprintf(f,"\n");
fprintf(f,".print I(m1) I(m2) I(m3) I(m4) I(m5) I(m6) I(m7) I(m7a) V(E)\n");
fprintf(f,".probe tran V(VINP)  V(VINN)  V(E)\n");
fprintf(f,".probe dc V(F)\n");
fprintf(f,".probe ac VDB(E)  VP(E)\n");
fprintf(f,"\n\n\n");
FILE *modn = fopen("modn.mod","r");
FILE *modp = fopen("modp.mod","r");
char temp;
/***** Leitura dos arquivos de modelo de transistores *****/
while ((temp=fgetc(modn))!=EOF)
{
    fputc(temp,f);
}
fprintf(f,"\n");
while ((temp=fgetc(modp))!=EOF)
{
    fputc(temp,f);
}
fprintf(f,"\n.end");
fclose(modn);
fclose(modp);
getchar();
getchar();
}
/*****
*****/
else
{
    if (option=='n')
    {
        printf ("Tecle algo para sair");
    }
    else
    {
        printf ("Opcao invalida-- tecle algo para sair");
    }
    getchar();
    getchar();
}
}
else
{
    if (option=='n')
    {
        printf ("Tecle algo para sair");
    }

```

```
}  
    else  
    {  
        printf ("Opcao invalida-- tecle algo para sair");  
    }  
    getchar();  
    getchar();  
}  
}
```

ANEXO B – Código fonte em C do programa desenvolvido para cálculo das dimensões dos componentes utilizando a segunda abordagem

```
/*Programa: Parâmetros de Amplificador Operacional - Abordagem 2
Autor: Bruno Tranquillini
Descrição: O Programa calcula o valor das dimensões de transistores para
uma determinada configuração.
Configuração utilizando a inserção de resistor como solução para o zero positivo
Entradas: Capacitância de Carga, Frequência de Ganho unitário,
Relação entre capacitâncias de carga e de compensação, Slew Rate,
Largura do canal dos transistores NMOS e PMOS
Saídas: Tamanho dos transistores e parâmetros pertinentes*/

#include <stdio.h>
#include <math.h>
#define pi 3.14159265358979323846
/*****

/*****FUNÇÃO MOD*****/
/*Calcula o módulo de um número real dado*/

float mod(float in)
{
    if (in >= 0)
        return in;
    else
        return ((-1)*in);
}
/*****

/*****FUNÇÃO MAIN*****/
int main()
{
    //constantes dos transistores

    float Vdd = 3;           //tensão de alimentação alta
    float Vss = 0;           //tensão de alimentação baixa
    float Vgs5 = 0.8;         //Tensão gate-source do transistor 5
    float Vgs7 = 0.8;         //Tensão gate-source do transistor 7
    float Vtn = 0.47;         //Tensão de threshold dos transistores N
    float Vtp = -0.62;        //Tensão de threshold dos transistores P
    float kn = 110e-6;         //Constante do transistor N
    float kp = 34e-6;          //Constante do transistor P
    float Vgs3;               //Tensão gate-source do transistor 3

    //variáveis dos transistores
    float gm6;                //gm do transistor 6
    float gmi;                //gm do estágio de entrada
    float I0;                  //Corrente de Polarização
    float Ibias;               //Corrente de bias
```



```

float gml;           //gm do estágio de saída
float gm3;           //gm do transistor 3
float gm4;           //gm do transistor 4
float Rc;            //Resistencia de compensação
float Vbias;         //Tensão de bias
float alpha;         //relação entre cC e cL

//Dimensões dos transistores - relação entre comprimento e largura do canal
float WpL1;
float WpL2;
float WpL3;
float WpL4;
float WpL5;
float WpL7;
float WpL6;
float WpL8;
//entradas
float cL = 10e-12;    //Capacitancia de carga
float w0 = 2*pi*5e+6; //frequencia de ganho unitário
float Sr = 4e+6;      //Slew rate
float cC = cL;        //Capacitor de compensação
float Sr0 = 2.5*Sr;
float LN,LP;          //Largura do canal dos transistores N e P

/***** Leitura das entradas *****/
printf("Parametros de Entrada:\n");

printf("Capacitancia de Carga cL em pF: ");
scanf("%f",&cL);
cL = cL*1e-12;

printf("Frequencia de Ganho Unitario em Hz:");
scanf("%f",&w0);

printf("Fornecer a relacao entre cC e cL: ");
scanf("%f",&alpha);

printf("Slew Rate (V/%cs): ",230);
scanf("%f",&Sr);
Sr = Sr*1e6;

printf ("Tamanho de L dos transistores NMOS em %cm: ",230);
scanf("%f",&LN);
printf ("Tamanho de L dos transistores PMOS em %cm: ",230);
scanf("%f",&LP);

Sr0 = 2.5*Sr;
cC = (float)(cL/alpha);
getchar();

```

```

/*****
/*****/

/***** Impressão dos valores de entrada fornecidos *****/
printf("cL= %.5f pF \n",cL*1e12);
printf("cC= %.5f pF \n",cC*1e12);
printf("Sr= %.5f (V/%cs) \n",Sr*1e-6,230);
printf("f= %.5f MHz \n",w0*1e-6);
printf("L dos transistores NMOS = %.5f %cm \n",LN,230);
printf("L dos transistores PMOS = %.5f %cm \n",LP,230);
w0 = 2*pi*w0;
printf("\n\n");
printf("Calcular parametros? (s/n)\n");
char option;
scanf("%c",&option);
/*****
*****/

/***** Cálculo dos parâmetros dos transistores *****/
if (option=='s')
{

    //calculo de gm6
    gm6 = 3*w0*cL;
    printf("gm6 = %.2f %cA/V \n",gm6*1e+6,230);

    //calculo de gmi (entrada)
    gmi = gm6/3;
    printf("gmi = %.2f %cA/V \n",gmi*1e+6,230);

    //calculo de IO
    IO = Sr*cC;
    printf("IO = %.2f %cA \n",IO*1e+6,230);

    //calculo de Ibias
    Ibias = cL*Sr0;
    printf("Ibias = %.2f %cA \n",Ibias*1e+6,230);

    //calculo de gml;
    gml = (float)((gm6*IO)/(Ibias*2));
    printf("gml= %.2f %cA/V \n",gml*1e+6,230);

    //calculo de gm3;
    gm3 = gml;
    printf("gm3= %.2f %cA/V \n",gm3*1e+6,230);

    //calculo de gm4;
    gm4 = gml;
    printf("gm4= %.2f %cA/V \n",gm4*1e+6,230);
}

```

```

//calculo de Rc
Rc = (2/gm6);
printf("Rc = %.3f KOhm \n",Rc*1e-3);

//dimensoes dos transistores 1 e 2
WpL1 = (gmi*gmi)/(4*kn*(I0/2));
WpL2 = WpL1;
printf("W1 = %.3f %cm      L1 = %.3f %cm \n",WpL1*LN,230, LN,230);
printf("W2 = %.3f %cm      L2 = %.3f %cm \n",WpL2*LN,230, LN,230);

//dimensoes dos transistores 3 e 4
WpL3 = (gml*gml)/(4*kp*(I0/2));
WpL4 = WpL3;
printf("W3 = %.3f %cm      L3 = %.3f %cm \n",WpL3*LP,230,LP,230);
printf("W4 = %.3f %cm      L4 = %.3f %cm \n",WpL4*LP,230,LP,230);

//dimensoes do transistor 5
WpL5 = I0/((kn)*(Vgs5-Vtn)*(Vgs5-Vtn));
printf("W5 = %.3f %cm      L5 = %.3f %cm \n",WpL5*LN,230,LN,230);

//dimensao do transistor 6
WpL6 = 5*WpL4;
printf("W6 = %.3f %cm      L6 = %.3f %cm \n",WpL6*LP,230,LP,230);

//dimensoes do transistor 7
WpL7 = Ibias/((kn)*(Vgs5-Vtn)*(Vgs5-Vtn));
printf("W7 = %.3f %cm      L7 = %.3f %cm \n",WpL7*LN,230,LN,230);

//calculo de Vgs3
Vgs3 = mod(Vtp) + sqrt((I0/2)/(kp*WpL3));

//dimensao do transistor 8
WpL8 = 1/(Rc*2*kp*(mod(Vss-(Vdd-Vgs3))-mod(Vtp)));
printf("W8 = %.3f %cm      L8 = %.3f %cm \n",WpL8*LP,230,LP,230);

Vbias = Vss+Vgs5;

float lambda5 = (1/5e-4)*sqrt((1.04e-12)/(2*(1.6e-19)*(6e16)*(0.5+0.7))) ;
printf("Lambda = %.3f \n",lambda5);

/*****
*****/
getchar();
option = 'n';
printf("\n\n\n");
printf("Construir arquivo de simulacao ? (s/n)\n");
scanf("%c",&option);
if(option == 's')
{

```

```

/***** Criação do Arquivo de simulação
*****/
printf("Criar arquivo !\n");
FILE *f = fopen("amplificador.sp","w");
fprintf(f,"Amplificador - TCC BCT\n");
fprintf(f,".option SPICE nopage co=132 itl5=0 list\n");
fprintf(f,"+ converge=3 post probe pivot=13 itl2=800 itl1=800 delmax=0.001n\n");
fprintf(f,"\n\n");
fprintf(f,"Vd VDD 0 3V\n");
fprintf(f,"Vs VSS 0 0V\n");
fprintf(f,"Vip VINP 0 1.5V\n");
fprintf(f,"Vin VINN 0 PULSE(1.499 1.501 1u 1u 1u 4u 10u)\n");
fprintf(f,"Ibia 0 VBIAS %.2fuA\n",I0*1e+6);
fprintf(f,"\n\n");
fprintf(f,"*transistores\n");
// 0 1 2 3 4 5 6 7
fprintf(f,"m1 A VINN D D MODN w=%.2fu l=%.2fu\n",WpL1*LN,LN);
fprintf(f,"m2 C VINP D D MODN w=%.2fu l=%.2fu\n",WpL2*LN,LN);
fprintf(f,"m3 A A VDD VDD MODP w=%.2fu l=%.2fu\n",WpL3*LP,LP);
fprintf(f,"m4 C A VDD VDD MODP w=%.2fu l=%.2fu\n",WpL3*LP,LP);
fprintf(f,"m5 D VBIAS VSS VSS MODN w=%.2fu l=%.2fu\n",WpL5*LN,LN);
fprintf(f,"m5A VBIAS VBIAS VSS VSS MODN w=%.2fu l=%.2fu\n",WpL5*LN,LN);
fprintf(f,"m6 F C VDD VDD MODP w=%.2fu l=%.2fu\n",WpL6*LP,LP);
fprintf(f,"m7 F VBIAS VSS VSS MODN w=%.2fu l=%.2fu\n",WpL7*LN,LN);
fprintf(f,"m8 C VSS E VDD MODP w=%.2fu l=%.2fu\n",WpL8*LP,LP);
fprintf(f,"\n");
fprintf(f,"cC E F %.2fpF\n",cL*1e12);
fprintf(f,"cL F VSS %.2fpF\n",cL*1e12);
fprintf(f,"\n");
fprintf(f,"*Analise transiente\n");
fprintf(f,".tran 1u 1000u 0 0.1u\n");
fprintf(f,"\n");
fprintf(f,".probe tran V(VINP) V(VINN) V(F) Id(m5)");
fprintf(f,"\n\n\n");
FILE *modn = fopen("modn.mod","r");
FILE *modp = fopen("modp.mod","r");
char temp;
/***** Leitura dos arquivos de modelo de transistores *****/
while ((temp=fgetc(modn))!=EOF)
{
    fputc(temp,f);
}

```

```

        fprintf(f, "\n");
        while ((temp=fgetc(modp))!=EOF)
        {
            fputc(temp,f);
        }
        fprintf(f, "\n.end");
        fclose(modn);
        fclose(modp);
        getchar();
        getchar();
    /*****
    *****/
    }
    else
    {
        printf("Nao Criar arquivo !\n");
        getchar();
        getchar();
    }

    getchar();
    getchar();
}
/*****
*****/

```

ANEXO C – Arquivos de simulação gerados a partir do *layout* do circuito (*netlist*)

```
* File: tcc4.pex.netlist
* Created: Tue Nov 18 13:10:08 2008
* Program "Calibre xRC"
* Version "v2006.2_16.16"
*
.option SPICE nopage co=132 itl5=0 list
+ converge=3 post probe pivot=13 itl2=800 itl1=800 delmax=0.001n

Vd      VDD      0      3V
Vs      VSS      0      0V
Vip     VINP     0      PULSE(1 2 0 1n 1n 4u 10u)
*Vip    VINP     0      1.499997V AC      1
*Vip    VINP     0      1.5000217V AC      1
Vin     VINN     0      1.5V
*Vin    VINN     0      PULSE(1.499 1.501 1u 1u 1u 4u 10u)
Ibia    0        BIAS 30.00uA

*
mM0 1 VINN 4 VSS MODN L=1e-06 W=5.4e-06 AD=2.7e-12 AS=4.59e-12
PD=1e-06
+ PS=7.1e-06 NRD=0.0787037 NRS=0.0787037
mM1 VSS BIAS 1 VSS MODN L=1e-06 W=2.5e-06 AD=2.375e-12 AS=2.125e-12
PD=4.4e-06
+ PS=4.2e-06 NRD=0.17 NRS=0.17
mM2 10 VINP 1 VSS MODN L=1e-06 W=5.4e-06 AD=4.59e-12 AS=2.7e-12
PD=7.1e-06
+ PS=1e-06 NRD=0.0787037 NRS=0.0787037
mM3 BIAS BIAS VSS VSS MODN L=1e-06 W=2.5e-06 AD=2.125e-12
AS=2.375e-12
+ PD=4.2e-06 PS=4.4e-06 NRD=0.17 NRS=0.17
mM4 VSS BIAS VOUT VSS MODN L=1e-06 W=3.15e-06 AD=2.9925e-12
AS=2.6775e-12
+ PD=5.05e-06 PS=4.85e-06 NRD=0.134921 NRS=0.134921
mM5 VOUT BIAS VSS VSS MODN L=1e-06 W=3.15e-06 AD=2.6775e-12
AS=2.9925e-12
+ PD=4.85e-06 PS=5.05e-06 NRD=0.134921 NRS=0.134921
mM6 VDD 4 4 VDD MODP L=2e-06 W=1.25e-05 AD=1.1875e-11 AS=1.0625e-11
+ PD=1.44e-05 PS=1.42e-05 NRD=0.034 NRS=0.034
mM7 10 4 VDD VDD MODP L=2e-06 W=1.25e-05 AD=1.0625e-11 AS=1.1875e-
11
+ PD=1.42e-05 PS=1.44e-05 NRD=0.034 NRS=0.034
mM8 VDD 10 VOUT VDD MODP L=2e-06 W=1.25e-05 AD=1.1875e-11
AS=1.0625e-11
+ PD=1.44e-05 PS=1.42e-05 NRD=0.034 NRS=0.034
mM9 9 VSS 10 VDD MODP L=2e-06 W=5.6e-06 AD=4.76e-12 AS=4.76e-12
PD=7.3e-06
+ PS=7.3e-06 NRD=0.0758929 NRS=0.0758929
mM10 VOUT 10 VDD VDD MODP L=2e-06 W=1.25e-05 AD=6.25e-12
AS=1.1875e-11
+ PD=1e-06 PS=1.44e-05 NRD=0.034 NRS=0.034
mM11 VDD 10 VOUT VDD MODP L=2e-06 W=1.25e-05 AD=1.1875e-11
AS=6.25e-12
+ PD=1.44e-05 PS=1e-06 NRD=0.034 NRS=0.034
```

```

mM12 VOUT 10 VDD VDD MODP L=2e-06 W=1.25e-05 AD=6.25e-12
AS=1.1875e-11
+ PD=1e-06 PS=1.44e-05 NRD=0.034 NRS=0.034
mM13 VDD 10 VOUT VDD MODP L=2e-06 W=1.25e-05 AD=1.1875e-11
AS=6.25e-12
+ PD=1.44e-05 PS=1e-06 NRD=0.034 NRS=0.034

c_7 1 0 0.630394f
c_13 VDD 0 562.884f
c_19 VOUT 0 4.30447f
c_26 4 0 1.14911f
c_32 VINN 0 0.513912f
c_38 VINP 0 0.514123f
c_42 BIAS 0 5.29715f
c_52 VSS 0 4.40201f
c_57 9 0 5.14154f
c_66 10 0 1.93897f
*
cC      9      VOUT      2.00pF
cL      VOUT      VSS      2.00pF

.tran      1u      50u      0      1n
*.DC      VIP      1      2      0.00001
*.AC      dec      100      1      1000Meg

.probe      tran      V(VINP)      V(VINN)      V(VOUT)
*.probe      dc      V(VOUT)
*.probe      ac      VDB(VOUT)      VP(VOUT)
*
.include "tcc4.pex.netlist.TCC4.pxi"
* modelo para NMOS
.include "modn.mod"
* modelo para PMOS
.include "modp.mod"
*
.end

```

```

* File: tcc4.pex.netlist.TCC4.pxi
* Created: Tue Oct 14 12:32:30 2008
*
cc_1 4 1 0.225347f
cc_2 VINN 1 0.0859821f
cc_3 VINP 1 0.0859821f
cc_4 BIAS 1 0.0828508f
cc_5 VSS 1 0.501183f
cc_6 9 1 0.194311f
cc_7 VOUT VDD 359.371f
cc_8 4 VDD 3.37343f
cc_9 VSS VDD 0.947797f
cc_10 9 VDD 4.15873f
cc_11 10 VDD 1.14115f
cc_12 BIAS VOUT 0.466814f
cc_13 VSS VOUT 0.741033f
cc_14 9 VOUT 0.935592f
cc_15 10 VOUT 12.2515f
cc_16 VINN 4 0.0531248f
cc_17 VINP 4 0.00780378f

```

```
cc_18 VSS 4 0.395652f
cc_19 9 4 0.142062f
cc_20 VINP VINN 0.181072f
cc_21 VSS VINN 0.0542004f
cc_22 9 VINN 6.066e-23
cc_23 VSS VINP 0.0532148f
cc_24 9 VINP 0.0447723f
cc_25 VSS BIAS 0.961849f
cc_26 9 VSS 0.433135f
cc_27 10 VSS 0.0713626f
cc_28 10 9 0.212811f
```


ANEXO D – Modelo típico dos transistores NMOS (HSPICE)

```
.MODEL MODN NMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
*****
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process    : C35
* revision   : 4.0;
* extracted  : B10866 ; 2002-12; ese(5487)
* doc#       : ENG-182 REV_4
* -----
*
* TYPICAL MEAN CONDITION
* -----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV   =0 NOIMOD =3 VERSION=3.240e+00
* *** Threshold voltage related model parameters ***
+K1      =5.0296e-01
+K2      =3.3985e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NCH     =2.611e+17 VTH0     =4.979e-01
+VOFF    =-8.925e-02 DVT0    =5.000e+01 DVT1     =1.039e+00
+DVT2    =-8.375e-03 KETA    =2.032e-02
+PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
+DVT0W   =1.089e-01 DVT1W   =6.671e+04 DVT2W    =-1.352e-02
* *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =4.758e+02
* *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =1.415e-02 ETAB     =-1.221e-01
+NFACTOR =4.136e-01
* *** Saturation related parameters ***
+EM       =4.100e+07 PCLM    =6.948e-01
+PDIBLC1 =3.571e-01 PDIBLC2 =2.065e-03 DROUT    =5.000e-01
+A0       =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
+B0       =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
+PDIBLCB =3.222e-01
* *** Geometry modulation related parameters ***
+W0       =2.673e-07 DLC     =3.0000e-08
+DWC      =9.403e-08 DWB     =0.000e+00 DWG      =0.000e+00
+LL       =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN     =1.000e+00 WL       =0.000e+00
+WW       =-1.297e-14 WWL    =-9.411e-21 WLN      =1.000e+00
+WWN      =1.000e+00
* *** Temperature effect parameters ***
+TNOM     =27.0 AT          =3.300e+04 UTE      =-1.800e+00
+KT1      =-3.302e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1      =0.000e+00 UB1     =0.000e+00 UC1      =0.000e+00 PRT
=0.000e+00
* *** Overlap capacitance related and dynamic model
parameters ***
```

```

+CGSO    =1.200e-10
+CGDO    =1.200e-10  CGBO    =1.100e-10
+CGDL    =1.310e-10  CGSL    =1.310e-10  CKAPPA =6.000e-01
+CF       =0.000e+00  ELM     =5.000e+00
+XPART    =1.000e+00  CLC     =1.000e-15  CLE     =6.000e-01
+
*          *** Parasitic resistance and capacitance related model
parameters ***
+RDSW     =3.449e+02
+CDSC     =0.000e+00  CDSCB   =1.500e-03  CDSCD   =1.000e-03
+PRWB     =-2.416e-01  PRWG   =0.000e+00  CIT     =4.441e-04
*          *** Process and parameters extraction related model
parameters ***
+TOX      =7.575e-09  NGATE   =0.000e+00
+NLX      =1.888e-07
+XL       =0.000e+00  XW      =0.000e+00
*          *** Substrate current related model parameters ***
+ALPHA0   =2.600e-06  ALPHA1  =5.000e+00  BETA0   =2.100e+01
*          *** Noise effect related model parameters ***
+AF       =1.507e+00  KF      =2.170e-26  EF      =1.000e+00
+NOIA     =1.121e+19  NOIB    =5.336e+04  NOIC    =-5.892e-13
*          *** Common extrinsic model parameters ***
+ACM      =2
+RD       =0.000e+00  RS      =0.000e+00  RSH     =7.000e+01
+RDC      =0.000e+00  RSC     =0.000e+00
+LINT     =-5.005e-08  WINT    =9.403e-08
+LDIF     =0.000e+00  HDIF    =8.000e-07  WMLT    =1.000e+00
+LMLT     =1.000e+00  XJ      =3.000e-07
+JS       =5.100e-07  JSW     =0.600e-12  IS      =0.000e+00
+N        =1.000e+00  NDS     =1000.
+VNDS     =-1.000e+00  CBD     =0.000e+00  CBS     =0.000e+00  CJ
=8.400e-04  CJSW   =2.500e-10
+FC       =0.000e+00  MJ      =3.400e-01  MJSW    =2.300e-01
+XTI      =2.026e+00  TT      =0.000e+00
+PB       =6.900e-01  PHP     =6.900e-01
* -----
-----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

ANEXO E – Modelo típico dos transistores *PMOS* (HSPICE)

```
.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
*****
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process    : C35
* revision   : 4.0;
* extracted  : C64685 ; 2002-12; ese(5487)
* doc#       : ENG-182 REV_4
* -----
*
* TYPICAL MEAN CONDITION
* -----
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NLEV   =0 NOIMOD =3 VERSION=3.24e+00
* *** Threshold voltage related model parameters ***
+K1      =5.9959e-01
+K2      =-6.038e-02 K3      =1.103e+01 K3B      =-7.580e-01
+NCH     =9.240e+16 VTH0     =-6.915e-01
+VOFF    =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2    =1.659e-02 KETA    =-1.440e-02
+PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
+DVT0W   =1.879e-01 DVT1W   =7.335e+04 DVT2W    =-6.312e-03
* *** Mobility related model parameters ***
+UA      =5.394e-10 UB      =1.053e-18 UC      =1.000e-20
+U0      =1.482e+02
* *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.480e-01 ETAB     =-3.917e-03
+NFACTOR =1.214e+00
* *** Saturation related parameters ***
+EM       =4.100e+07 PCLM    =3.184e+00
+PDIBLC1  =1.000e-04 PDIBLC2=1.000e-20 DROUT    =5.000e-01
+A0       =5.850e-01 A1      =0.000e+00 A2       =1.000e+00
+PVAG     =0.000e+00 VSAT    =1.158e+05 AGS      =2.468e-01
+B0       =8.832e-08 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB  =1.000e+00
* *** Geometry modulation related parameters ***
+W0       =1.000e-10 DLC     =2.4500e-08
+DWC      =3.449e-08 DWB     =0.000e+00 DWG      =0.000e+00
+LL       =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN     =1.000e+00 WL       =0.000e+00
+WW       =1.894e-16 WWL     =-1.981e-21 WLN      =1.000e+00
+WWN      =1.040e+00
* *** Temperature effect parameters ***
+TNOM     =27.0 AT          =3.300e+04 UTE       =-1.300e+00
+KT1      =-5.403e-01 KT2    =2.200e-02 KT1L      =0.000e+00
+UA1      =0.000e+00 UB1     =0.000e+00 UC1       =0.000e+00 PRT
=0.000e+00
* *** Overlap capacitance related and dynamic model
parameters ***
```

```

+CGSO      =8.600e-11
+CGDO      =8.600e-11  CGBO      =1.100e-10
+CGDL      =1.080e-10  CGSL      =1.080e-10  CKAPPA =6.000e-01
+CF         =0.000e+00  ELM       =5.000e+00
+XPART      =1.000e+00  CLC       =1.000e-15  CLE       =6.000e-01
+
*          *** Parasitic resistance and capacitance related model
parameters ***
+RDSW      =1.033e+03
+CDSC      =2.589e-03  CDSCB    =2.943e-04  CDSCD    =4.370e-04
+PRWB      =-9.731e-02  PRWG     =1.477e-01  CIT       =0.000e+00
*          *** Process and parameters extraction related model
parameters ***
+TOX       =7.754e-09  NGATE    =0.000e+00
+NLX       =1.770e-07
+XL        =0.000e+00  XW       =0.000e+00
*          *** Substrate current related model parameters ***
+ALPHA0    =1.000e-09  ALPHA1   =1.500e+00  BETA0     =3.250e+01
*          *** Noise effect related model parameters ***
+AF        =1.461e+00  KF       =1.191e-26  EF        =1.000e+00
+NOIA      =5.245e+17  NOIB     =4.816e+03  NOIC      =8.036e-13
*          *** Common extrinsic model parameters ***
+ACM       =2
+RD        =0.000e+00  RS       =0.000e+00  RSH       =1.290e+02
+RDC       =0.000e+00  RSC      =0.000e+00
+LINT      =-7.130e-08  WINT     =3.449e-08
+LDIF      =0.000e+00  HDIF     =8.000e-07  WMLT      =1.000e+00
+LMLT      =1.000e+00  XJ       =3.000e-07
+JS        =2.800e-07  JSW      =3.700e-13  IS        =0.000e+00
+N         =1.000e+00  NDS      =1000.
+VNDS      =-1.000e+00  CBD      =0.000e+00  CBS       =0.000e+00  CJ
=1.360e-03  CJSW     =3.500e-10
+FC        =0.000e+00  MJ       =5.400e-01  MJSW      =4.600e-01
+XTI       =1.973e+00  TT       =0.000e+00
+PB        =1.020e+00  PHP      =1.020e+00
* -----
-----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```