

UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS

**PROJETO DE AMPLIFICADORES DE
BAIXO RUÍDO USANDO ALGORITMOS
META-HEURÍSTICOS**

São Carlos

Novembro de 2014

GILBERTO VOLPE NETO

PROJETO DE AMPLIFICADORES DE BAIXO RUÍDO USANDO ALGORITMOS META-HEURÍSTICOS

Trabalho de Conclusão de Curso apresentado à Escola de Engenharia de São Carlos, da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Engenheiro de Computação.

ORIENTADOR: Prof. Dr. João Navarro Soares Junior

São Carlos

Novembro de 2014

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTA TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

V931p Volpe Neto, Gilberto
Projeto de amplificadores de baixo ruído usando
algoritmos meta-heurísticos / Gilberto Volpe Neto;
orientador João Navarro Junior. São Carlos, 2014.

Monografia (Graduação em Engenharia de Computação)
-- Escola de Engenharia de São Carlos da Universidade
de São Paulo, 2014.

1. Amplificador de baixo ruído. 2. LNA. 3.
Algoritmos meta-heurísticos. 4. Indutor. I. Título.

FOLHA DE APROVAÇÃO

Nome: Gilberto Volpe Neto

Título: "Projeto de amplificadores de baixo ruído usando algoritmos meta-heurísticos"

Trabalho de Conclusão de Curso defendido em 20/11/2014.

Comissão Julgadora:

Resultado:

Prof. Dr. João Navarro Soares Júnior
(Orientador) - SEL/EESC/USP

Aprovado.

Prof. Titular Amílcar Careli Cesar
SEL/EESC/USP

APROVADO

Prof. Dr. João Paulo Pereira do Carmo
SEL/EESC/USP

Aprovado

Coordenador do Curso Interunidades - Engenharia de Computação:

Prof. Associado Evandro Luís Linhari Rodrigues

Agradecimentos

Inicialmente agradeço a minha família por todo o esforço e carinho concedidos para que eu pudesse concluir o sonho de me formar pela Universidade de São Paulo.

Não posso esquecer de agradecer também a todos os companheiros que se aventuraram durante a graduação, acompanhando nas obrigações e lazeres. Um abraço especial para Adailto Aparecido Caramano, Carolina Catarina da Silva, Júlio César Simões Mathias, Guilherme Machado Gagliardi, Lúdia Tomoko Sawakuchi, Leonardo Lourenço Crespilho, Lucas Aoki Heredia, Paola Lanzoni e Rafael Seiji Ishibe.

Agradeço as oportunidades de aplicar o conhecimento adquirido durante os anos de graduação que só foram possíveis graças a I-Healthsys e sua fantástica equipe, com o Caio Moraes Zanon, Éder Issao Ishibe, Marcelo Prado e Tales Santini, e ao Grupo Ultra.

Agradeço, por fim, ao professor doutor João Navarro Soares Junior por toda a orientação e paciência na condução do presente trabalho.

RESUMO

Amplificadores de baixo ruído, LNAs, são circuitos que amplificam sinais introduzindo pouco ruído e são utilizados em diversas aplicações modernas, como celulares e computadores móveis. O projeto de um LNA aparenta ser simples, pelos poucos componentes que o compõe, contudo a alta correlação entre os seus parâmetros introduz consideráveis dificuldades. Para contornar essas dificuldades, o presente trabalho faz uso dos algoritmos meta-heurísticos, *Particle Swarm Optimization* e *Simulated Annealing*, para projeto e otimização de LNAs. Esses algoritmos necessitam avaliar milhares de indivíduos, o que no presente trabalho é feito por simulações elétricas. Com isso, o tempo gasto para cada análise se torna um gargalo. Um dos elementos mais importante dos LNAs operando em RF é o indutor. A obtenção do seu modelo elétrico pode ser demorada quando se aplicam *softwares* extratores. Para acelerar a obtenção do modelo do indutor foi utilizado um conjunto de equações. Para analisar a viabilidade do uso de meta-heurísticas e equações para extração de modelos de indutores foram usadas quatro topologias para projeto de amplificadores de baixo ruído operando em 1,8 GHz, com tensão de alimentação de 2,0 e 3,0 V e uma tecnologia CMOS de 0,35 μm . Para LNAs sem casamento de impedância na saída foram obtidos resultados, por simulação, tão bons quanto ganho de tensão de 23,5 dB, figura de ruído de 3,2 dB, ponto de intersecção de terceira ordem de 15,0 dBm e consumo de potência de 5,5 mW. Para LNAs com casamento de impedância na saída se atingiu resultados como ganho de potência de 23,5 dB, figura de ruído de 3,0 dB, ponto de intersecção de terceira ordem de -8,4 dBm e consumo de potência de 22,8 mW. Os resultados obtidos foram comparados com resultados da literatura mostrando que a utilização de algoritmos meta-heurísticos e equações para modelar indutores é eficaz no projeto de amplificadores de baixo ruído.

Palavras Chaves: Amplificador de baixo ruído, LNA, algoritmos meta-heurísticos, indutor.

ABSTRACT

Low-noise amplifiers, LNAs, are circuits that amplify signals introducing small quantity of noise and are used in many modern applications, such as mobile phones and computers. The design of an LNA appears to be simple, because of the few components that compose it, however the high correlation among its parameters introduces considerable difficulties. To circumvent these difficulties, this paper makes use of metaheuristic algorithms, Particle Swarm Optimization and Simulated Annealing, for the design and optimization of LNAs. These algorithms need to evaluate thousands of individuals, which in this work is done by electrical simulations. With this, the time spent for each analysis becomes a bottleneck. One of the most important elements of LNAs, when they operate in RF, is the inductor. Obtaining your electric model can be time consuming when softwares of extraction were applied. To accelerate the attainment of the inductor model a set of equations was used. To analyze the feasibility of the use of metaheuristics and equations to modeling the inductors, four topologies were employed to design low-noise amplifiers operating at 1.8 GHz, with voltage of 2.0 and 3.0 V and a CMOS technology 0.35 μm . For LNAs, without impedance matching, the output results reached, simulation, are gain of 23.5 dB, noise figure of 3.2 dB, the intersection point of the third order of 15.0 dBm and power consumption of 5.5 mW. For LNAs with impedance matching, the results reached are gain of 23.5 dB, noise figure of 3.0 dB, the intersection point of the third order of -8.4 dBm and power consumption of 22.8 mW. The results were compared with results from the literature showing that the use of metaheuristic algorithms and equations for inductor model is effective for the design of low-noise amplifiers.

Keywords: Low-noise amplifier, LNA, metaheuristic algorithms, inductor.

Sumário

Agradecimentos.....	5
RESUMO	6
ABSTRACT	7
Lista de Figuras	11
Lista de Tabelas	15
Capítulo 1 - Introdução.....	17
Capítulo 2 – Revisão Teórica.....	23
Fator/Figura de ruído.....	23
Transistores MOS.....	23
Efeito de Corpo.....	26
Modulação de Canal	26
Transcondutância	26
Capacitâncias Intrínsecas	27
Modelo de pequenos sinais.	31
Indutores Integrados.....	32
Degradação em indutores passivos integrados	34
Efeito Pelicular	34
Efeito de Proximidade	35
Correntes Eddy	36
Circuito Equivalente	36
Indutância	38
Resistência Série.....	38
Capacitância entre os Segmentos.....	38
Capacitância do Isolante	39

Capacitância do Substrato.....	39
Resistência do Substrato	39
Limitações do Circuito Equivalente.....	39
Amplificadores de baixo ruído – LNA.....	40
Parâmetros de projeto.....	40
Ruído.....	40
Ganho.....	41
Linearidade	42
Estabilidade.....	44
Topologias de LNAs	44
Características da arquitetura FCCDI	47
Algoritmos Meta-heurísticos.....	54
<i>Simulated Annealing</i> - SA.....	55
<i>Particle Swarn Optimization</i> - PSO.....	55
Capítulo 3 – Metodologia.....	57
CirOp.....	57
Função objetivo.....	59
Modelo elétrico dos indutores integrados	61
Topologias de LNA utilizadas	62
Configuração dos algoritmos PSO e SA	65
Capítulo 4 – Resultados.....	66
Validação das equações de modelo elétrico dos indutores	66
Resultados Otimizações	70
Tempo de execução e comparação dos resultados entre ASITIC e equações	83
Capítulo 5 – Conclusões.....	87
Bibliografia.....	89

Apêndices e Anexos	95
Apêndice A – Utilização do CirOp	96
Apêndice B – Código para simulações e medições dos parâmetros	100
Apêndice C – Código para extração do modelo elétrico do indutor integrado.....	108
Apêndice D – Resultados das equações de Resistência de Substrato	111
Anexo A – Parâmetros do modelo BSIM3v3	114
Anexo B – Tecnologia usada por ASITIC	116

Lista de Figuras

Figura 1. Blocos básicos de um sistema RF.	17
Figura 2. Bloco transmissor e receptor, em destaque o LNA.	18
Figura 3. Representação de um circuito transceptor RF completo.	19
Figura 4. Esquemático de um LNA.	20
Figura 5. Parâmetros do projeto de LNA.	20
Figura 6. Estrutura física de um transistor NMOS.	24
Figura 7. Capacitâncias de overlap no transistor MOS.	28
Figura 8. Variação das componentes da capacitância de porta-canal em função de V_{GS} e V_{DS} (tensão dreno-fonte).	28
Figura 9. Detalhamento da região em torno da fonte.	29
Figura 10. Capacitâncias entre os terminais do transistor NMOS.	30
Figura 11. Modelo de pequenos sinais simples do transistor NMOS.	31
Figura 12. Modelo de pequenos sinais do transistor NMOS, considerando a modulação de canal.	31
Figura 13. Modelo de pequenos sinais para baixas frequências.	32
Figura 14. Modelo de pequenos sinais do transistor NMOS completo.	32
Figura 15. Indutor retangular e seus parâmetros geométricos.	33
Figura 16. Formatos de indutores integrados: (a) retangular, (b) octogonal, (c) hexagonal e (d) circular.	33
Figura 17. Circuito MOS Indutor ativo.	34
Figura 18. Distribuição das correntes nos segmentos de um indutor para baixas e altas frequências.	35
Figura 19. Correntes induzidas no substrato.	36
Figura 20. Modelo equivalente para o indutor integrado.	37
Figura 21. Espessuras que caracterizam o indutor de uma espira.	37
Figura 22. Modelo do ruído térmico do resistor.	40
Figura 23. Modelo do transistor NMOS considerando o ruído.	41

Figura 24. Amplitude de saída versus amplitude de entrada; a) ponto de compressão 1,0 dB e b) ponto de intersecção de terceira ordem.	43
Figura 25. Configurações de transistores: (a) Porta Comum (PC), (b) Fonte Comum (FC) e (c) Dreno Comum (DC).....	45
Figura 26. (a) Configuração FC com DI, (b) Configuração PC com DI.	46
Figura 27. Fonte comum cascode com degeneração indutiva (FCCDI).....	46
Figura 28. Circuito para o cálculo do ruído do LNA.....	48
Figura 29. Modelo pequenos sinais para o cálculo do ganho do LNA.	49
Figura 30. Rede <i>LTCT</i> para ajuste de frequência de operação para o circuito da Figura 27.	50
Figura 31. Modelo de pequenos sinais simplificado para o cálculo do ganho do LNA.	50
Figura 32. Circuito para o casamento de impedância na entrada.	51
Figura 33. Modelo de pequenos sinais para o circuito da Figura 32.	51
Figura 34. Circuito para casamento de saída.	52
Figura 35. Modelo de pequenos sinais do circuito da Figura 34.	53
Figura 36. Simplificação do modelo pequenos sinais da Figura 34.	53
Figura 37. Diagrama do funcionamento da ferramenta de projeto/otimização com as meta-heurísticas SA e PSO.	58
Figura 38. Modelo elétrico considerado para os indutores integrados.	61
Figura 39. Topologias utilizadas.....	62
Figura 40. Indutâncias <i>L</i> geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e as diferenças entre os dois valores (<i>x</i>) versus número de voltas do indutor. Diferentes valores de <i>LEXT</i> são empregados (frequência = 1,8 GHz, <i>W</i> = 7,5 μ m).....	66
Figura 41. Resistências em série <i>R_s</i> geradas pelas equações (asterisco),extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(<i>x</i>) versus número de voltas do indutor. Diferentes valores de <i>Lext</i> são empregados (frequência = 1,8 GHz, <i>W</i> = 7,5 μ m).	67
Figura 42. Capacitâncias de óxido <i>C_{ox}</i> geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(<i>x</i>) versus número de voltas do indutor. Diferentes valores de <i>Lext</i> são empregados (frequência =1,8 GHz, <i>W</i> = 7,5 μ m).	68

Figura 43. Resistências de substrato R_{si} geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência de 1,8 GHz, $W = 7,5 \mu m$).	69
Figura 44. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência de 1,8 GHz, $W = 7,5 \mu m$).	70
Figura 45. Ganho de Tensão versus frequência de operação, topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).	74
Figura 46. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).	74
Figura 47. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).	75
Figura 48. Ganho de Tensão versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	75
Figura 49. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	76
Figura 50. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	76
Figura 51. Ganho de Tensão versus frequência de operação, topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).	77
Figura 52. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).	77
Figura 53. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).	78
Figura 54. Ganho de Tensão versus frequência de operação, topologia 2 com casamento de impedância na saída, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	80

Figura 55. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	80
Figura 56. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 2 com casamento de impedância na saída, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).	81
Figura 57. Ganho de Tensão versus frequência de operação, topologia 4 com casamento de impedância na saída, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).	81
Figura 58. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, topologia 4, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).	82
Figura 59. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para a topologia 4 com casamento de impedância na saída, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).	82
Figura 60. Ganho de Tensão versus frequência de operação, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39(c), considerando modelo típico do transistor (modelo BSim3v3).	84
Figura 61. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).	85
Figura 62. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).	85

Lista de Tabelas

Tabela 1. Especificação do projeto de LNA.	21
Tabela 2. Correlação entre os estados do transistor MOS e a diferença de tensão entre seus terminais. V_{GD} é a tensão porta-dreno.	25
Tabela 3. Capacitâncias entre os terminais de um transistor NMOS e seus valores.	30
Tabela 4. Parâmetros S e suas definições.	44
Tabela 5. Resumo das características das configurações com degeneração indutiva.	47
Tabela 6. Parâmetros a serem otimizadas na topologia 1, Figura 30 (a), e a faixa de valores analisada.	63
Tabela 7. Parâmetros a serem otimizadas na topologia 2, Figura 30 (b), e a faixa de valores analisada.	63
Tabela 8. Parâmetros a serem otimizadas na topologia 3, Figura 30 (c), e a faixa de valores analisada.	64
Tabela 9. Parâmetros a serem otimizadas na topologia 4, Figura 30 (d), e a faixa de valores analisada.	64
Tabela 10. Características fixas nas topologias usadas.	65
Tabela 11. Parâmetros do algoritmo SA utilizados pelo CirOp.	65
Tabela 12. Especificação do projeto de LNA.	71
Tabela 13. Pesos da função objetivo sem considerar casamento de impedância na saída.	71
Tabela 14. Pesos da função objetivo considerando o casamento de impedância na saída.	71
Tabela 15. Dimensionamento obtido na topologia 1, Figura 30(a).	72
Tabela 16. Dimensionamento obtido na topologia 2, Figura 30 (b).	72
Tabela 17. Dimensionamento obtido na topologia 3, Figura 30 (c).	73
Tabela 18. Resultados obtidos para cada topologia, sem casamento de impedância na saída, para os parâmetros do projeto.	73
Tabela 19. Dimensionamento obtido na topologia 2, Figura 30 (b).	78
Tabela 20. Dimensionamento obtido na topologia 4, Figura 30 (d).	79
Tabela 21. Resultados obtidos para cada topologia considerada.	79
Tabela 22. Resultados obtidos com os LNAs e da literatura.	83

Tabela 23. Tempo de execução da otimização considerando o modelo extraído pelas equações e modelo extraído pelo ASITIC, considerando quatro otimizações.	83
Tabela 24. Resultado das otimizações da topologia 2 usando a extração dos indutores através das equações e ASITIC.	84
Tabela 25. Resultados obtidos para a topologia 1 para o LNA2 do trabalho [47].	86
Tabela 26. Dimensões dos indutores obtidas para a topologia 1 e para o LNA2 do trabalho [47].	86

Capítulo 1 - Introdução

A necessidade de aperfeiçoar os meios de comunicação está enraizada na cultura humana e sempre que houve avanços na sociedade também houve avanços nas tecnologias de comunicação. Esses avanços são notórios nos últimos dois séculos quando surgiram diversos novos sistemas para a comunicação como o telefone, o rádio, a televisão, a Internet e a transmissão de dados via satélite. Esses mecanismos têm sido intensamente melhorados, o que só foi possível graças ao surgimento e avanço da microeletrônica, que possibilitou o desenvolvimento de circuitos integrados complexos com dimensões, consumo e custos reduzidos. Circuitos integrados, CI's ou *chips*, são circuitos completos feitos sobre um mesmo material semicondutor.

O progresso em microeletrônica permitiu que CI's se tornassem parte essencial de diversos equipamentos de comunicação (satélites, smartphones, roteadores, computadores). Entretanto, os avanços obtidos nestes equipamentos não foram suficientes, fazendo com que o Homem ainda continue procurando aperfeiçoar os equipamentos de comunicação.

Uma área de grande interesse, para a melhoria dos equipamentos de comunicação, é a dos circuitos integrados para radiofrequência (RF). Estes circuitos vêm permitindo o desenvolvimento de dispositivos portáteis menores, com menor consumo de potência e mais baratos.

Blocos genéricos para comunicação RF são o transmissor e o receptor, apresentados na Figura 1.



Figura 1. Blocos básicos de um sistema RF.

O transmissor e o receptor podem ser descritos em mais detalhes por um conjunto de outros blocos como apresentado na Figura 2. No transmissor o sinal é digitalizado, se originalmente for analógico, comprimido, codificado, modulado, amplificado e, então, transmitido. Os blocos de um transmissor são:

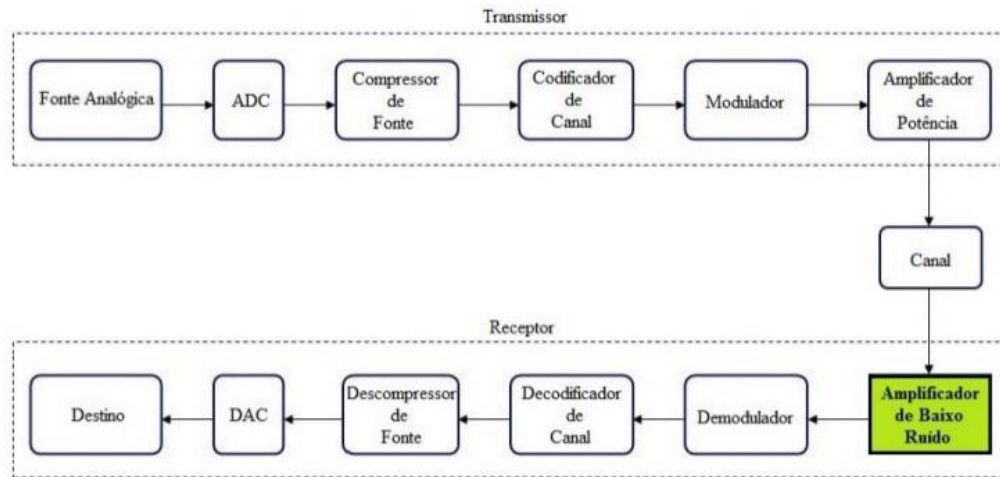


Figura 2. Bloco transmissor e receptor, em destaque o LNA.

- **Conversor DAC (*Digital Analog Converter*)**: Converte sinais analógicos em sinais digitais;
- **Compressor**: Responsável por remover redundâncias do sinal, ou seja, comprimi-lo a fim de conseguir transmitir a mesma quantidade de informação usando uma menor largura de banda. Essa compressão pode ser realizada através dos algoritmos de *mpeg* para vídeos e MP3 para a transmissão de áudio, por exemplo;
- **Codificador**: Realiza a codificação do sinal digital gerado, através da representação do sinal em pulsos elétricos, como por exemplo, a codificação delta;
- **Modulador**: Circuito responsável pela modulação, processo no qual uma onda portadora é modificada, em amplitude, frequência ou fase, pelo sinal de informação.
- **Amplificador**: Responsável por amplificar o sinal antes de ele ser transmitido.

O receptor, por sua vez, recebe um sinal modulado com ruído e faz o processo inverso do realizado no transmissor, ou seja, amplifica o sinal recebido, demodula-o, decodifica-o, descomprime-o e, por fim, converte novamente em analógico se preciso.

Um dispositivo transceptor (dispositivo transmissor e receptor), com seus principais circuitos analógicos, é detalhado na Figura 3. O receptor é composto dos seguintes circuitos:

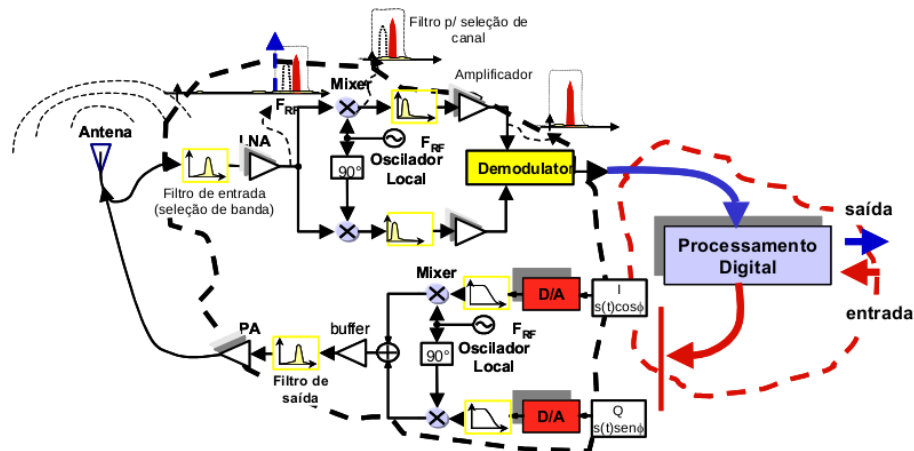


Figura 3. Representação de um circuito transceptor RF completo.

- **LNA (Low Noise Amplifier):** Circuito responsável por amplificar o sinal recebido minimizando a introdução de ruídos ao sinal;
- **Mixer:** circuito que cria uma nova frequência de operação através de operações com os sinais de entrada, sinal de entrada mais sinal do oscilador;
- **Filtro:** Na filtragem é feito a seleção do canal desejado dentro da banda de recepção;
- **Amplificador:** Amplifica os sinais para que facilite suas operações nas etapas subsequentes;
- **Demodulador:** Essa etapa é responsável por obter os dados codificados enviados originalmente.

Podemos prosseguir o detalhamento do sistema de comunicação, apresentando outros subníveis, porém focaremos agora no LNA que é o objeto deste trabalho. A função de um LNA é de amplificar sinais de baixa potência (ordem de microvolts), garantindo a menor inserção de ruído possível e sem distorcer significativamente o sinal a amplificar [1] [2]. Na Figura 4 é apresentada uma topologia de LNA MOS (*Metal Oxide Semiconductor*).

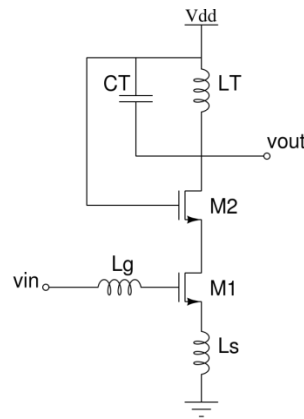


Figura 4. Esquemático de um LNA.

O projeto de um LNA exige a atenção a diversos requisitos além da baixa inserção de ruído e da amplificação do sinal de entrada. Entre esses requerimentos, podemos citar: consumo de potência, frequência de operação, casamento da impedância na entrada, baixa distorção harmônica, estabilidade e, em alguns casos, casamento da impedância na saída. Na Figura 5 [3] são ilustradas os principais requerimentos no projeto de um LNA.

Existe entre esses requerimentos uma grande interdependência, sendo uma das mais importantes a relação entre consumo de potência e a degradação do ruído [1] [2]. Essa interdependência torna o projeto de um LNA um grande problema. Alguns autores, tais como [4] [2] [1] [5], propõem contornar o problema de projetos de LNAs através da otimização da figura de ruído para duas restrições simultâneas: casamento da impedância de entrada e ganho, ou casamento da impedância de entrada e consumo de potência. ROA, [3], por sua vez, propõe um método de projeto que otimiza o desempenho de ruído e linearidade para consumo de potência e ganho de potência especificados. O autor de [6] propõe um método baseado em transistores operando na inversão moderada para alcançar um ótimo desempenho no quesito de figura de ruído.

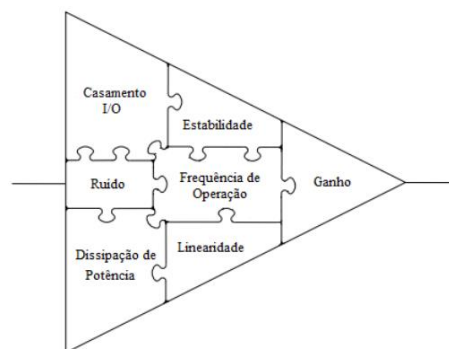


Figura 5. Parâmetros do projeto de LNA.

Os métodos apresentados acima, contudo, não dão muita atenção a um dos principais elementos para o sucesso de um LNA, o indutor. Os indutores em um LNA são responsáveis pelo casamento de impedâncias, carga de saída e filtragem. Uma modelagem incorreta dos indutores leva a um péssimo projeto de LNA, pois podem resultar em mau casamento de impedância, ganhos diferentes do esperado, filtros não centrados na frequência de operação e em aumento no ruído de saída.

O presente trabalho tem como objetivo contornar as dificuldades encontradas nos projetos de LNAs através do uso de algoritmos meta-heurísticos de otimização. Algoritmos meta-heurísticos são métodos estocásticos de otimização. O comportamento desses algoritmos é guiado por uma função objetivo que calcula a nota para as soluções temporárias encontradas. No presente trabalho esse cálculo foi realizado através de simulações elétricas dos circuitos projetados, se diferenciando de trabalhos que utilizam funções objetivo baseadas em equações aproximadas das características do circuito. Além disso, será analisada a viabilidade do uso de equações que, a partir de características físicas, determinam o modelo elétrico de indutores integrados. Para atingir nossos objetivos serão projetados amplificadores de baixo ruído, a partir de um conjunto inicial de requisitos.

Na Tabela 1 estão contidas as especificações desejadas para um LNA, estabelecidas no começo do projeto. Os valores foram escolhidos como uma média do estado da arte. Para a frequência de operação se pensou em LNAs para aplicações que trabalham em faixas próximas da frequência de 1,8 GHz, como por exemplo, etiquetas de RF-ID (*Radio-Frequency Identification*) para rastrear animais.

Tabela 1. Especificação do projeto de LNA.

Especificações	
Figura de Ruído [dB]	< 3,2
Ganho [dB]	> 15
Consumo de Potência [mW]	< 10
Impedância de Entrada [Ohm]	50
Impedância de Saída [Ohm]	50
OIP3* [dBm]	< -10
Frequência [GHz]	1,8

* potência de interseção da terceira harmônica, considerada na saída.

A motivação para o presente estudo é a grande e crescente quantidade de aplicações/tecnologias que utilizam comunicações RF e, portanto, LNAs [2]:

- **WLAN's (*Wireless Local Area Network*):** As redes locais sem fio são aplicações para prover comunicação móvel em escritórios, hospitais, fábricas, etc. Operam na banda de 900 MHz até 2,4 GHz. Portabilidade e reconfiguração são características das WLAN's;
- **GPS (*Global Position System*):** O sistema de posicionamento global é um sistema de navegação por satélite que fornece a um aparelho receptor móvel a sua posição a qualquer momento. O GPS é uma aplicação útil para trabalhos de exploração em terra ou nos oceanos e para traçar percursos e rotas para veículos terrestres, de voo e navegação. A faixa de operação do GPS é de 1,17 GHz até 1,57 GHz;
- **RF-ID' (*Radio-Frequency Identification*):** Sistemas de identificação por radiofrequência são aplicações para identificação automática através de sinais de rádio, recuperando e armazenando dados por meio de etiquetas RFID. Uma etiqueta RFID é um dispositivo transceptor que pode ser colocada em objetos, animais ou pessoas. Estes dispositivos operam na faixa de 900 MHz até 2,4 GHz;
- **GSM (*Global System for Mobile Communications*):** Sistema Global para Comunicações Móveis é o padrão mais popular para telefones celulares do mundo. Permite, além da comunicação de voz, a troca de dados entre telefones, acesso a internet e serviço de *roaming* internacional. Para as tecnologias 2G, a frequência de operação é entre 0,9 a 1,8 GHz e para as tecnologias 3G a frequência de operação é de 2,1 GHz;
- **Bluetooth:** Esta aplicação permite comunicação rápida, segura e barata entre computadores, *smartphones*, telefones celulares, *mouses*, teclados, impressoras e outros dispositivos, utilizando ondas de rádio no lugar de cabos. É um padrão de comunicação de baixo consumo de energia. O alcance depende da potência de transmissão, podendo ser de 1,0 metro (Classe 3), 10 metros (Classe 2) ou até 100 metros (Classe 1). O Bluetooth opera na faixa de 2,4 até 2,5 GHz.

Este trabalho foi desenvolvido na tecnologia AMS (Austria Micro Systems) CMOS (*Complementary Metal Oxide Silicon*) 0,35 μm [7], com o auxílio da ferramenta de simulação de circuitos elétricos ELDO da Mentor Graphics (ELDO 13.2 64 bits) e da ferramenta MATLAB (versão 8.10.604 R2013a), onde os algoritmos meta-heurísticos foram implementados.

O presente texto está organizado da seguinte forma: no capítulo dois trata-se dos aspectos teóricos da figura de ruído, dos transistores MOS, dos indutores integrados, do projeto de LNAs e de algoritmos meta-heurísticos; no capítulo três é apresentado o método utilizado para a realização do trabalho; no capítulo 4 são apresentados os resultados obtidos e os mesmos são discutidos; e, por fim, no capítulo 5 são apresentadas as conclusões do trabalho.

Capítulo 2 – Revisão Teórica

Fator/Figura de ruído

O fator de ruído é a medida da degradação na relação sinal-ruído - SNR (*Signal to Noise Ratio*) – causado por um componente em RF[8]. O SNR é definido como a relação entre a potência do sinal e a potência de ruído. Para um bloco que tem na sua entrada uma relação sinal ruído SNR_{in} e na sua saída a relação sinal ruído SNR_{out} , define-se fator de ruído F como:

$$F = \frac{SNR_{in}}{SNR_{out}}$$

O ideal seria que o SNR_{out} fosse igual ao SNR_{in} , mas circuitos reais sempre introduzem novos ruídos ao sinal.

A figura de ruído, NF (*Noise Figure*), é a transformação à escala logarítmica do fator de ruído:

$$NF = 10\log_{10}(F)$$

Neste trabalho será empregado o conceito de figura de ruído, ou seja, as medições de ruído são transformadas na escala logarítmica.

Transistores MOS

Existem dois tipos de transistores MOS: o NMOS, onde a condução é realizada por elétrons, e o PMOS, onde a condução é realizada por lacunas. A tecnologia CMOS, que permite a fabricação de circuitos integrados com transistores tanto NMOS como PMOS, se tornou a principal tecnologia de fabricação de circuitos integrados, pois oferece, entre outras vantagens, altos níveis de integração, baixo consumo de potência e simplicidade de projeto. Nos últimos anos, 75% dos circuitos semicondutores (tanto em quantidade como em valor) foram produzidos em CMOS, fato que adiciona outra vantagem à tecnologia CMOS: a redução de custos devido à escala de produção. Este quadro não deve ser ainda alterado nos próximos anos [9].

Na Figura 6 é apresentada a estrutura simplificada de um transistor NMOS. Esse tipo de transistor é fabricado sobre um substrato (corpo ou *bulk*) de silício tipo P (silício onde a condução é feita predominantemente por lacunas). O dispositivo consiste de duas regiões fortemente dopadas tipo N (silício onde a condução é feita predominantemente por elétrons) formando o dreno (D) e a fonte (S), de uma região condutora, metal ou silício

policristalino fortemente dopado, formando a porta (G) e de uma delgada camada de isolante, geralmente óxido de silício, que isola a região condutora do substrato P [10].

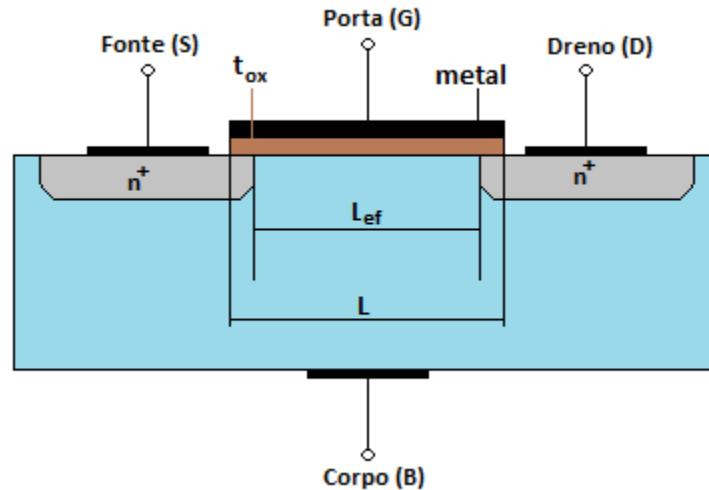


Figura 6. Estrutura física de um transistor NMOS.

Por construção do transistor MOS, normalmente dreno e fonte são iguais, entretanto, por convenção e para as relações elétricas, considera-se a fonte como a região no menor potencial. O comprimento de canal é a distância entre as áreas de dreno e fonte. Na Figura 6 nota-se que além de L , comprimento de máscara, está indicado o L_{ef} , comprimento do canal efetivo. O L é o comprimento desenhado no *layout*, enquanto L_{ef} , que surge devido às difusões do dreno e da fonte, fazendo com que essas áreas avancem sobre a região coberta pela porta, é o comprimento de fato do dispositivo. A tecnologia de fabricação utilizada nesse trabalho permite a construção de transistores com L de tamanho tão pequeno quanto $0,35\ \mu\text{m}$.

O transistor MOS, quando conduzindo, pode trabalhar em três regiões distintas, classificadas pela densidade de portadores no canal, e que são:

- **Forte Inversão:** a tensão V_{GS} , entre porta e fonte, é suficiente para formar um canal com concentração de portadores igual ou superior à concentração de portadores intrínseca do substrato. Observemos que o tipo de portador no canal é diferente do portador intrínseco do substrato. É esta a região de operação estudada normalmente;
- **Fraca Inversão:** a tensão V_{GS} está próxima à tensão de *threshold*, ou de tensão de limiar de condução (V_{TH}), do transistor, formando um canal com concentração de portadores inferior a concentração intrínseca de portadores do substrato. Utilizada para circuitos de baixíssimo consumo de potência;
- **Inversão Moderada:** é uma região de transição, não muito bem definida, entre as regiões de inversão forte e inversão fraca. Equações que descrevem o transistor nesta faixa não são muito precisas.

No presente trabalho, devido à faixa de frequências de operação dos LNAs, consideramos somente o transistor em forte inversão. Neste caso o transistor poderá operar em dois estados, tríodo e saturado, ou estar cortado. Essas regiões e o corte podem ser caracterizados pela diferença de tensão entre os terminais do transistor. Na Tabela 2 são apresentadas as tensões necessárias para que o transistor opere em cada uma dessas regiões ou no corte.

Tabela 2. Correlação entre os estados do transistor MOS e a diferença de tensão entre seus terminais. V_{GD} é a tensão porta-dreno.

Estado	Fonte	Dreno
Corte	$V_{GS} < V_{TH}$	$V_{GD} < V_{TH}$
Saturado	$V_{GS} > V_{TH}$	$V_{GD} < V_{TH}$
Tríodo	$V_{GS} > V_{TH}$	$V_{GD} > V_{TH}$

Em circuitos integrados analógicos, os transistores normalmente operam em saturação. Neste trabalho, portanto, consideram-se os transistores em forte inversão e saturados. Na saturação a corrente de dreno se torna praticamente constante, sendo dada por:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

onde W é a largura do canal do transistor, μ_n é a mobilidade dos elétrons para os transistores NMOS, C_{ox} é a capacitância por unidade de área associada à porta e é igual a $C_{ox} = \frac{K_{ox} \epsilon_o}{t_{ox}}$, k_{ox} é a constante dielétrica do isolante (aproximadamente 3,9 para óxido de silício), ϵ_o é a permeabilidade no vácuo ($8,85 \times 10^{-12}$ F/m) e t_{ox} a espessura do isolante.

O transistor da tecnologia utilizada neste trabalho tem uma espessura de isolante, óxido de silício, de 7,57 nm e, portanto, o C_{ox} é aproximadamente $4,56 \text{ fF}/\mu\text{m}^2$. Na equação de corrente com transistor em saturação, o projetista tem controle das dimensões do dispositivo e da tensão V_{GS} . Assim para uma relação (W/L) fixa, se variarmos a tensão V_{GS} , obtêm-se diferentes respostas de corrente de dreno.

A equação de corrente em saturação também mostra que, quando dobramos W e L , a corrente não se altera, pois a relação (W/L) se mantém. As capacitâncias associadas às dimensões do dispositivo, por outro lado, aumentam e alteram-se as respostas para sinais rápidos.

Na equação da corrente há termos que o projetista não tem controle, como a tensão limiar V_{TH} , C_{ox} e a mobilidade μ_o , pois são parâmetros que dependem da tecnologia.

Efeito de Corpo

O efeito de corpo ocorre quando há a diferença de potencial entre fonte-corpo, V_{SB} . Essa diferença de potencial faz com que a tensão de limiar do dispositivo, V_{TH} , aumente à medida que a fonte se torna mais positiva em relação ao corpo, dificultando a formação de um canal de condução. A equação abaixo mostra como V_{TH} se comporta [11]:

$$V_{TH} = V_{TH_0} + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|})$$

onde V_{TH_0} é a tensão de limiar quando $V_{SB} = 0$, γ é o coeficiente de efeito de corpo, *bulk*, e ϕ_F é o potencial de junção. γ e ϕ_F são parâmetros que dependem da tecnologia e, portanto, estão fora do controle do projetista.

Modulação de Canal

Quando o transistor esta em saturação, o aumento da tensão entre dreno e fonte causa um aumento da corrente no dreno. Esse efeito é conhecido como modulação de canal e ocorre pela diminuição do comprimento efetivo do canal L_{ef} do transistor. A modulação de canal é modelada através de uma correção na formula da corrente em saturação, onde a nova equação é:

$$I_D = \frac{1}{2} \mu_o C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

onde λ é o coeficiente de modulação de comprimento de canal.

A modulação de comprimento de canal está de certa forma sob controle do projetista porque λ é inversamente proporcional a L [12]. Uma expressão para λ [13] é:

$$\lambda = \frac{k_{ds}}{2L\sqrt{V_{DS} - V_{eff} + \phi_F}}$$

onde $V_{eff} = V_{GS} - V_{TH}$, $k_{ds} = \sqrt{\frac{2k_{si}\epsilon_o}{qN_A}}$, k_{si} é a constante dielétrica do silício (igual a 11,8), q é a carga do elétron $1,602 \times 10^{-19} C$, N_A é a concentração da dopagem no substrato.

Transcondutância

A relação entre a corrente de dreno e variação de tensão entre porta e fonte é denominada transcondutância e dada por:

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

Aplicando a relação acima a equação de corrente do transistor, obtemos:

$$g_m = \mu_o C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$$

Esta equação revela que g_m é linearmente proporcional a W/L , se $(V_{GS} - V_{TH})$ é fixo, e linearmente proporcional a $(V_{GS} - V_{TH})$, se W/L é fixo. Outras duas relações para g_m podem ser derivadas a partir da relação acima e da equação de corrente. São elas

$$g_m = \sqrt{2\mu_o C_{ox} \frac{W}{L} I_D}$$

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})}$$

Capacitâncias Intrínsecas

No tratamento de circuitos RF é importante consideramos as capacitâncias intrínsecas do transistor MOS. Essas capacitâncias influenciam diretamente no comportamento da resposta do circuito e são classificadas por suas origens em: capacitâncias de *overlap*, capacitâncias de canal e capacitâncias de junção.

Capacitâncias de overlap

As capacitâncias de *overlap* surgem devido ao processo de fabricação dos transistores MOS. Idealmente as regiões de dreno e fonte deveriam terminar nas extremidades da região do isolante de porta. Porém, como é apresentado na Figura 7, as regiões de dreno e fonte tendem a se estenderem abaixo da camada de isolante, por uma distância x_d , conhecida como difusão lateral.

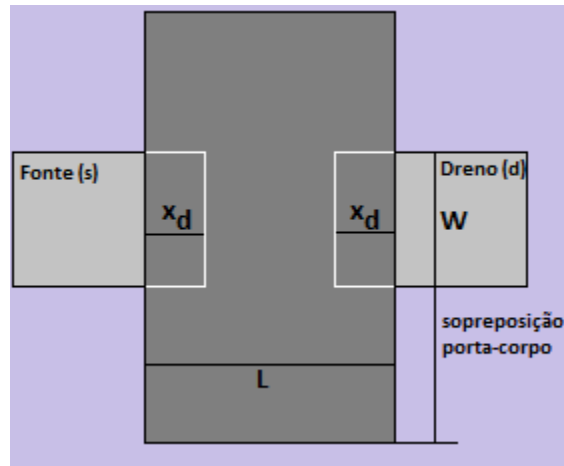


Figura 7. Capacitâncias de overlap no transistor MOS.

Essa extensão faz com que apareçam capacitâncias parasitas entre a porta e as regiões de fonte e dreno conhecidas como capacitâncias de *overlap*. Estas capacitâncias são fixas e possuem o valor de:

$$C_{GSO} = C_{GDO} = C_{ox}x_dW$$

Capacitâncias de canal

A capacitância entre porta-canal, C_{GC} , é a mais importante no transistor devido a seus valores. Ela é decomposta em três componentes: C_{GCS} , capacitância entre porta e fonte, C_{GCD} , capacitância entre porta e dreno, e C_{GCB} , capacitância entre porta e corpo. O valor destas componentes depende do ponto de operação do transistor, sendo seu comportamento melhor compreendido quando se observam os gráficos da Figura 8.

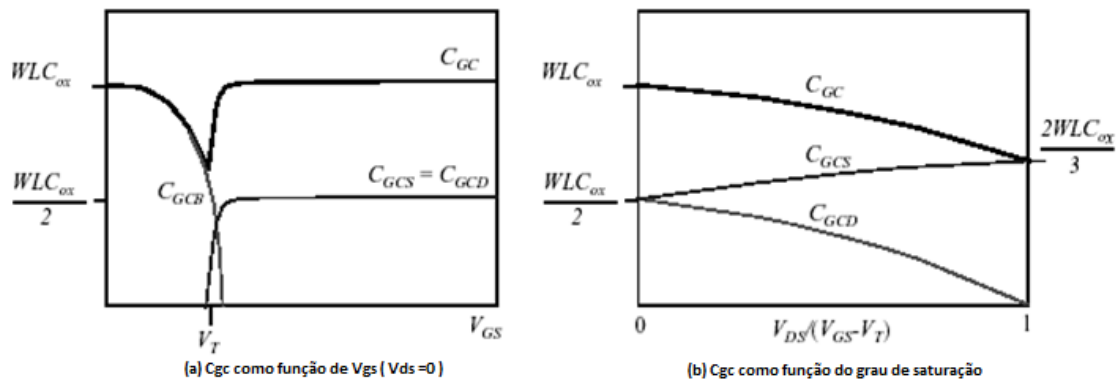


Figura 8. Variação das componentes da capacitância de porta-canal em função de V_{GS} e V_{DS} (tensão dreno-fonte).

Da Figura 8 (a), notamos que quando $V_{GS} = 0$, o transistor está em corte e não há canal formado; existe apenas a capacitância C_{GCB} , com valor de WLC_{OX} . Aumentando o valor de V_{GS} , há a formação de uma região de depleção abaixo da porta e posteriormente a formação do canal. Quando V_{GS} atinge V_{TH} , surge o canal e o circuito está em tródo ($V_{DS} = 0$), assim a capacitância da porta divide-se igualmente entre fonte e dreno, possuindo o valor de $C_{GCD} = C_{GCS} = \frac{1}{2}WLC_{OX}$.

Da Figura 8 (b) notamos que C_{GCD} gradualmente reduz a zero, enquanto C_{GCS} cresce até $\frac{2}{3}WLC_{OX}$ com o aumento de $\frac{V_{DS}}{(V_{GS}-V_t)}$. A variação da tensão V_{DS} faz com que o transistor entre em saturação e as capacitâncias no canal dependem do grau de saturação, ou de $\frac{V_{DS}}{(V_{GS}-V_t)}$.

Capacitâncias de junção

As capacitâncias de junção ocorrem devido às regiões de depleção dos diodos corpo-fonte e corpo-dreno, reversamente polarizados. Para uma melhor compreensão dessas capacitâncias é útil analisar a região de fonte (dreno) e a região de depleção formada em seu entorno. Na Figura 9 é apresentada a região de fonte, no qual se destacam duas regiões de depleção:

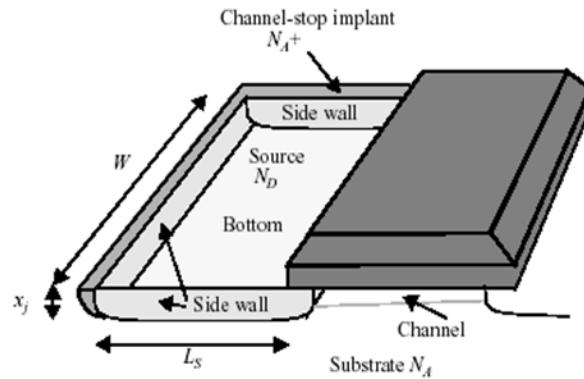


Figura 9. Detalhamento da região em torno da fonte.

- Região de depleção *bottom*: região de depleção formada entre a região inferior da fonte e o substrato. O valor da capacitância nessa região é $C_{Bottom} = C_jWL_S$, onde W é a largura do transistor, C_j é a capacitância de junção por unidade de área e L_S , o comprimento da fonte;

- Região de depleção *side-wall*: região de depleção formada entre a região lateral da fonte e o *channel-stop*, delimitador da região de fonte na fabricação. O *channel-stop* possui dopagem muito maior que o substrato, implicando em maior capacitância por área. O valor da capacitância desse componente é dado por: $C_{SW} = C'_{jsw}x_j(W + 2L_S)$, onde x_j é a profundidade da junção e C'_{jsw} é a capacitância de junção *side-wall* por unidade de perímetro.

Observe que não há contribuição do lado da porta para a região de depleção *side-wall*. Isso ocorre porque as capacitâncias aí já são consideradas nas capacitâncias de canal.

Combinando as capacitâncias vistas, temos como capacitância de junção:

$$C_{diff} = C_{Bottom} + C_{SW} = C_jWL_S + C'_{jsw}x_j(W + 2L_S)$$

Modelo do transistor MOS com os capacitores parasitas

Na Figura 10 é apresentado o transistor MOS, juntamente com suas capacitâncias. Na Tabela 3 são apresentados os valores de cada capacitor representado na Figura 10.

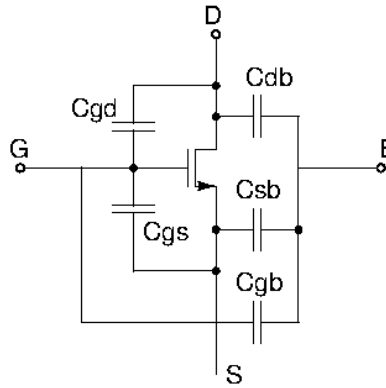


Figura 10. Capacitâncias entre os terminais do transistor NMOS.

Tabela 3. Capacitâncias entre os terminais de um transistor NMOS e seus valores.

Capacitâncias	Equação
C_{GS}	$C_{GCS} + C_{GSO}$
C_{GB}	C_{GCB}
C_{GD}	$C_{GCD} + C_{GDO}$
C_{SB}	C_{Sdiff}
C_{DB}	C_{Ddiff}

Modelo de pequenos sinais.

Pequenas variações nas tensões e correntes do transistor podem ser modeladas por um conjunto básico de componentes eletrônicos chamado modelo de pequenos sinais. Esse modelo é utilizado para realizar análises de circuitos. O modelo mais simples para o transistor é apresentado na Figura 11, o qual consiste de apenas uma fonte de corrente controlada por tensão. Esse modelo serve para um transistor operando em forte inversão na região de saturação.

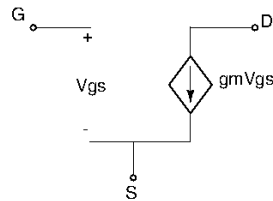


Figura 11. Modelo de pequenos sinais simples do transistor NMOS.

A figura revela que a corrente de dreno é controlada pela tensão de entrada, ou seja, $I_D = gmV_{GS}$. A porta permanece aberta o que implica, neste modelo, uma corrente de porta nula. Agregando um resistor ao circuito, como mostrado na Figura 12, se representa a modulação de comprimento de canal e a variação de I_D com respeito à V_{DS} .

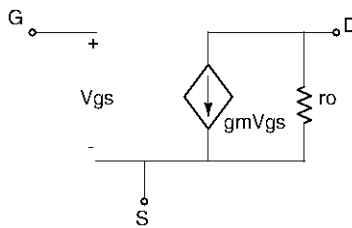


Figura 12. Modelo de pequenos sinais do transistor NMOS, considerando a modulação de canal.

A variável r_o é a resistência de saída do transistor para análise de pequenos sinais. Essa resistência é definida como $r_o = (\frac{\partial I_D}{\partial V_{DS}})^{-1}$. Na literatura esse valor é aproximado por [14]:

$$r_o \cong \frac{1}{\lambda I_D}$$

Modelos mais completos consideram capacitâncias com relação aos terminais do transistor, como apresentado na Figura 13, para baixas frequências, e na Figura 14, para altas frequências.

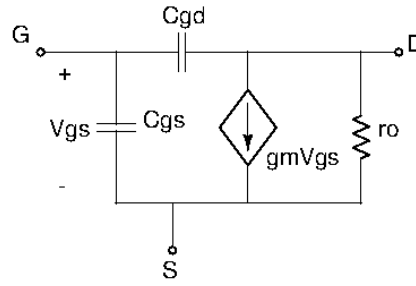


Figura 13. Modelo de pequenos sinais para baixas frequências.

Na Figura 14 também está modelado o efeito de corpo através de uma fonte de corrente dependente controlada pela tensão V_{SB} . Os resistores r_D , r_S e r_B modelam os contatos ôhmicos dos terminais de dreno, fonte e corpo respectivamente. O resistor r_G , modela além do contacto ôhmico da porta também a resistência do material de porta.

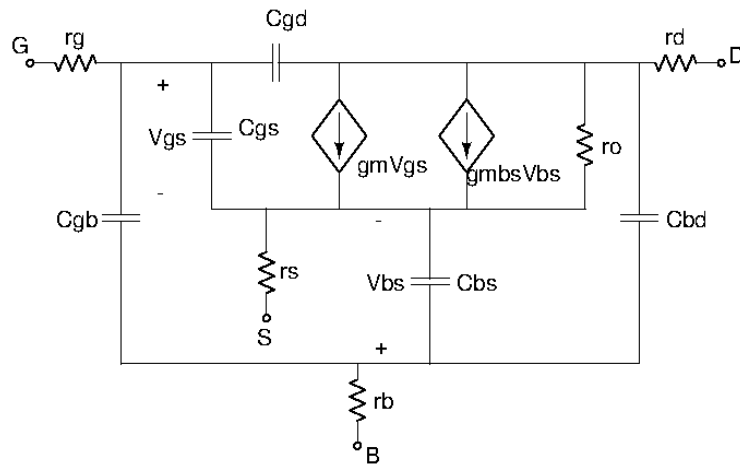


Figura 14. Modelo de pequenos sinais do transistor NMOS completo.

Indutores Integrados

Indutores são componentes utilizados em circuitos integrados normalmente para acertar a resposta em frequência. As principais características de um indutor são os valores da indutância e do seu fator de qualidade, Q .

O parâmetro Q é uma figura de mérito adimensional importante em indutores. Fisicamente é a correlação entre energia que pode ser armazenada no componente e a energia que ele dissipa em consequência de sua não idealidade. Seu valor pode ser calculado por [1] [15]:

$$Q = 2\pi \frac{\text{máxima energia instantânea armazenada no circuito}}{\text{energia dissipada em um ciclo}}$$

Outras características importantes dos indutores são frequência de ressonância e dimensões.

Indutores integrados podem ser passivos ou ativos. Os passivos são construídos com espiras de metal colocadas sobre o substrato. As espiras podem ter diversos formatos geométricos e sua forma e tamanho determinam a indutância e o fator de qualidade do indutor. Na Figura 15 é ilustrado um indutor retangular e os parâmetros associados: o comprimento externo (L_{EXT}), a espessura do segmento do indutor (t), a largura do segmento (w) e o espaçamento entre os segmentos (s).

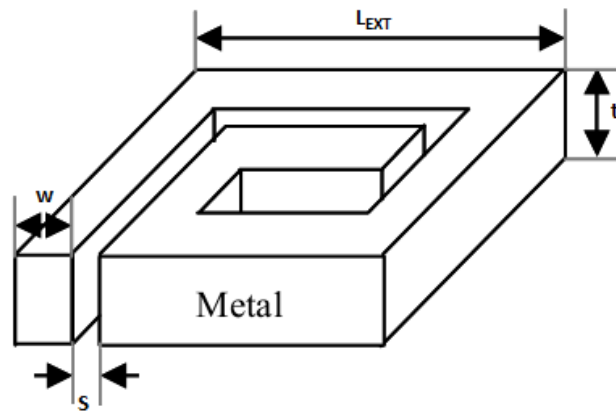


Figura 15. Indutor retangular e seus parâmetros geométricos.

A Figura 16 ilustra alguns formatos geométricos de indutores comumente utilizados: retangular, octogonal, hexagonal, circular [16] [17].

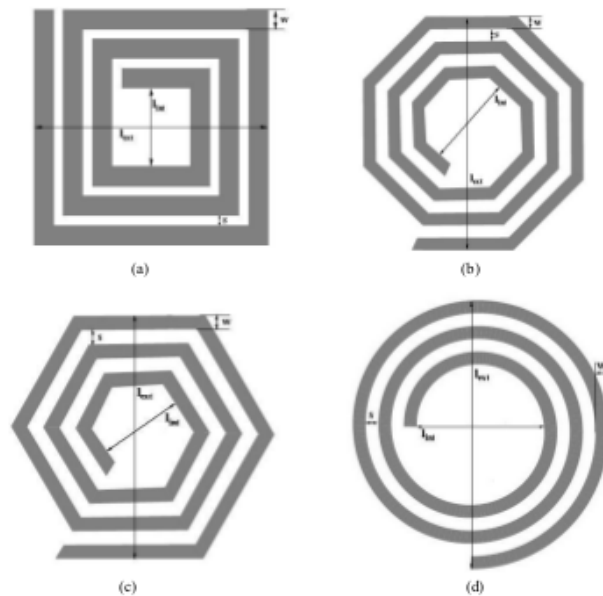


Figura 16. Formatos de indutores integrados: (a) retangular, (b) octogonal, (c) hexagonal e (d) circular.

Indutores ativos são construídos com transistores e apresentam comportamento indutivo numa faixa específica de frequências. A operação de um indutor ativo é baseada no bloco gyrator [18]. Na Figura 17 é apresentado o indutor ativo utilizando transistores [19]. A configuração fonte comum, do transistor M_1 , apresenta transcondutância negativa enquanto a dreno comum, do transistor M_2 , apresenta transcondutância positiva. As transcondutâncias opostas emulam o atraso de fase necessário para se ter a reatância indutiva.

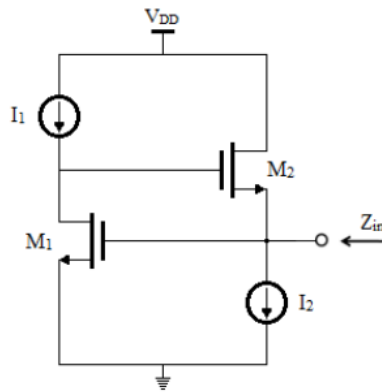


Figura 17. Circuito MOS Indutor ativo.

O presente trabalho utilizou-se de indutores passivos retangulares. Os indutores passivos apresentam os seguintes benefícios em comparação aos indutores ativos: menor ruído, não consomem potência e podem ser usados em altas frequências de operação. Como desvantagem, indutores passivos têm dimensões muito elevadas.

Degradação em indutores passivos integrados

Nos indutores passivos, devido às variações de corrente, há variações do campo magnético, causando efeitos indesejados que o degradam. Os principais efeitos indesejados são: o efeito pelicular, o efeito de proximidade e as correntes eddy [20].

Efeito Pelicular

Quando se tem um sinal elétrico em alta frequência aplicado a um condutor qualquer, o sinal não é transmitido no interior deste condutor, mas se propaga pela região periférica. Isso é consequência do fato dos elétrons do condutor se distribuírem para a superfície. Há dessa forma uma redução na área efetiva por onde passa o sinal e, consequentemente, o aumento da resistência do condutor. Este é o chamado efeito pelicular que ocorre também nos segmentos dos indutores integrados, o que acarreta um aumento nas perdas do indutor à medida que se aumenta a frequência de operação.

A partir das equações de campo elétrico e magnético, podemos encontrar o fator δ , chamado de profundidade de penetração ou profundidade pelicular, *skin depth*, sendo o valor para o qual a densidade de corrente vale $1/e$ relativamente a superfície [21]. Seu valor é dado pela equação [17]:

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}}$$

onde μ é a permeabilidade magnética do material ($\sim 4\pi 10^{-7} \text{ H/m}$), σ é a condutividade do material do condutor e ω é a frequência em rad/s ($\omega = 2\pi f$).

Efeito de Proximidade

O campo magnético dos condutores adjacentes altera a distribuição de correntes de um segmento, gerando altas densidades de corrente nas bordas que estão mais afastadas das linhas de campo dos campos magnéticos. Este é o chamado efeito de proximidade.

Tanto o efeito pelicular como o efeito de proximidade causa o aumento da resistência dos segmentos, o que degrada o fator de qualidade do indutor (devido ao aumento da dissipação de energia por efeito Joule no próprio condutor) [22]. A Figura 18 ilustra o comportamento das correntes nos segmentos de um indutor, à medida que a frequência aumenta [23]. São mostrados tanto o efeito pelicular como o efeito de proximidade.

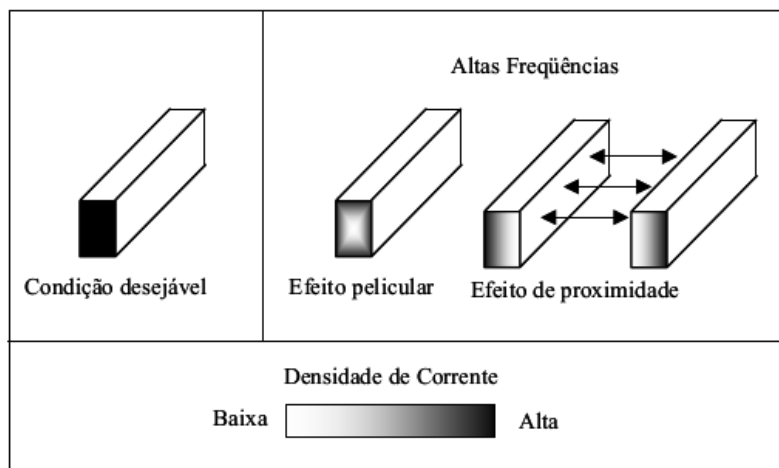


Figura 18. Distribuição das correntes nos segmentos de um indutor para baixas e altas frequências.

Correntes Eddy

As correntes elétricas que passam pelo indutor geram um campo magnético e parte deste acaba penetrando no substrato. Quando há variações nas correntes do indutor, o campo magnético gerado também varia, causando o aparecimento de um campo elétrico no substrato. Este campo fará com que surjam correntes no substrato, as chamadas correntes eddy [24]. As correntes eddy causarão o aparecimento de um campo magnético que, segundo a lei de Lenz, é oposto ao campo induzido pelo indutor, como pode ser observado na Figura 19.

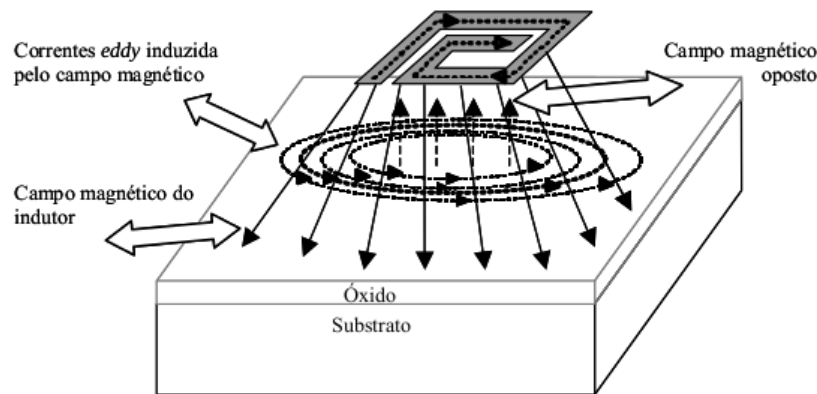


Figura 19. Correntes induzidas no substrato.

As correntes de eddy têm três efeitos negativos: reduzem o valor de L , devido ao fluxo magnético reverso gerado no substrato; reduzem o valor do Q , devido à dissipação de energia no substrato (efeito Joule); aumentam o ruído no *chip*, pois parte da corrente gerada no substrato se difunde e pode atingir circuitos próximos.

A intensidade da corrente do substrato é inversamente proporcional à sua resistividade, o que sugere que substratos de alta resistividade são melhores para se obter indutores de qualidade. Infelizmente substratos de alta resistividade aumentariam muito a possibilidade de disparo de estruturas bipolares parasitas, causando o chamado *latch-up*.

Circuito Equivalente

Um modelo elétrico muito utilizado para indutores integrados está ilustrado na Figura 20 e denomina-se modelo PI [25]. O modelo abrange a indutância das espiras (L), a resistência série dos segmentos (R_S), a capacitância entre os segmentos (C_S), a capacitância entre os segmentos do indutor e o substrato (C_{OX}), a capacitância do substrato (C_{SI}) e a resistência do substrato (R_{SI}). Assim, por este modelo, o indutor é caracterizado elétrica-

mente por seis parâmetros (que podem ou não variar com a frequência): a indutância L , as resistências R_S e R_{Si} e as capacitâncias C_S , C_{OX} , e C_{Si} .

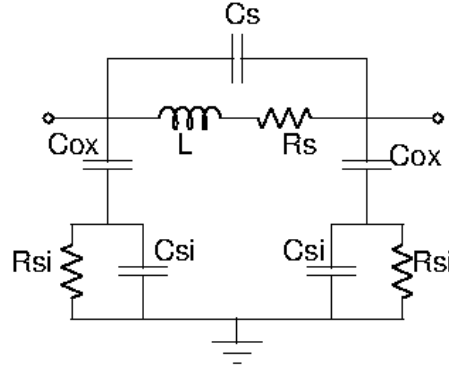


Figura 20. Modelo equivalente para o indutor integrado.

A Figura 21 ilustra as várias espessuras que caracterizam um indutor de uma espira: espessura do segmento de metal (t_m); espessura do metal utilizado para a saída do indutor (t_{ms}); espessura total das camadas de isolante (t_{ox}), espessura do isolante entre a camada de metal dos segmentos e o metal de saída ($t_{ox,ms-m}$) [17].

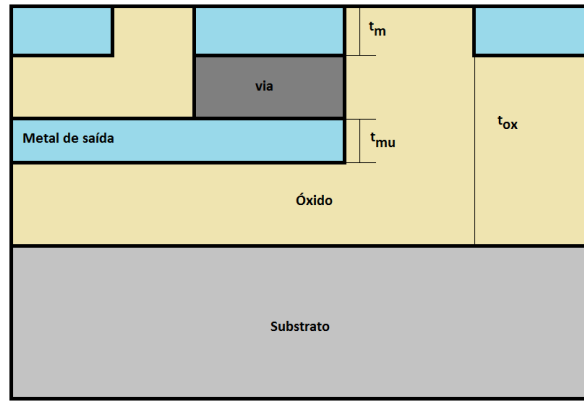


Figura 21. Espessuras que caracterizam o indutor de uma espira.

Nas próximas seções serão apresentadas expressões para cada um dos seis parâmetros descritos anteriormente. Estas serão utilizadas no *software* MATLAB para determinar os parâmetros do modelo PI de um indutor. Vale ressaltar que o conjunto de equações analíticas descrito abaixo, para determinar os parâmetros do indutor, é um dos muitos encontrados na literatura.

Indutância

A indutância L , para indutor passivo retangular Figura 15, pode ser dada pela equação abaixo [26]:

$$L = k_L \left(\frac{A_T^{\frac{3}{2}}}{w^2} \right) \left(\frac{A_M^{\frac{5}{3}}}{A_T} \right) \left(\frac{w}{w+s} \right)^{\frac{1}{4}}$$

onde k_L é uma constante de proporcionalidade ($1,3 \times 10^{-7}$), A_M é área total de metal do indutor retangular e A_T é a área total ocupada pelo indutor, sendo ela caracterizada por L_{EXT} .

Resistência Série

A resistência série R_s pode ser dada pela equação a seguir [27], que modela a resistividade dos segmentos de metal e o efeito pelicular [28].

$$R_s = \frac{\rho_M l_T}{w \delta (1 - e^{-\frac{t_M}{\delta}})}$$

onde ρ_M é a resistividade do metal, t_M é a espessura da camada metálica, l_T é o comprimento total do metal do indutor e δ é a profundidade pelicular dada por [20]:

$$\delta = \sqrt{\frac{2\rho_M}{\omega\mu}}$$

Capacitância entre os Segmentos

A capacitância entre os segmentos do indutor (C_s) tem um valor muito pequeno e pode ser calculada pela expressão [20] [17].

$$C_s = n w^2 \frac{\epsilon_{ox}}{t_{ox,ms-m}}$$

onde n é o número de voltas do indutor, w é a largura dos segmentos, $t_{ox,ms-m}$ é a espessura entre metais e ϵ_{ox} é a constante dielétrica do isolante entre a primeira camada de metal utilizada no indutor e o metal de saída ($3,45 \times 10^{-11} \text{ F/m}$ para óxido de silício).

Capacitância do Isolante

O valor desta capacitância depende, principalmente, da espessura do isolante entre o indutor e o substrato ([20], [16]) e pode ser dada por:

$$C_{ox} = \frac{1}{2} \frac{\epsilon_{ox}}{t_{ox}} l_T w$$

onde t_{ox} é a espessura do isolante entre indutor e substrato. O fator 1/2 da equação é decorrente do modelo do indutor considerar dois elementos C_{ox} em paralelo (Figura 15).

Capacitância do Substrato

A capacitância do substrato pode ser calculada pela equação [29]:

$$C_{si} = \frac{1}{2} \frac{\epsilon_{si}}{t_{si}} l_T w$$

onde ϵ_{si} permissividade dielétrica do silício ($1,04 \times 10^{-10} F/m$) e t_{si} é a espessura do silício. O fator 1/2 da equação é decorrente do modelo do indutor considerar dois C_{si} em paralelo.

Resistência do Substrato

Uma das equações para esta resistência está apresentada a seguir [26]. Ela modela as perdas no substrato causadas pelas correntes que aí aparecem (correntes eddy).

$$R_{si} = 2\rho_{si} \left(\frac{t_{si}^2}{t_{si}^2 + A_T} \right)$$

onde ρ_{si} é a resistividade do substrato e A_T é a área total do indutor. O fator 2 da equação é decorrente do modelo do indutor considerar dois R_{si} em paralelo.

Limitações do Circuito Equivalente

Embora sejam considerados muitos elementos parasitas no modelo do circuito equivalente do indutor, algumas relações fornecidas apresentam limitações. Uma primeira limitação é que na equação da resistência série não está incluído o efeito de proximidade, que causa o aumento do valor da resistência. Felizmente o efeito de proximidade é praticamente insignificante se comparado com o efeito pelicular [17]. Outra limitação é que o

efeito da indutância mútua entre o substrato e o indutor não está sendo considerado. Essa indutância mútua aparece devido tanto ao fluxo magnético gerado pelo indutor, que atravessa o substrato, quanto ao fluxo magnético gerado pelas correntes eddy no substrato, que atravessa o indutor [17]. Por fim, também não estão incluídas no modelo utilizado as capacitâncias laterais entre os segmentos do indutor.

Amplificadores de baixo ruído – LNA

Parâmetros de projeto

Ruído

Ruído é definido como qualquer sinal de interferência aleatória que não tem relação com o sinal de interesse. Essas interferências, para resistores e transistores MOS, são principalmente do tipo térmico [10].

Ruído térmico: São sinais aleatórios causados pelo movimento térmico dos portadores de um dispositivo. É modelado por valores estatísticos [1], pois não é possível determinar um valor específico para o sinal em um determinado instante de tempo. Para um resistor, o ruído térmico pode ser modelado com uma fonte de tensão em série ao resistor, Figura 22, sendo a tensão dada por:

$$\overline{v_n^2} = 4kTR\Delta f$$

onde $\overline{v_n^2}$ é o valor quadrático médio da tensão de ruído numa faixa de frequências Δf , R o valor da resistência, k a constante de Boltzmann ($1,38 \times 10^{-23} \text{ J/K}$) e T a temperatura absoluta em Kelvin.

Conforme ilustrado na Figura 22 a modelagem do ruído térmico em um resistor pode ser feita com uma fonte de corrente paralela ao resistor, ao invés de uma fonte de tensão, sendo a corrente dada por:

$$\overline{i_n^2} = 4kTG\Delta f$$

onde $\overline{i_n^2}$ é o valor quadrático médio da corrente de ruído numa faixa de frequências Δf e $G = R^{-1}$.

Para a análise de ruído, um resistor pode ser modelado, portanto, com um resistor ideal mais uma fonte de ruído, em tensão ou em corrente, como mostra a Figura 22.

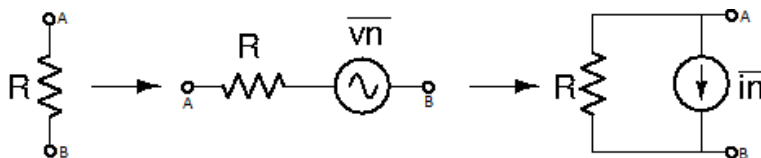


Figura 22. Modelo do ruído térmico do resistor.

Em transistores MOS o ruído térmico também está presente. A resistência no canal contribui com o chamado ruído da corrente de dreno. Esse ruído pode ser modelado com uma fonte de corrente entre fonte e dreno, sendo seu valor dado por [1]:

$$\overline{i_{nd}^2} = 4kTg_{do}\gamma\Delta f$$

onde $\overline{i_{nd}^2}$ é o valor quadrático médio da corrente de ruído numa faixa de frequências Δf , g_{do} é a condutância do canal quando $V_{DS} = 0$, γ é o coeficiente de ruído no dreno (tem valor de 1,0 quando $V_{DS} = 0$ e decresce até 2/3 na saturação).

Além do ruído de corrente de dreno, existe devido à agitação térmica no canal, uma segunda fonte de ruído, sendo modelado por uma fonte de corrente na porta do transistor. O valor da corrente é dado pela seguinte expressão [30]:

$$\overline{i_{ng}^2} = 4kTg_g\delta\Delta f$$

onde $\overline{i_{ng}^2}$ é o valor quadrático médio da corrente de ruído numa faixa de frequências Δf , δ é o coeficiente de ruído da porta, g_g é a condutância formada entre porta e fonte e se expressa como:

$$g_g = \frac{\omega^2 C_{GS}^2}{5g_{do}}$$

Na Figura 23 é ilustrado o modelo do transistor MOS com fontes de ruído para uso em análises de ruído. Nessa figura a fonte de corrente $\overline{i_{ng}}$ foi substituída pela fonte de tensão equivalente, possível graças aos teoremas de dualidade de Thevenin e Norton, $\overline{v_{ng}}$.

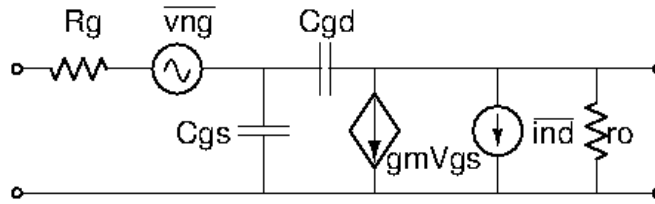


Figura 23. Modelo do transistor NMOS considerando o ruído.

Ganho

Inicialmente vamos diferenciar ganho de tensão de ganho de potência. Em amplificadores de baixo ruído o ganho de tensão é utilizado quando na saída do LNA a carga é capacitiva, onde não é preciso realizar casamento da impedância de saída. Por outro lado, quando na saída do LNA a carga é resistiva é normalmente necessário realizar casamento da impedância de saída e, nesse caso, o ganho de potência é mais interessante de ser aplicado

[31]. Neste segundo caso, quando o casamento é perfeito ou quase perfeito, o ganho de potência coincide com o ganho de tensão. O ganho de tensão é definido como a razão entre a amplitude do sinal da saída, v_o , pela amplitude do sinal da entrada, v_i . Portanto o ganho de tensão, A_v , é:

$$A_v = \frac{v_o}{v_i}$$

Uma forma interessante de expressar o ganho é através do logaritmo do seu valor:

$$A_{v_{dB}} = 20\log(|A_v|)$$

O ganho de potência A_p , por sua vez, será:

$$A_p = \frac{P_o}{P_i}$$

onde P_o e P_i correspondem às potência fornecida à saída e a potência recebida na entrada do amplificador respectivamente.

O ganho de potência também pode ser expresso por logaritmo do seu valor:

$$A_{p_{dB}} = 10\log(|A_p|)$$

O ganho de potência pode ser ainda escrito como:

$$A_p = \frac{v_o^2 R_i}{v_i^2 R_o}$$

onde R_i é a resistências de entrada e R_o , a de saída.

Quando as resistências de entrada e de saída forem iguais, o ganho de potência é igual ao quadrado do ganho de tensão:

$$A_p = A_v^2$$

Transformando os ganhos de tensão e potência em logaritmo, temos:

$$A_{p_{dB}} = 10\log(|A_v|^2) = A_{v_{dB}}$$

Linearidade

Um LNA deve fazer mais que amplificar sem acrescentar ruído. Ele deve manter um comportamento linear tanto na presença de sinais fracos como de sinais fortes [1]. Um LNA de ganho de tensão A_v tem um comporta-

mento linear quando para um sinal de entrada com amplitude v_i o sinal de saída v_o tem amplitude $A_v v_i$, qualquer que seja v_i . Essa amplificação linear ocorre somente no caso ideal.

As medidas de linearidade mais utilizadas são o ponto de compressão de 1 dB (*compression point 1 dB* - CP 1 dB) e o ponto de interseção de terceira ordem (IP_3) (Figura 24). O ponto de compressão de 1 dB referido na entrada, ICP_{1dB} (OCP_{1dB} quando referido a saída), é definido como a amplitude do sinal de entrada (amplitude do sinal de saída quando referida a saída) que faz com que o ganho tenha uma queda de 1 dB [32] (Figura 24(a)) relativamente ao valor ideal (amplificado) na saída.

A partir do ponto de compressão de 1 dB calcula-se a faixa dinâmica (FD) do circuito. A FD é a diferença entre a máxima amplitude permitida para o sinal de entrada, o valor ICP_{1dB} , e a mínima amplitude do sinal de entrada que pode ser detectada, limitada inferiormente pelo plano de ruído.

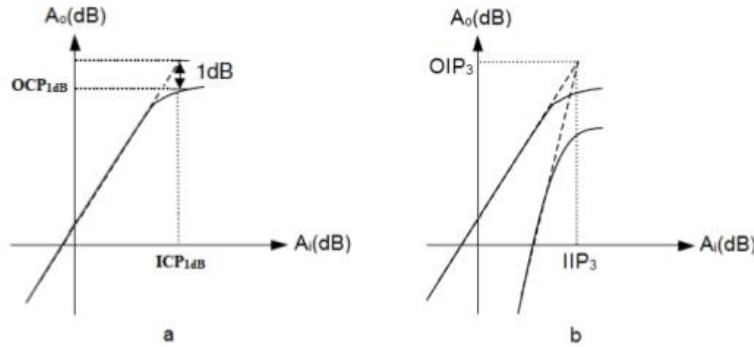


Figura 24. Amplitude de saída versus amplitude de entrada; a) ponto de compressão 1,0 dB e b) ponto de intersecção de terceira ordem.

O ponto IP_3 (Figura 24(b)) é um parâmetro para medir a influência das componentes de intermodulação de terceira ordem. Essas componentes de terceira ordem, geradas por tons com frequências próximas, podem dificultar a identificação do sinal original.

O IIP_3 (IP_3 referido a entrada) é a amplitude A do sinal na entrada $v_i = A[\cos(\omega_1 t) + \cos(\omega_2 t)]$, onde $\omega_1 \cong \omega_2$, para o qual os sinais de saída na frequência ω_1 ou ω_2 e as componentes de intermodulação de terceira ordem, nas frequências $(2\omega_1 - \omega_2)$ ou $(2\omega_2 - \omega_1)$, tem amplitudes iguais.

Caso aproximemos o comportamento do ganho do LNA por [33]:

$$v_o = a_0 + a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots$$

onde v_o é o sinal de saída e a_0, a_1, \dots são constantes, pode-se mostrar que [2]:

$$IIP_3 = \sqrt{\frac{4|a_1|}{3|a_3|}}$$

Pode-se mostrar também que os parâmetros ICP_{1dB} e IIP_3 estão relacionados por [2]:

$$20 \log \left(\frac{IIP_3}{ICP_{1dB}} \right) = 9,6 \text{ dB}$$

Estabilidade

Oscilações podem ocorrer inesperadamente, caso o projeto de casamento de impedâncias de entrada e saída não sejam adequados, em circuitos com ganho como um LNA, impossibilitando o uso do circuito. É necessário então garantir a estabilidade do LNA. Uma forma de determinar a estabilidade de um amplificador é através da medição dos parâmetros de espalhamento (*scatering parameters*). Na Tabela 4 são apresentados os parâmetros de espalhamento juntamente com suas definições. Um coeficiente útil para análises da estabilidade é o K dado por [8] [34]:

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{21}S_{12}|}$$

onde $\Delta = S_{11}S_{22} - S_{12}S_{21}$.

Tabela 4. Parâmetros S e suas definições.

Parâmetro	Definição
S_{11}	Coefficiente de Reflexão na entrada quando a porta da saída é casada
S_{21}	Ganho de potência quando a porta de saída é casada
S_{12}	Ganho inverso quando a porta de entrada é casada
S_{22}	Coefficiente de Reflexão quando a porta de entrada é casada

Caso os coeficientes K e Δ obedeçam às relações $K > 1$ e $|\Delta| < 1$, o LNA é incondicionalmente estável para qualquer combinação de impedâncias de entrada e de saída.

Topologias de LNAs

As topologias de LNAs podem ser pensadas como compostas de três estágios: estágio ou rede de casamento de entrada, estágio amplificador e estágio ou rede de casamento de saída [35]. Para o projeto do estágio amplificador utilizam-se duas configurações ou combinações destas: configuração com Porta Comum e configuração com Fonte Comum. A configuração Dreno Comum é utilizada geralmente para casamento no estágio de saída.

Cada uma das configurações acima, Porta, Fonte e Dreno Comum, apresenta algumas características interessantes para o projeto do amplificador. Suas características são [11]:

- **Porta Comum (PC):** Na configuração Porta Comum, mostrada na Figura 25 (a), o sinal de entrada é aplicado à fonte e a saída colhida no dreno do transistor. Esta topologia fornece ganho de tensão moderado, baixa impedância de entrada e moderada impedância de saída;
- **Fonte Comum (FC):** Na configuração Fonte Comum, ilustrada na Figura 25 (b), o sinal de entrada é aplicado à porta e a saída colhida no dreno. Provê ganho de tensão moderado, alta impedância de entrada e moderada impedância de saída;
- **Dreno comum (DC):** Nesta configuração, também chamada de Seguidor de Fonte, o sinal de entrada é aplicado na porta do transistor e a saída colhida na fonte como se pode observar na Figura 25 (c). O seguidor de Fonte provê ganho de tensão menor que 1,0, alta impedância de entrada e baixa impedância de saída.

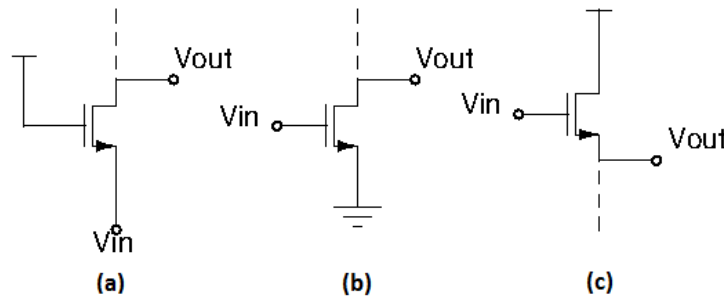


Figura 25. Configurações de transistores: (a) Porta Comum (PC), (b) Fonte Comum (FC) e (c) Dreno Comum (DC).

No projeto de LNAs as principais topologias são as que possuem degeneração da fonte, onde um resistor ou indutor é ligado em série com a fonte. Essa ligação tem como intuito casar a impedância de entrada, melhorar a linearidade e aumentar a impedância de saída [11]. Exemplos de topologias com degeneração na fonte são:

- **Configuração FC com degeneração indutiva (DI) na fonte:** Nesta configuração, Figura 26 (a), se utiliza um amplificador FC. Os indutores aplicados na fonte e na porta servem para cancelar a capacitância de entrada e ajustar a impedância. Comparada com a seguinte configuração, esta apresenta maior dificuldade para fazer o casamento da impedância de entrada, mas, em compensação, apresenta uma melhor figura de ruído.
- **Configuração PC com degeneração indutiva (DI) na fonte:** Nesta configuração, Figura 26 (b), se utiliza um amplificador PC. O indutor aplicado na fonte serve para cancelar a capacitância de entrada a fim de obter uma impedância resistiva. O principal problema com esta configuração PC é o valor da figura

de ruído (NF), tipicamente maior que 3,0 dB, mas ela oferece, como compensação, uma maior facilidade para a realização do casamento da impedância de entrada [36].

- **FC Cascode com degeneração indutiva na fonte (FCCDI):** Esta arquitetura, Figura 27, utiliza um amplificador fonte comum com um transistor *cascode* em série (transistor M_2). A configuração em cascode com degeneração indutiva na fonte se caracteriza por garantir que o amplificador apresente ganhos consideravelmente altos. O transistor M_2 é utilizado ainda para melhorar o isolamento entre entrada e saída [37] [5]. Com isto se garante também maior estabilidade ao amplificador.

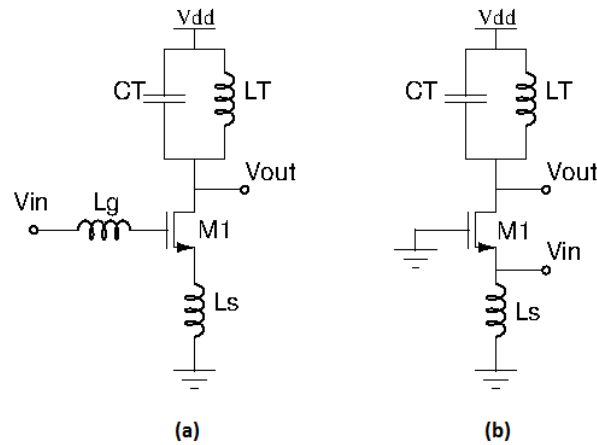


Figura 26. (a) Configuração FC com DI, (b) Configuração PC com DI.

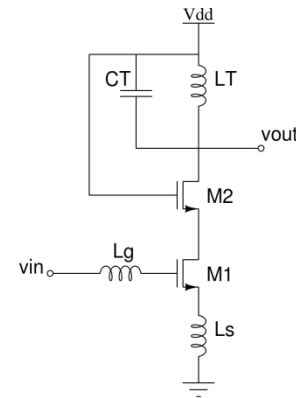


Figura 27. Fonte comum cascode com degeneração indutiva (FCCDI).

Os elementos comuns a todas as topologias apresentadas são: o indutor L_S , utilizado para realizar o casamento de impedância da entrada junto ou não com L_G , a capacitância C_T e o indutor L_T , utilizados para sintonização da frequência e aumentar o ganho. Na Tabela 5 são apresentadas as principais características de cada uma dessas topologias.

Tabela 5. Resumo das características das configurações com degeneração indutiva.

Configuração	Vantagens	Desvantagens
FCDI	Bom ganho e boa figura de ruído	Casamento de impedância na entrada
PCDI	Casamento de impedância na entrada simples	Figura de ruído elevada
FCCDI	Maior ganho, melhor isolamento da entrada e saída e aceitável figura de ruído	Casamento de impedância na entrada

Pela Tabela 5 é claro que a configuração FCCDI é a que oferece o melhor compromisso entre ganho, isolamento e uma figura de ruído boa. Pelos motivos apresentados o presente trabalho utiliza topologias FCCDI.

Características da arquitetura FCCDI

Serão apresentados nesta seção os cálculos do fator de ruído, ganho, impedância de entrada e saída do circuito FCCDI apresentado na Figura 27.

Fator de Ruído

O circuito FCCDI pode ser aproximado por um circuito amplificador de dois estágios, um formado pelo transistor M_1 e outro pelo transistor M_2 . A figura de ruído de dois blocos colocados em cascata pode ser calculada por [34]:

$$F_T = F_1 + \frac{F_2 - 1}{A_1},$$

onde F_1 é a figura de ruído do primeiro estágio, F_2 é a figura de ruído do segundo estágio e A_1 é o ganho do primeiro estágio.

Caso o ganho do primeiro estágio, A_1 , seja suficientemente grande, a contribuição do segundo estágio para o ruído pode ser desprezada. É o que acontece no circuito FCCDI. Dessa forma, o cálculo do fator de ruído é feito considerando o circuito equivalente da Figura 28, com apenas o transistor M_1 . Nela R_s representa a resistência da fonte de entrada, R_i a resistência em série do indutor L_G , R_G a resistência do contato de porta, i_d o ruído térmico do canal e v_s , v_i , e v_g as fontes de ruído térmico das resistências R_s , R_i e R_G .

Podemos calcular a figura de ruído pela seguinte expressão [8]:

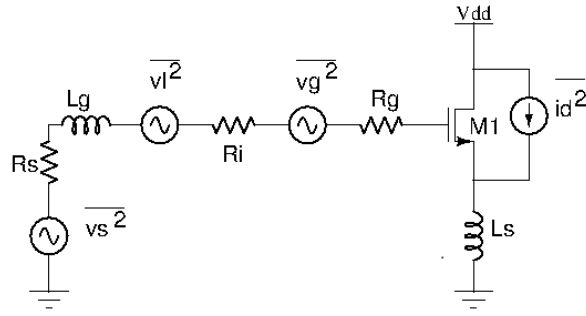


Figura 28. Circuito para o cálculo do ruído do LNA.

$$F = \frac{\text{Densidade de potência de ruído total na saída}}{\text{Densidade de potência de ruído total na saída devido à fonte de entrada } V_S} = \frac{S_{n,T}}{S_{n,R_S}}$$

As densidades de potência acima devem ser avaliadas em ω_o , a frequência de operação do LNA.

Para o cálculo do ruído, devemos considerar as contribuições de todos os resistores, R_S , R_i e R_G , e do transistor, i_d .

Começemos com a contribuição devido ao ruído do resistor R_S , $\overline{v_s^2}$. A densidade de potência de v_s é dada pela seguinte expressão (considerando $\Delta f = 1 \text{ Hz}$):

$$\overline{v_s^2} = 4kTR_S$$

O ruído gerado na saída tem densidade de potência, dado por:

$$S_{n,R_S} = \overline{v_s^2} G_m^2$$

onde G_m é a transcondutância do estágio de entrada e é dado por $G_m = g_{m1} Q_{in}$, g_{m1} é a transcondutância de M_1 e Q_{in} é o fator de qualidade efetivo do circuito de entrada.

O circuito de entrada do LNA se comporta como um circuito RLC , onde a expressão para o fator de qualidade efetivo é dado por:

$$Q_{in} = \frac{1}{\omega_o C_{GS1} (R_S + \frac{g_{m1} L_S}{C_{GS1}})}$$

Chamando $\frac{g_{m1}}{C_{GS1}}$ de ω_T , frequência de corte do transistor. Podemos determinar, por fim a contribuição do ruído devido R_S na saída.

$$S_{n,R_S} = \frac{4kT\omega_T^2}{\omega_o^2 R_S (1 + \frac{\omega_T L_S}{R_S})^2}$$

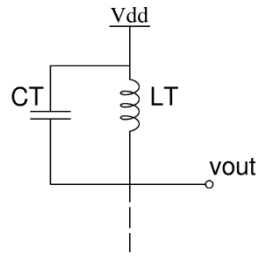


Figura 30. Rede $L_T C_T$ para ajuste de frequência de operação para o circuito da Figura 27.

Algumas simplificações são feitas para o cálculo do ganho do circuito LNA:

- Na pratica se observa que as capacitâncias C_{GD} são de valor muito baixo, portanto vamos desconsiderá-las;
- O indutor L_s também é de valor baixo, por isso, iremos despreza-lo;
- $g_{m1} \gg g_{o1}$ e $g_{m2} \gg g_{o2}$

Na Figura 31 é apresentado o circuito simplificado.

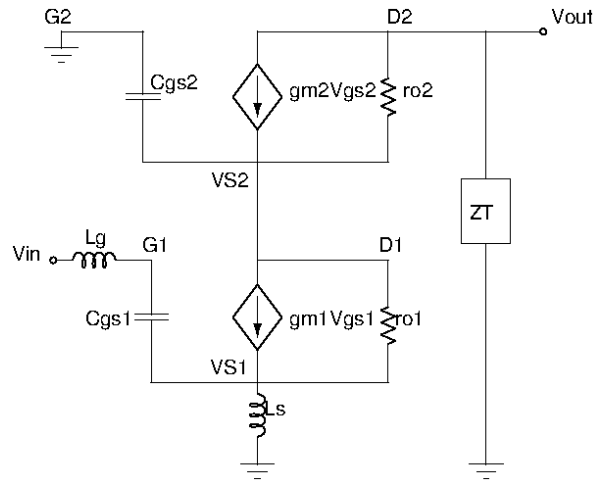


Figura 31. Modelo de pequenos sinais simplificado para o cálculo do ganho do LNA.

Fazendo a análise nodal nos seguintes nós V_{out} , V_{S2} e G_1 , temos:

$$\begin{aligned} \frac{V_{out}}{Z_T} + (V_{out} + V_{S2})g_{o2} + g_{m2}V_{S2} &= 0 \\ (V_{S2} - V_{out})g_{o2} - g_{m2}V_{S2} + g_{o1}V_{S2} + g_{m1}V_{GS1} + sC_{GS2}V_{S2} &= 0 \\ \frac{V_{G1} - V_{in}}{sL_G} + sC_{GS1}V_{S1} &= 0 \end{aligned}$$

onde V_{in} , V_{out} , V_{s2} são as tensões nos respectivos nós.

Considerando que para cada transistor os g_m s são bem maiores g_o s e fazendo $Z_T = \frac{sL_T}{1+s^2L_TC_T}$, temos que a fórmula do ganho é:

$$A_v = \frac{v_{out}}{v_{in}} \approx \frac{Z_T g_{m1} g_{m2}}{(s^2 C_{GS1} L_G + 1) [Z_T g_{o2} (s C_{GS2} + g_{o1}) + s C_{GS2} + g_{m2}]}$$

Impedância de entrada

O casamento de impedância garante a máxima transferência de potencia entre a fonte e o circuito além de evitar reflexões de sinais. Para ser calculada a impedância de entrada é necessário considerar o estágio de entrada do circuito, Figura 32, e o seu modelo de pequenos sinais, Figura 33.

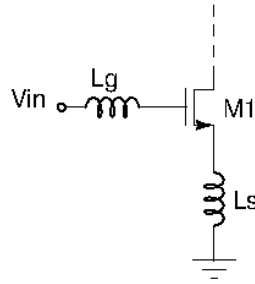


Figura 32. Circuito para o casamento de impedância na entrada.

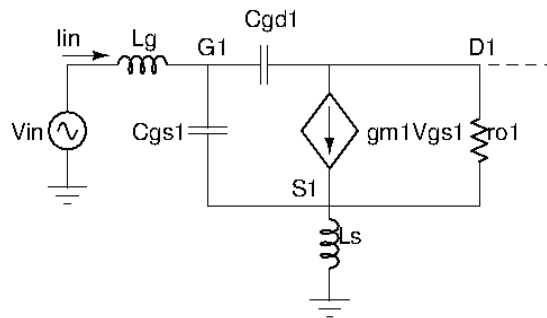


Figura 33. Modelo de pequenos sinais para o circuito da Figura 32.

Considerando as seguintes equações extraídas da Figura 33 e levando em conta que $C_{GD} \ll C_{GS}$ e que r_{o1} é muito grande, temos:

$$V_{in} = I_{in} \left(sL_G + \frac{1}{sC_{GS1}} \right) + sL_S (I_{in} + g_{m1} V_{GS1})$$

$$V_{GS1} = \frac{I_{in}}{sC_{GS1}}$$

Substituindo e agrupando as equações, temos:

$$Z_{in} = \frac{V_{in}}{I_{in}} \cong s(L_G + L_S) + \frac{1}{sC_{GS1}} + g_{m1} \frac{L_S}{C_{GS1}}$$

Os valores das indutâncias devem ser ajustados para que Z_{in} seja puramente resistiva na frequência de operação ω_0 do LNA. Nessas condições teremos

$$\omega_0 = \sqrt{\frac{1}{(L_G + L_S)C_{GS1}}} \quad \text{e} \quad Z_{in} = g_{m1} \frac{L_S}{C_{GS1}}$$

Impedância de saída

Para o casamento de saída do circuito da Figura 27, quando necessário, é utilizado um estágio FC na saída do circuito, Figura 34. O casamento de impedância na saída causa aumento da potencia consumida, juntamente com a deterioração da figura de ruído. Entretanto, esse casamento garante a máxima transferência de potência para o bloco seguinte.

O cálculo da impedância de saída é análogo ao de entrada. Considera-se o modelo de pequenos sinais do circuito de saída, apresentado na Figura 35. Para o calculo da impedância de saída é aplicada uma tensão V_x na saída e avaliada a corrente I_x . A impedância de saída será:

$$Z_{out} = \frac{V_x}{I_x}$$

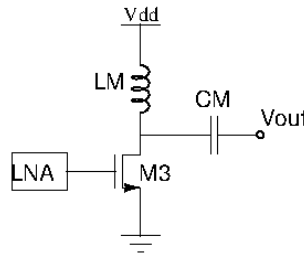


Figura 34. Circuito para casamento de saída.

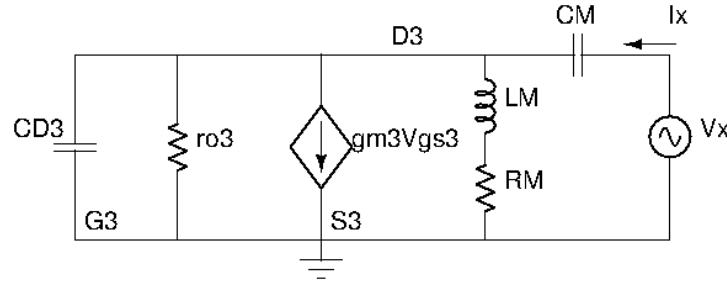


Figura 35. Modelo de pequenos sinais do circuito da Figura 34.

Na Figura 35 temos que $C_{D3} = C_{GD3} + C_{DB3}$ e $V_{GS3} = 0$. Desconsiderando r_{o3} , devido ao seu alto valor, o circuito pode ser simplificado como apresentado na Figura 36.

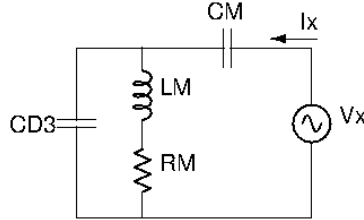


Figura 36. Simplificação do modelo pequenos sinais da Figura 34.

A impedância de saída será então dada por:

$$Z_{out} = \frac{V_x}{I_x} \cong \frac{R_M + sL_M}{sC_{D3}(R_M + sL_M) + 1} + \frac{1}{sC_M} \approx \frac{1}{s} \frac{s^2(C_{D3} + C_M)L_M + s(C_{D3} + C_M)R_M + 1}{s^2C_{D3}C_M L_M + sC_{D3}C_M R_M + C_M}$$

Os valores da indutância L_M e da capacitância C_M devem ser ajustados para que Z_{out} seja puramente resistiva na frequência de operação ω_0 do LNA. Nessas condições considerando que Z_{out} seja bem maior que um e que R_M seja pequeno, devemos ter como frequência de ressonância do estágio:

$$\omega_o = \sqrt{\frac{1}{L_M C_{D3}}}$$

Portanto, computamos a impedância de saída como:

$$Z_{out} = \frac{(C_{D3} + C_M)L_M}{C_{D3}C_MR_M}$$

Algoritmos Meta-heurísticos

Podemos definir a otimização de um sistema como o processo pelo qual se minimiza seu esforço, associado ao consumo de potência, ao custo, a tempo de execução, e se maximiza seu benefício, associado à qualidade dos resultados gerados. O esforço requerido e o benefício desejado podem ser quantificados com uma função objetivo [38]. Essa função determina a qualidade da solução encontrada. Uma solução ótima é aquela que tem o melhor valor de função objetivo dentre todas as soluções de sua vizinhança (o melhor pode ser o máximo ou o mínimo da função, dependendo de cada problema). Quando este valor é o melhor dentre todas as soluções do espaço de busca, esta solução é um ótimo global; quando este valor é o melhor apenas em uma região do espaço de busca, é um ótimo local. Portanto, para a otimização é essencial que uma função objetivo esteja bem definida.

Problemas de otimização podem ser classificados em dois tipos: problemas polinomiais, tipo P com algoritmo determinístico para resolver, e problemas não polinomiais, tipo NP, que não possuem algoritmos determinísticos para sua solução. Uma classe de algoritmos capaz de resolver ambos os tipos de problemas de forma satisfatória são os algoritmos heurísticos. Dentre os algoritmos heurísticos temos os algoritmos meta-heurísticos.

Os primeiros métodos de otimização datam da época de Newton, Lagrange e Cauchy. Entretanto, esses métodos só tiveram um maior avanço após o surgimento de computadores digitais na década de 1960. Em 1975, John Holland propôs o Algoritmo Genético (*Genetic Algorithm* - GA) e S. Kirkman propôs o Recozimento Simulado (*Simulated Annealing* - SA). Emergem posteriormente outros algoritmos como *Tabu Search* (TS) e o *Smooth Search* (SS) em 1986, o *Threshold Accepting* (TA) e o Enxame de Partículas (*Particle Swarm Optimization* - PSO) [39] em 1990, e em 1995 o *Pattern Search* (PS) [40].

O projeto de um LNA pode ser visto como um problema de otimização, com um alto nível de complexidade. Consideramos o projeto de um LNA, um problema elegível para ser resolvido por métodos meta-heurísticos devido ao grande número de variáveis que o mesmo possui. Os algoritmos utilizados nesse trabalho são *Simulated Annealing* (SA) e *Particle Swarm Optimization* (PSO).

A determinação de todas as dimensões dos dispositivos presentes em um LNA, de forma que o circuito atenda aos requisitos da melhor forma possível, é o foco desse trabalho. Um aspecto fundamental do presente trabalho é a não utilização de equações de descrição do circuito no cálculo da função objetivo, sendo sua avaliação feita por meio de resultados de simulações elétricas. Com isso se evitam a difícil análise elétrica do circuito e os erros advindos das aproximações aplicadas, tornando os resultados mais próximos do real.

Simulated Annealing - SA

O SA fundamenta-se nos princípios da termodinâmica. A termodinâmica diz que um sistema com uma dada temperatura atinge espontaneamente um estado de equilíbrio de menor energia e o valor de energia que depende da temperatura [41]. Esse princípio pode ser aplicado em metais para obter estados de menor energia e estruturas mais fortes. O processo de *annealing*, aquecer e esfriar lenta e controladamente, faz com que os átomos do sólido ganhem energia para se movimentarem livremente para assim formarem uma estrutura cristalina forte e reduzirem os defeitos do material. O processo consiste de duas etapas: na primeira, a temperatura do sólido é aumentada, na segunda o esfriamento é realizado lenta e controladamente até que o material se solidifique. Nesta segunda fase, os átomos que compõem o material organizam-se numa estrutura uniforme e que possui mínima energia.

É possível fazer analogia entre o método de *annealing* e problemas de otimização [41]. Podemos correlacionar o estado atual do sistema com uma solução atual do problema, a equação de energia do sistema com uma função objetivo e o estado de mais baixa energia com o mínimo local. Conhecendo essa analogia, podemos descrever o algoritmo SA da seguinte forma: considera-se uma solução inicial tomada como solução corrente e que tem energia E_{atual} . Para cada iteração, gera-se uma nova solução, com energia E_i , a partir da solução corrente. Caso a nova solução seja melhor que a corrente, ela é tomada como a nova corrente. Em caso contrário, ela terá uma probabilidade, calculada através da temperatura atual e da degradação de energia $\Delta E = E_{corrente} - E_i$, de ser aceita. Normalmente, a função de probabilidade de aceitação é da forma $P = e^{\frac{-\Delta E}{kT}}$, onde k é uma constante e T é temperatura do sistema. Conforme o algoritmo progride, a temperatura é reduzida, resfriamento, e a probabilidade de aceite decresce.

Durante os processos de resfriamento pode haver um reaquecimento, *reannealing*, para evitar que o algoritmo fique preso em mínimos locais.

Particle Swarn Optimization - PSO

O PSO é uma técnica de otimização estocástica baseada em populações. Essa técnica implementa uma analogia ao comportamento social de interação entre indivíduos (*particles*) e enxames (*swarn*). A analogia é baseada no comportamento de grupo de pássaros e peixes, onde o comportamento do grupo é influenciado pelas experiências acumuladas dos indivíduos e do próprio grupo.

No algoritmo PSO, cada candidato a solução é um ponto no espaço n-dimensional de buscas, e partículas vão percorrendo esse espaço de forma controlada. Cada partícula tem um valor associado, indicando a adequação dela como solução ao problema, e uma velocidade, definindo seu movimento em busca da solução do problema.

Inicialmente o algoritmo gera um grupo de partículas com posições e velocidades aleatórias. Em cada iteração calculam-se as notas de cada partícula. A velocidade de cada partícula é então atualizada com base nas posições das melhores soluções e posteriormente a posição das partículas é atualizada na direção de sua velocidade. Dessa forma as partículas caminham em direção das melhores soluções para o problema.

Capítulo 3 – Metodologia

CirOp

Para o desenvolvimento do presente trabalho foi utilizado o *framework* CirOp. Ele é um *framework* em desenvolvimento pelo Grupo de Microeletrônica do Departamento de Engenharia Elétrica e de Computação da USP de São Carlos para otimizações de circuitos analógicos a partir de simulações e algoritmos meta-heurísticos.

Na Figura 37 é apresentado um diagrama do funcionamento do CirOp. Para sua utilização é necessário descrever um conjunto de arquivos, os quais são:

- O arquivo *circuito.cir*, o qual é a descrição em linguagem *spice* da topologia a ser implementada;
- O arquivo *fitness.m* que faz o papel de função objetivo. Esta função, toda vez que é executada: gera o arquivo *param*, que possui as dimensões de todos os dispositivos, tensões e correntes de polarização e os comandos de simulação; chama o simulador elétrico; lê os requisitos avaliados na simulação; por fim, cálculo da nota.

No presente trabalho foram desenvolvidos os arquivos de descrição das topologias estudadas e dois arquivos *fitness.m*, um considerando casamento de impedância na saída e outro sem a necessidade desse casamento. No Apêndice A são apresentados os menus de utilização do CirOp.

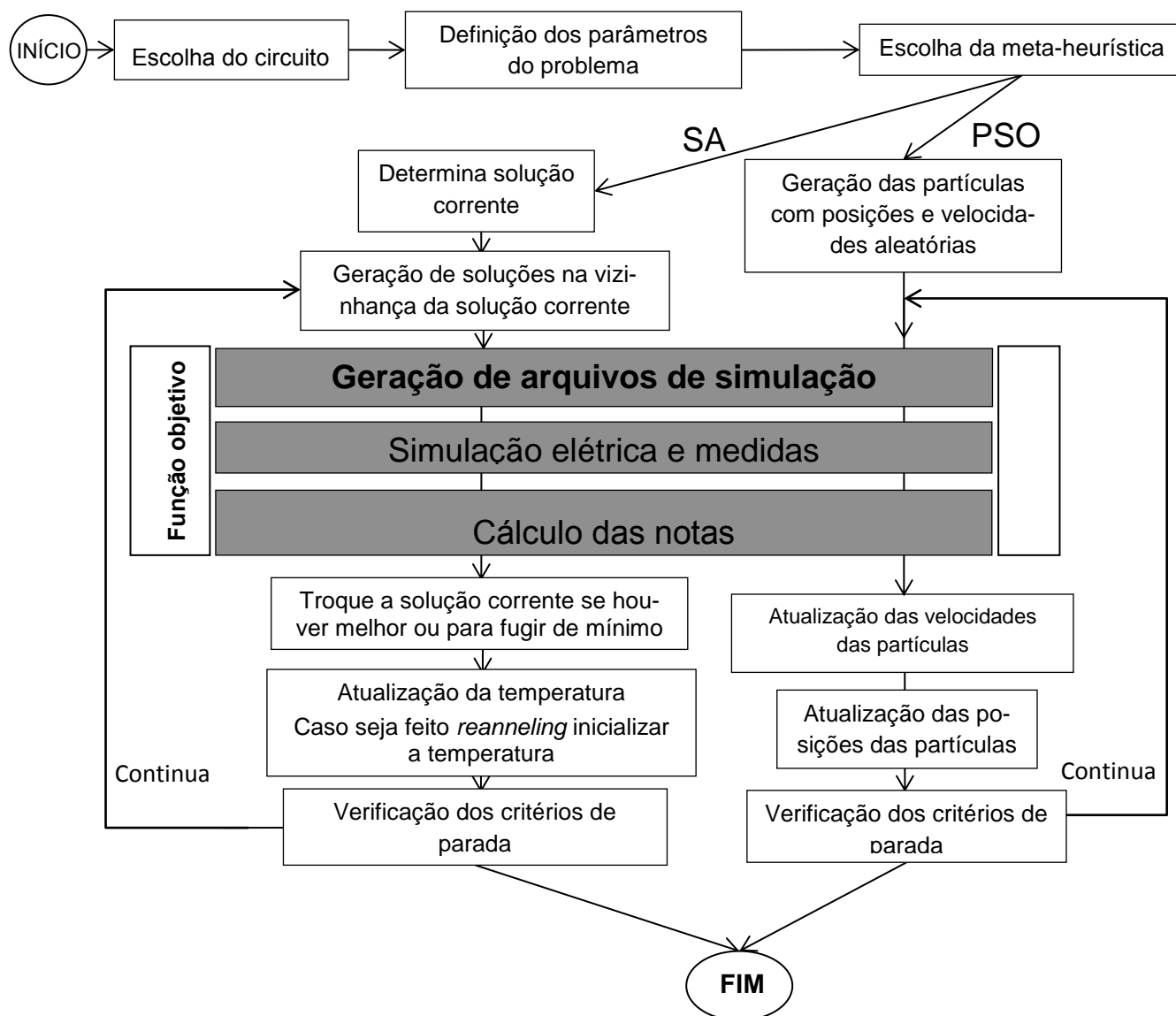


Figura 37. Diagrama do funcionamento da ferramenta de projeto/otimização com as meta-heurísticas SA e PSO.

Função objetivo

No trabalho foram desenvolvidas duas funções objetivo, uma sem considerar casamento de impedância na saída:

$$score_{s/zout} = [p_1 F_{FREQ} + p_2 F_{GAIN} + p_3 F_{Z_{in}} + p_4 F_{Z_{in}Im} + p_5 F_{Power} + p_6 F_{NF} + p_7 F_{Area} + p_8 F_{IIP_3}]$$

e outra considerando o casamento de impedância na saída:

$$score_{c/zout} = [p_1 F_{FREQ} + p_2 F_{GAIN} + p_3 F_{Z_{in}} + p_4 F_{Z_{in}Im} + p_5 F_{Power} + p_6 F_{NF} + p_7 F_{Z_{out}} + p_8 F_{Z_{out}Im} + p_9 F_{Area} + p_{10} F_{IIP_3}]$$

onde os p_i representam os pesos utilizados na ferramenta. F_{FREQ} , F_{GAIN} , Z_{in} , $F_{Z_{in}Im}$, F_{Power} , F_{NF} , $F_{Z_{out}}$, $F_{Z_{out}Im}$, F_{Area} e F_{IIP_3} são funções que avaliam erros na frequência, no ganho, no casamento de impedância de entrada, total e parte imaginária, na potência consumida, na figura de ruído, na impedância de saída, total e imaginária, na área ocupada pelo circuito e no IIP_3 respectivamente. Essas funções são descritas abaixo.

- F_{FREQ} é a diferença normalizada entre o ganho máximo, G_{MAX} , e o ganho na frequência de operação, G_{FREQ} , ambos medidos por simulação, onde F_{FREQ} é dado por:

$$F_{FREQ} = \begin{cases} \frac{G_{MAX} - G_{FREQ}}{G_{MAX}}, & \text{se } F_{FREQ} > erro \\ 0, & \text{c. c.} \end{cases}$$

- F_{GAIN} é a diferença normalizada entre o ganho requerido, G_{REQ} , e o ganho máximo medido por simulação, G_{MAX} , ambos medidos por simulação, onde F_{GAIN} é dado por:

$$F_{GAIN} = \begin{cases} \frac{G_{MAX} - G_{REQ}}{G_{MAX}}, & \text{se } G_{MAX} < G_{REQ} \\ 0, & \text{c. c.} \end{cases}$$

- F_{ZIN} é a diferença normalizada entre a impedância de entrada requerida, Z_{in} , e o valor absoluto da impedância de entrada medida por simulação, Z_{med} , ambos medidos por simulação, onde F_{GAIN} é dado por:

$$F_{ZIN} = \begin{cases} \left| \frac{Z_{in} - Z_{med}}{Z_{in}} \right|, & \text{se } Z_{in} > Precisa_{oZ_{in}} \\ 0, & \text{c. c.} \end{cases}$$

onde $Precisa_{oZ_{in}}$ é a precisão fornecida pelo usuário.

- $FZ_{in}Im$ é o valor normalizado da parte imaginária da impedância de entrada medida por simulação, Im_{zin} , sendo calculado por:

$$FZ_{in}Im = \begin{cases} \left| \frac{Im_{zin}}{Z_{in}} \right|, & \text{se } Z_{in} > Precisao_{Z_{in}} \\ 0, & c. c. \end{cases}$$

onde $Precisao_{Z_{in}}$ é a precisão fornecida pelo usuário.

- F_{Power} é o valor normalizado da potência medida por simulação, P_{med} , sendo calculado por:

$$F_{Power} = \frac{P_{med}}{P_{ref}}$$

onde P_{ref} é a uma potência de referência fornecida pelo usuário.

- F_{NF} é a diferença normalizada entre a figura de ruído requerida, NF_{REQ} , e figura de ruído medida por simulação, NF_{med} , onde F_{NF} é dado por:

$$F_{NF} = \begin{cases} \left| \frac{NF_{med} - NF_{REQ}}{NF_{REQ}} \right|, & \text{se } NF_{med} > NF_{REQ} \\ 0, & c. c. \end{cases}$$

- F_{Area} é o valor normalizado da área calculada baseado nas dimensões dos dispositivos do circuito, A_{calc} , sendo calculado por:

$$F_{Area} = \frac{A_{calc}}{A_{ref}}$$

onde A_{ref} é a uma área de referência fornecida pelo usuário.

- F_{IIP_3} é o valor normalizado do IIP_3 medido por simulação, IIP_3_{med} , sendo calculado por:

$$F_{IIP_3} = \begin{cases} IIP_3_{med} - IIP_3_{ref}, & \text{se } IIP_3_{med} < IIP_3_{ref} \\ 0, & c. c. \end{cases}$$

onde $Precisao_{Z_{in}}$ é a precisão fornecida pelo usuário.

- F_{ZOUT} é a diferença normalizada entre a impedância de entrada requerida, Z_{out} , e o valor absoluto da impedância de entrada medida por simulação, Z_{med} , ambos medidos por simulação, onde F_{Zout} é dado por:

$$F_{Z_{out}} = \begin{cases} \left| \frac{Z_{out} - Z_{med}}{Z_{out}} \right|, & \text{se } F_{Z_{out}} > Precisao_{Z_{out}} \\ 0, & c.c. \end{cases}$$

onde $Precisao_{Z_{out}}$ é a precisão fornecida pelo usuário

- $F_{Z_{out}Im}$ é o valor normalizado da parte imaginária da impedância de saída medida por simulação, $Im_{Z_{out}}$, sendo calculado por:

$$F_{Z_{out}Im} = \begin{cases} \left| \frac{Im_{Z_{out}}}{Z_{out}} \right|, & \text{se } F_{Z_{out}Im} > Precisao_{Z_{out}} \\ 0, & c.c. \end{cases}$$

Modelo elétrico dos indutores integrados

Para a análise de LNAs são necessários os modelos elétricos dos indutores integrados para serem utilizados nas simulações. Esses modelos podem ser obtidos através de equações, como as apresentadas anteriormente, ou através de programas extratores de parâmetros, como o ASITIC [42] [43], ou através simuladores de campos eletromagnéticos como Sonnet [44] e Ansys HFSS [45].

O ASITIC é um programa para projeto, análise, modelagem do comportamento eletromagnético e otimização de estruturas passivas de metal fabricadas sobre o silício. Ele é bastante utilizado, pois fornece bons resultados, é fácil de utilizar, mais rápido que outros extratores e gratuito.

Neste trabalho se optou em implementar as equações de indutância, resistência série, capacitância do isolante e resistência do substrato apresentadas na seção Circuito Equivalente. O modelo de fato utilizado é aquele representado Figura 38. Esse modelo é obtido a partir de simplificações do modelo da Figura 20, com as capacitâncias C_s e C_{si} sendo desconsideradas devido a seus baixos valores.

As equações foram implementadas em uma única função (Apêndice C) que recebe como parâmetros o comprimento externo do indutor, L_{EXT} , largura da trilha, W , espaçamento entre as trilhas, s , número de voltas que o indutor possui, n (Figura 15) e a frequência de operação.

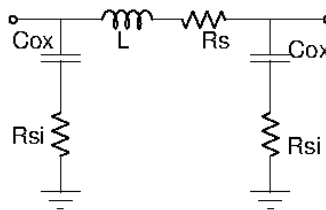


Figura 38. Modelo elétrico considerado para os indutores integrados.

Tabela 10. Características fixas nas topologias usadas.

Topologia	$V_{DD}[V]$	$C_B [pF]$	W_{M_1}/W_{M_B}	$R_1 [K\Omega]$	$R_2 [K\Omega]$	$R_B [K\Omega]$
1	2,0	10,0	20,0	-	-	100,0
2	3,0	10,0	20,0	-	-	50,0
3	3,0	10,0	20,0	20,0	20,0	-
4	2,0	10,0	20,0	-	-	100,0

Configuração dos algoritmos PSO e SA

Na Tabela 11 são apresentadas as configurações utilizadas para o algoritmo SA. Para o PSO foi considerado o número de partículas igual ao número de variáveis do problema, o número de indivíduos avaliados iguais a 4000 e o tempo limite para a otimização de 30000 segundos. Esses são valores padrão para a execução dos algoritmos na ferramenta Matlab.

Tabela 11. Parâmetros do algoritmo SA utilizados pelo CirOp.

Parâmetro	Valor	Explicação
Função de <i>annealing</i>	<i>Fast annealing</i>	Algoritmo para geração de novas soluções a cada iteração. O <i>Fast annealing</i> gera soluções equidistantes da solução atual em direções aleatórias uniformes. A distância é diretamente proporcional à temperatura.
Temperatura inicial	20	Valor inicial da temperatura.
Função de atualização da temperatura	Personalizada: $T = T_o 0,8^k$	Algoritmo para cálculo do valor da temperatura para a próxima iteração. T_o é a temperatura inicial e k é o número de iterações desde o último <i>reannealing</i> .
Critério de parada	4000	Número máximo de funções analisadas

Capítulo 4 – Resultados

Validação das equações de modelo elétrico dos indutores

Diversos indutores foram testados para comparação e os seus modelos extraídos tanto para equações como para o ASITIC na frequência de 1,8 GHz. Na Figura 40 à Figura 43 são apresentados os resultados de L , R_s , C_{ox} , R_{si} . Os arquivos para extração do modelo elétrico do indutor estão no Apêndice C.

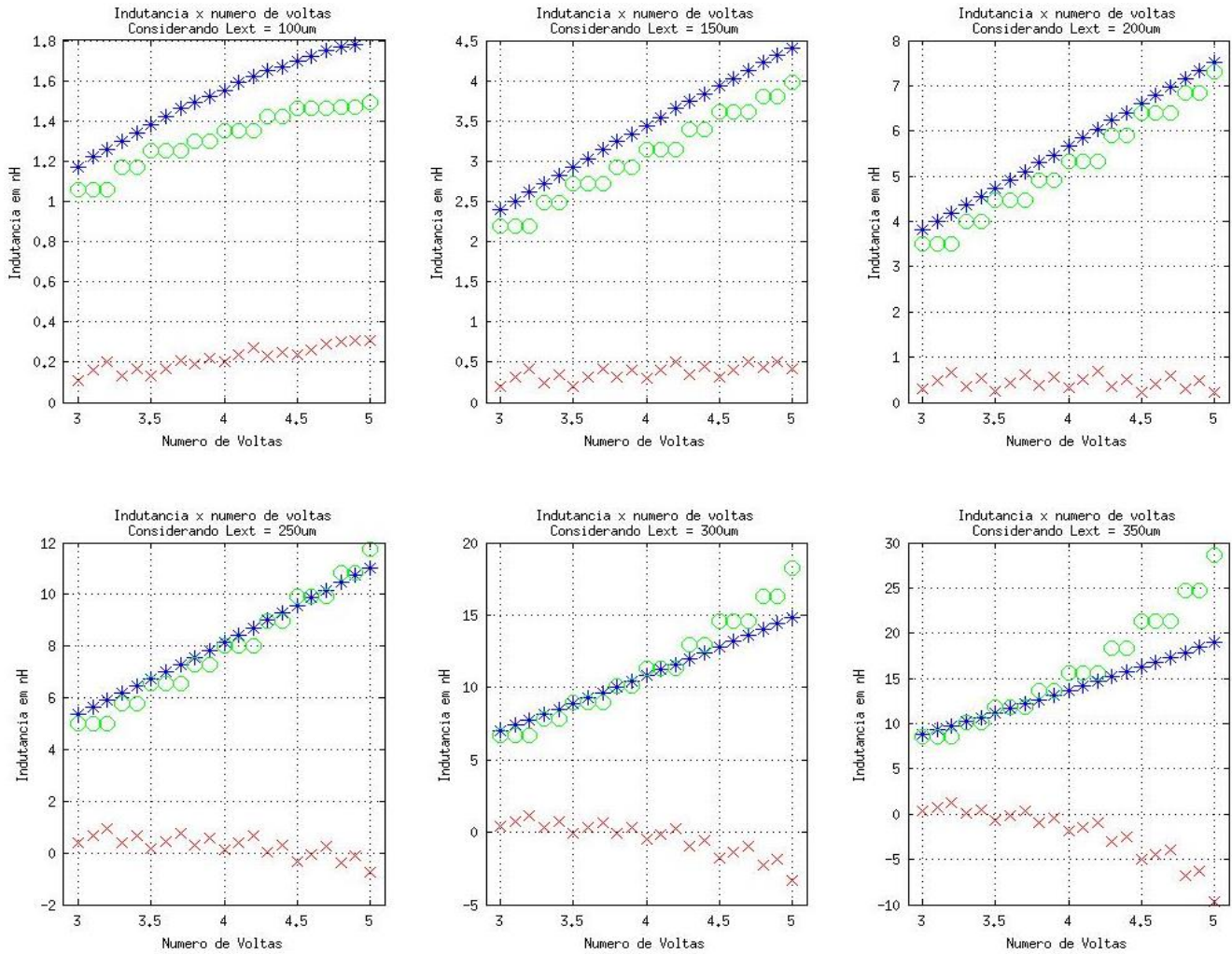


Figura 40. Indutâncias L geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e as diferenças entre os dois valores (x) versus número de voltas do indutor. Diferentes valores de L_{EXT} são empregados (frequência = 1,8 GHz, $W = 7,5 \mu m$).

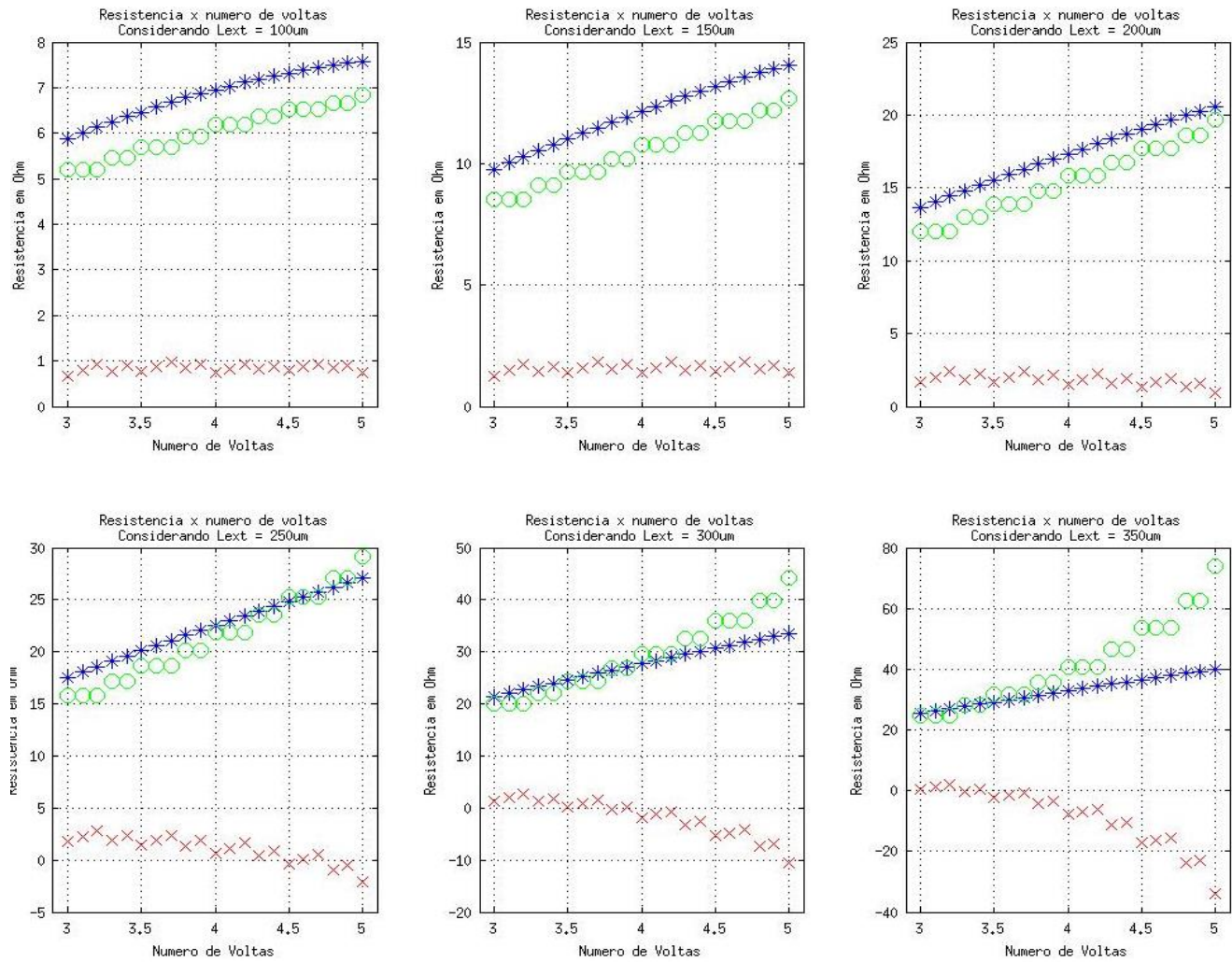


Figura 41. Resistências em série R_s geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores (x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência = 1,8 GHz, $W = 7,5 \mu m$).

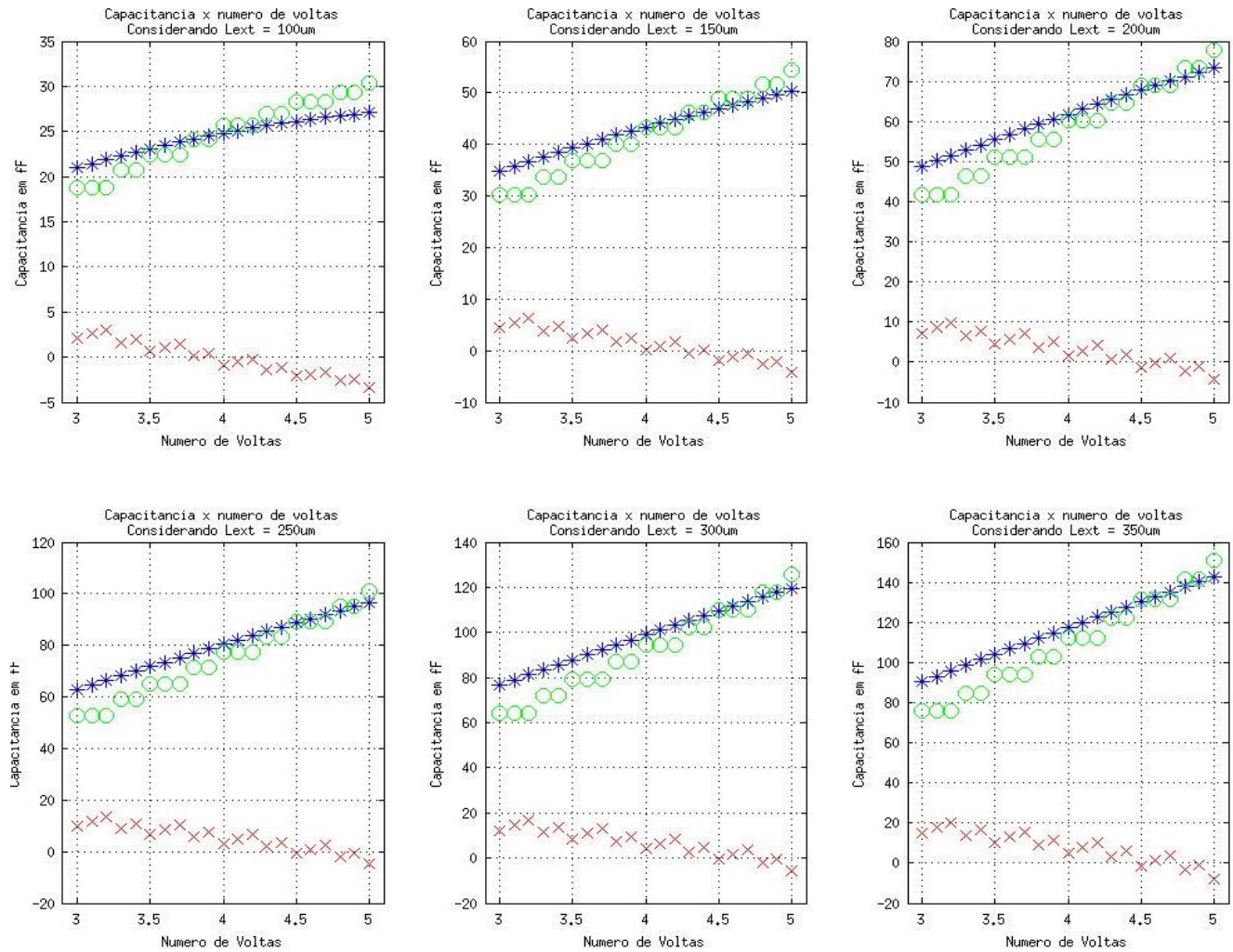


Figura 42. Capacitâncias de óxido C_{ox} geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência = 1,8 GHz, $W = 7,5 \mu m$).

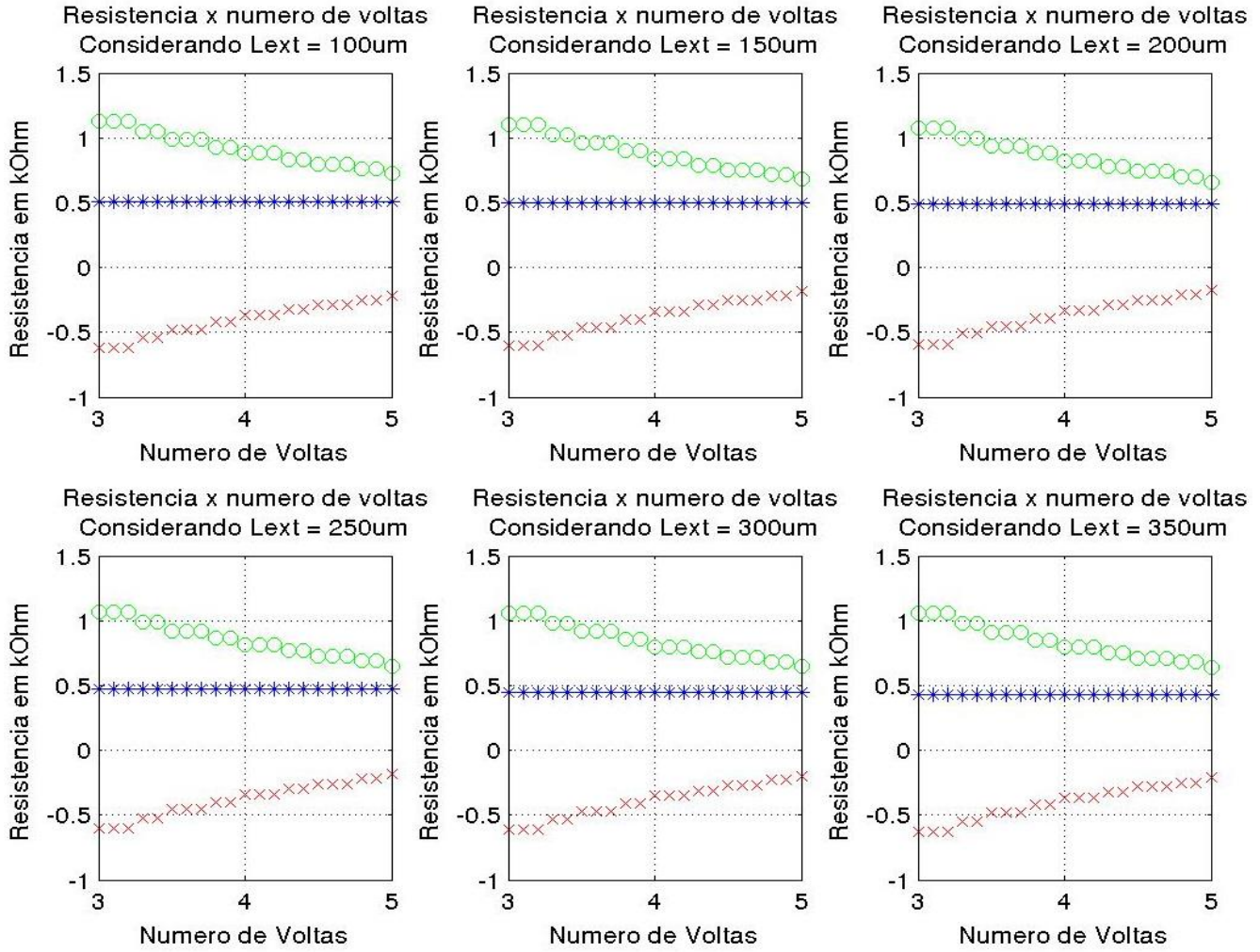


Figura 43. Resistências de substrato R_{si} geradas pelas equações (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores (x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência de 1,8 GHz, $W = 7,5 \mu m$).

Podemos observar, das figuras anteriores, que a maior discrepância entre equações e o ASITIC ocorre para os valores de resistência de substrato. Para diminuir essa discrepância, a equação para a resistência de substrato foi corrigida por um fator que envolve o número de voltas do indutor. Esse fator de correção foi obtido empiricamente. A nova equação aplicada é:

$$R_{si} = 2\rho_{si} \left(\frac{t_{si}^2}{t_{si}^2 + A_T} \right) (6,4e^{-\log_{10}(2n)} + 2e^{\frac{-n}{10}})$$

onde $(6,4e^{-\log_{10}(2n)} + 2e^{\frac{-n}{10}})$ é o fator de correção e n é o número de voltas do indutor.

A Figura 44 apresenta os novos valores da resistência de substrato obtidos com a equação corrigida e os valores extraídos pelo ASITIC. Podemos observar que os resultados agora estão bastante próximos, com erros

abaixo de 20%. No Apêndice D mostra-se que a equação corrigida funciona para qualquer frequência e que para W entre de 4 a 11 μm , os resultados são satisfatórios.

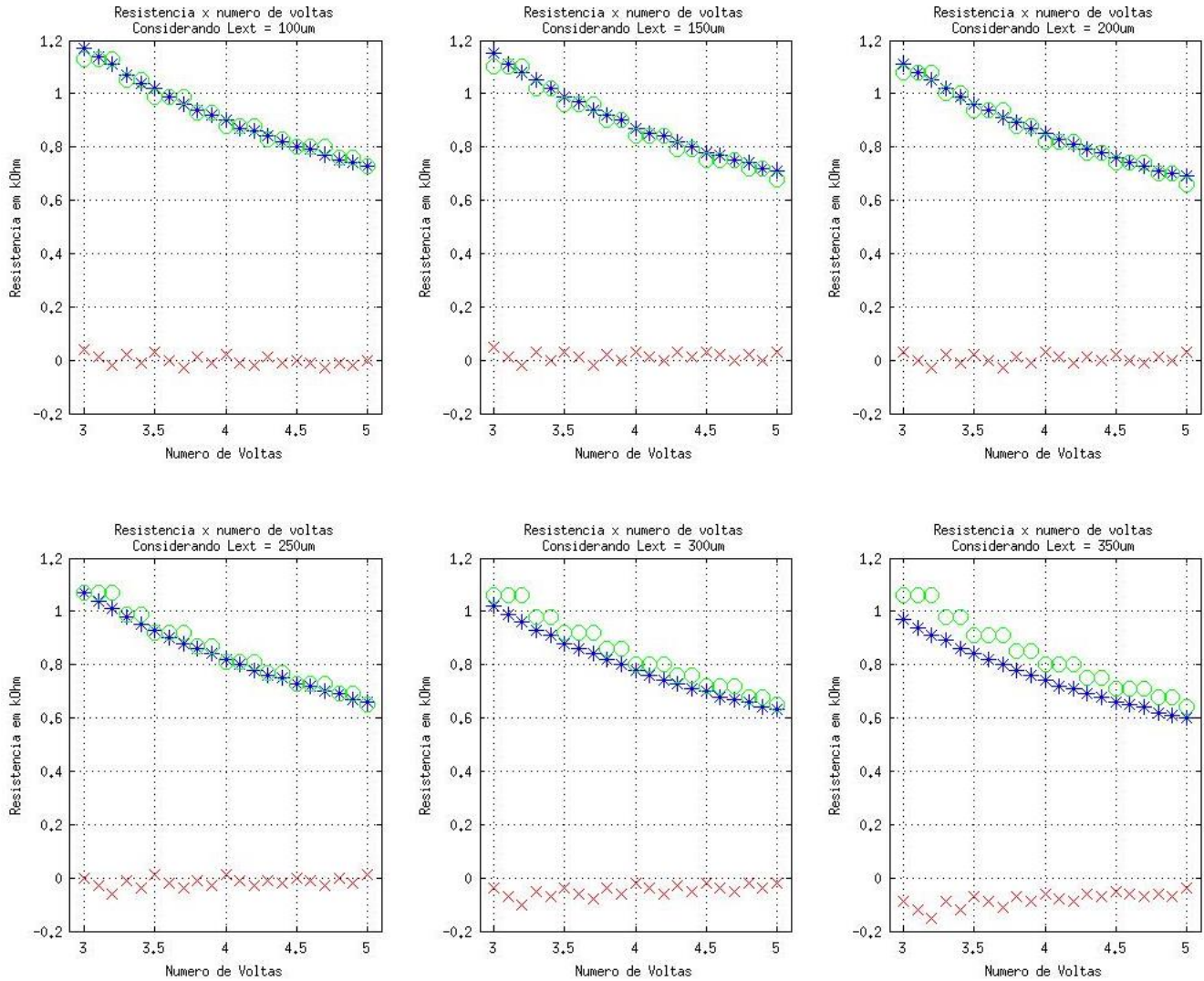


Figura 44. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus número de voltas do indutor. Diferentes valores de L_{ext} são empregados (frequência de 1,8 GHz, $W = 7,5 \mu\text{m}$).

Resultados Otimizações

São apresentados nessa seção os resultados das otimizações dos circuitos da Figura 39. Foram realizadas 4 otimizações com PSO, onde para primeira otimização todas as partículas foram escolhidas aleatoriamente; para segunda, uma das partículas foi o melhor resultado obtido no primeiro PSO; para terceira, uma das partículas foi o melhor obtido no segundo PSO; para quarta, uma das partículas foi o melhor obtido com o terceiro PSO. Após

as quatro otimizações com PSO, foi feita uma otimização final com SA, onde a solução inicial foi o melhor resultado obtido com o quarto PSO.

Na Tabela 12 são apresentadas as especificações consideradas nos projetos de LNA do presente trabalho.

Tabela 12. Especificação do projeto de LNA.

Especificação	
Figura de Ruído [dB]	< 3,2
Ganho [dB]	>15
Consumo de Potência [mW]	< 10
Impedância de Entrada [Ohm]	50
Impedância de Saída [Ohm]	50
OIP3 [dBm]	< -10
Frequência [GHz]	1,8

Das simulações elétricas foram obtidos: ganhos máximo de tensão, figura de ruído, impedâncias de entrada e saída e ponto de intersecção de terceira ordem. As medidas foram utilizadas na função objetivo. Nas Tabela 13 e Tabela 14 são apresentados os pesos das funções F_{FREQ} , F_{GAIN} , Z_{in} , FZ_{inIm} , F_{Power} , F_{NF} , FZ_{out} , FZ_{outIm} , F_{Area} e F_{IIP_3} . Os pesos maiores são para garantir a rápida obtenção dos parâmetros desejados, impedâncias. O peso 10 são para os parâmetros que tem prioridade na otimização, ganho e figura de ruído. O peso 5 é para os parâmetros que serão ajustado e o peso 0,1 são para os parâmetros que se os demais forem obtidos ele também o será.

Tabela 13. Pesos da função objetivo sem considerar casamento de impedância na saída.

	P1 (F_{FREQ})	P2 (F_{GAIN})	P3 (Z_{in})	P4 (FZ_{inIm})	P5 (F_{Power})	P6 (F_{NF})	P9 (F_{Area})	P10 (F_{IIP_3})
valor	5,0	10	50	50	5,0	10	0,1	0,1

Tabela 14. Pesos da função objetivo considerando o casamento de impedância na saída.

	P1 (F_{FREQ})	P2 (F_{GAIN})	P3 (Z_{in})	P4 (FZ_{inIm})	P5 (F_{Power})	P6 (F_{NF})	P3 (Z_{out})	P4 (FZ_{outIm})	P9 (F_{Area})	P10 (F_{IIP_3})
valor	5,0	10	50	50	5,0	10	50	50	0,1	0,1

Os valores otimizados, sem levar em conta a impedância de saída, dos parâmetros dos dispositivos das topologias 1, 2 e 3 são apresentados na Tabela 15 a Tabela 17. Na Tabela 18 são apresentados os valores dos parâmetros do projeto obtidos para cada topologia otimizada.

Tabela 15. Dimensionamento obtido na topologia 1, Figura 39(a).

[illegible]

Tabela 16. Dimensionamento obtido na topologia 2, Figura 39 (b).

[illegible]

Tabela 17. Dimensionamento obtido na topologia 3, Figura 39 (c).

Dispositivo	Parâmetros							
	L_{EXT} [μm]	W [μm]	s [μm]	n	W_{tran} [μm]	L_{tran} [μm]	C [pF]	tensão polarização [V]
M_{n1}					328,30	0,35		
M_{n2}					365,90	0,35		
L_1	192,00	5,50	1,50	6,10				
L_B	173,40	7,00	1,30	8,80				
L_G	123,70	8,00	1,10	4,70				
L_S	96,20	6,50	1,00	4,10				
C_{ex}							1,07	
C							0,001	
C_2							4,51	
C_3							8,94	
V_{B1}								0,78
V_{B2}								2,54

Tabela 18. Resultados obtidos para cada topologia, sem casamento de impedância na saída, para os parâmetros do projeto.

Topologia	Ganho [dB]	Figura de Ruído [dB]	Impedância de Entrada [Ω]	IP3 [dBm]	Consumo Potência [mW]
1	23,5	3,2	49,2	15,0	5,5
2	30,0	3,2	49,4	-1,5	7,6
3	26,7	3,8	48,1	3,4	8,4

Nas Figura 45 a Figura 53 são apresentados gráficos dos Ganhos de tensão e das impedâncias de entrada versus frequência e das potências na saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados.

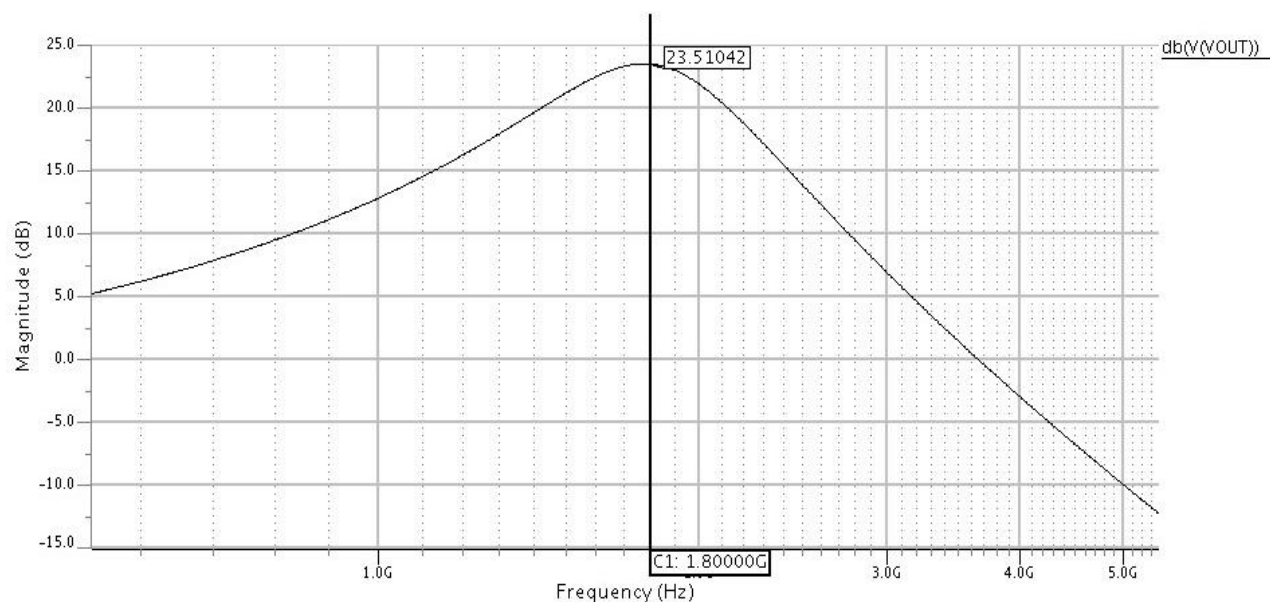


Figura 45. Ganho de Tensão versus frequência de operação, topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).

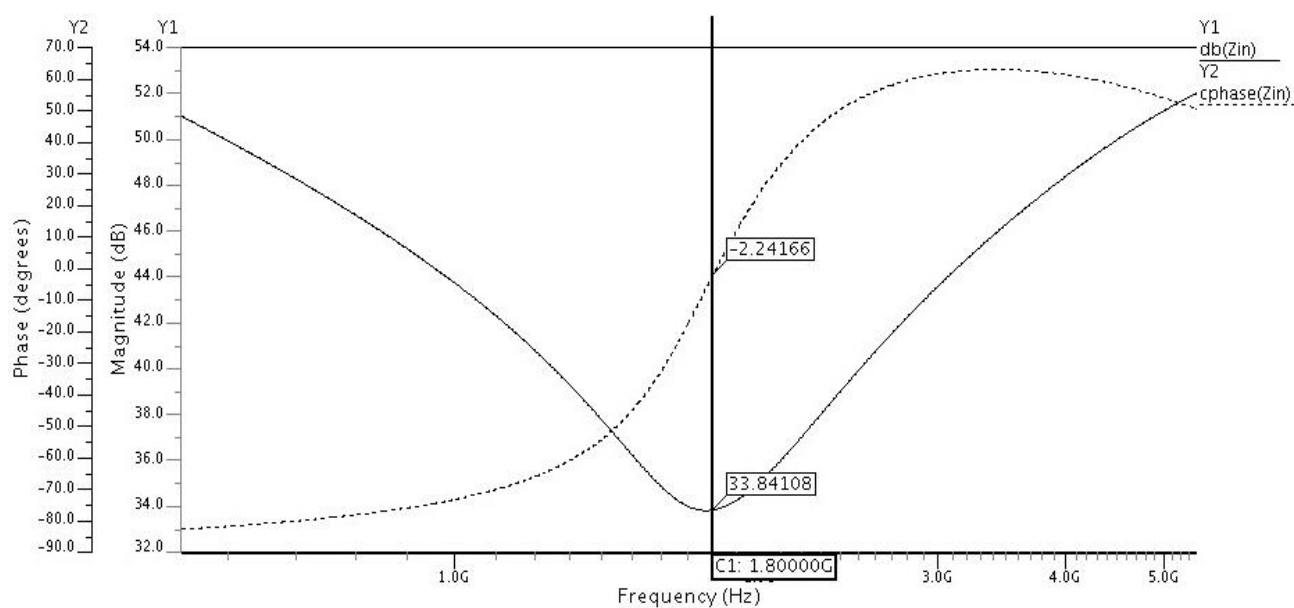


Figura 46. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).

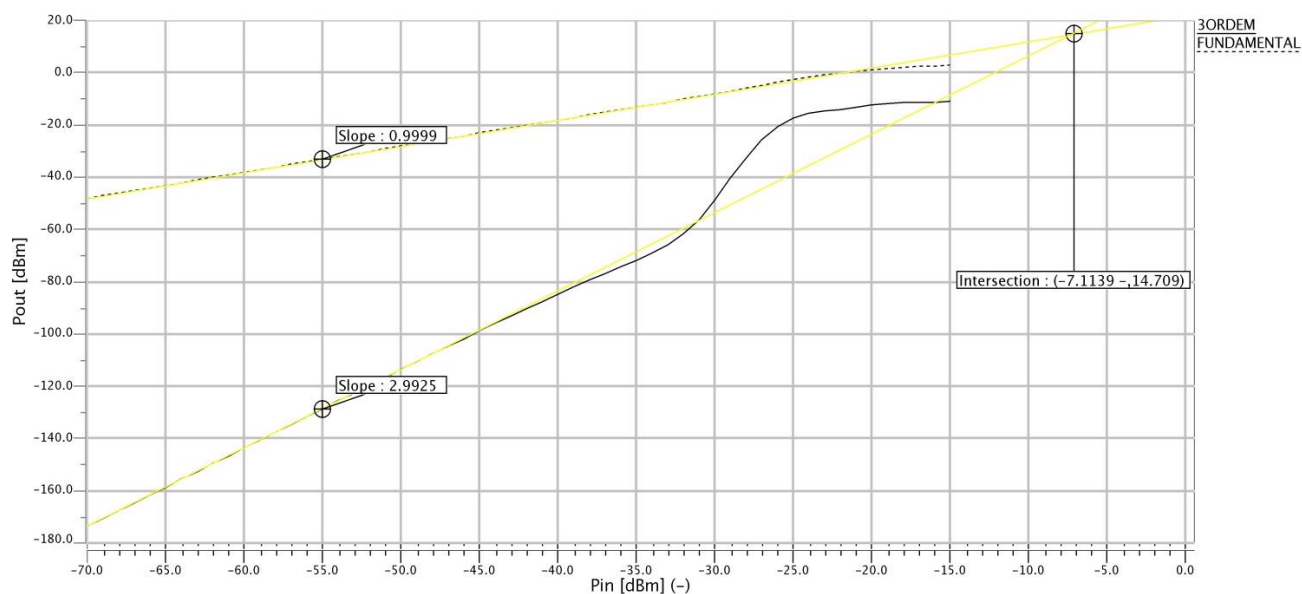


Figura 47. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 1, Figura 39 (a), considerando modelo típico do transistor (modelo BSim3v3).

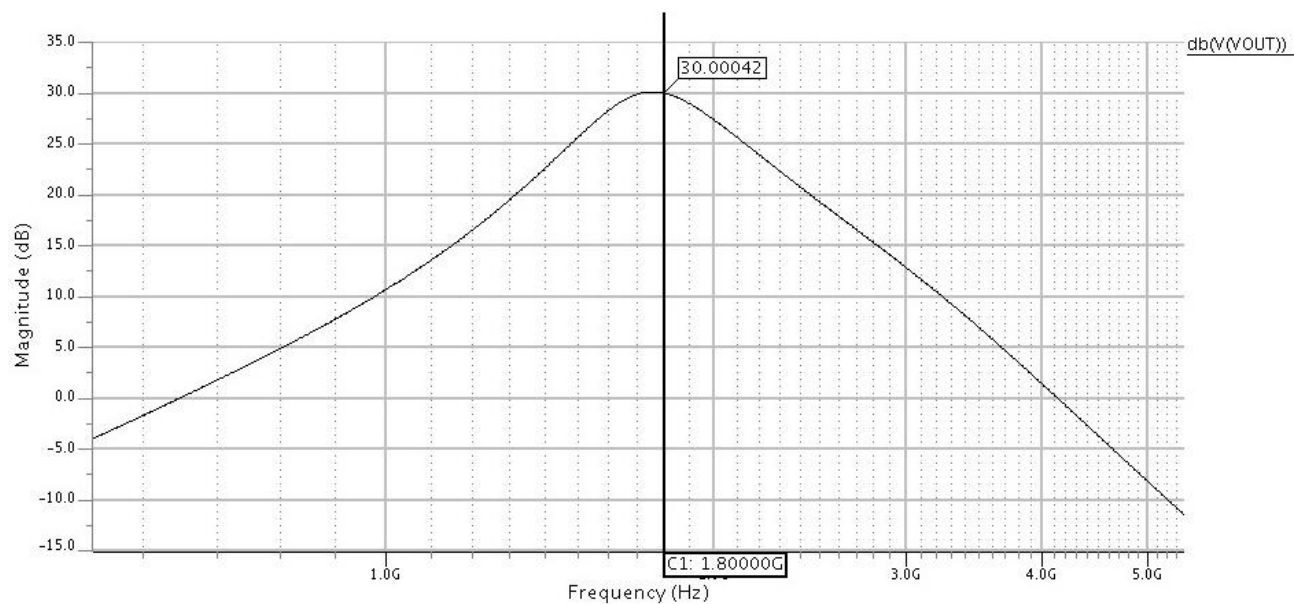


Figura 48. Ganho de Tensão versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

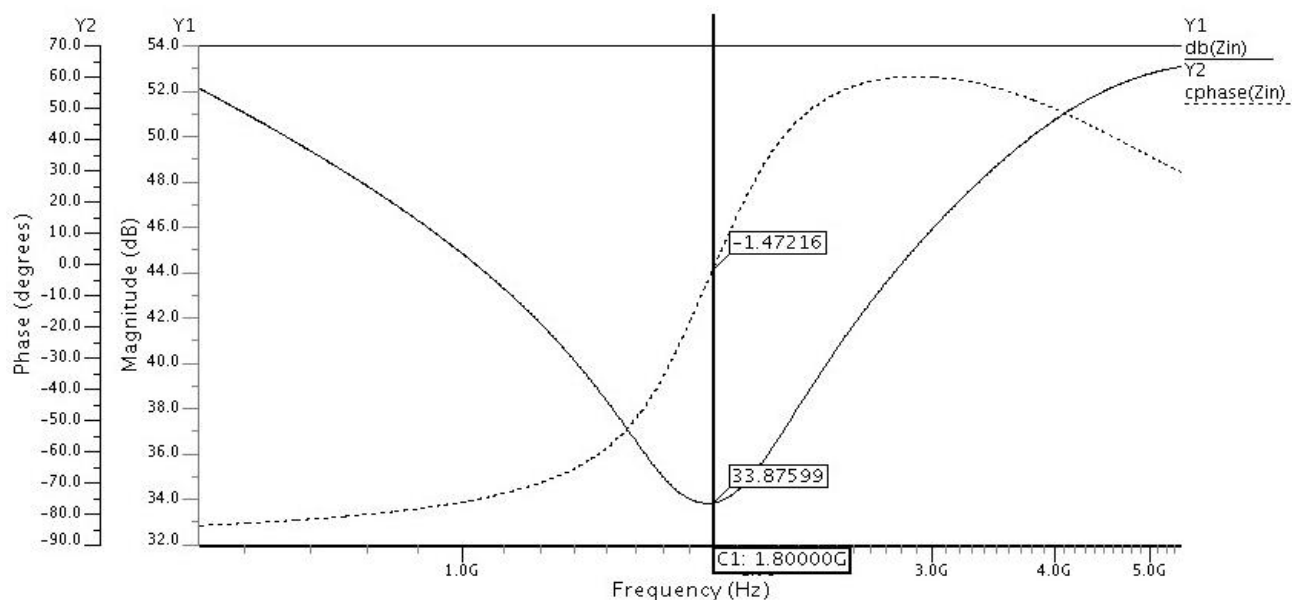


Figura 49. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

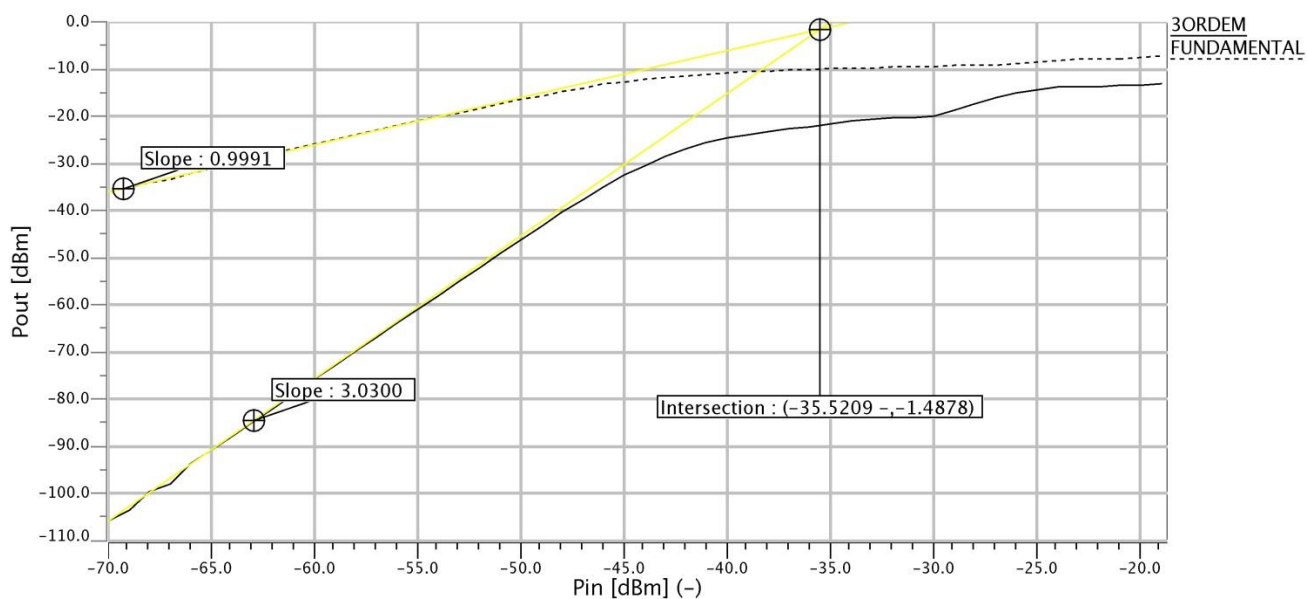


Figura 50. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

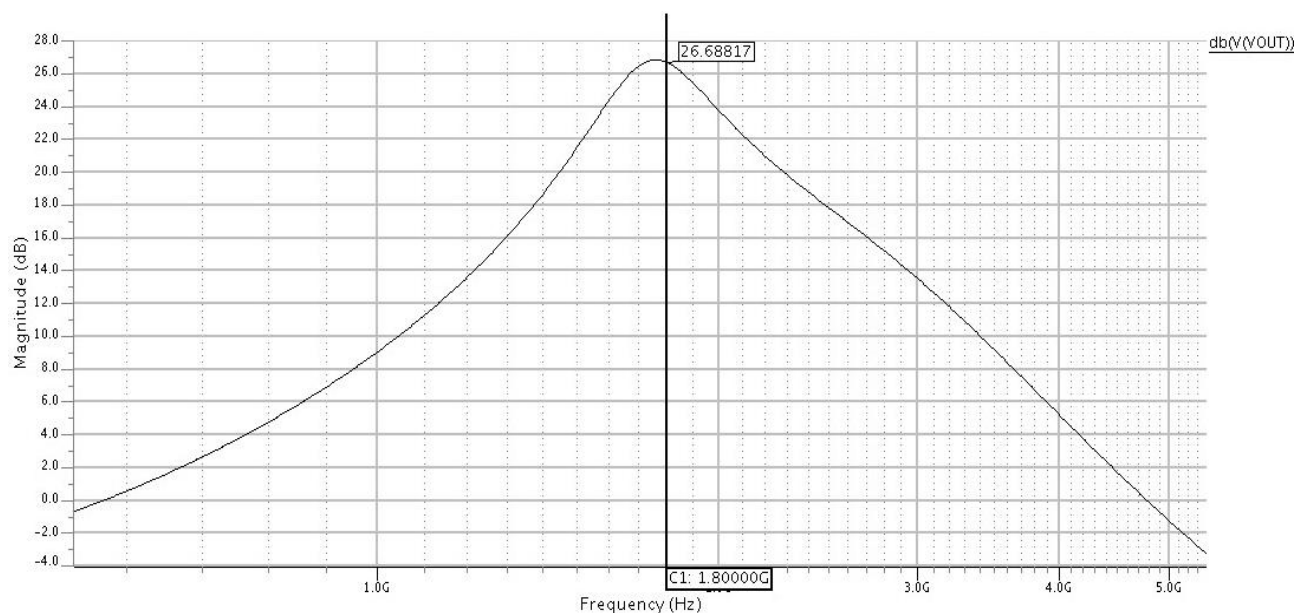


Figura 51. Ganho de Tensão versus frequência de operação, topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).

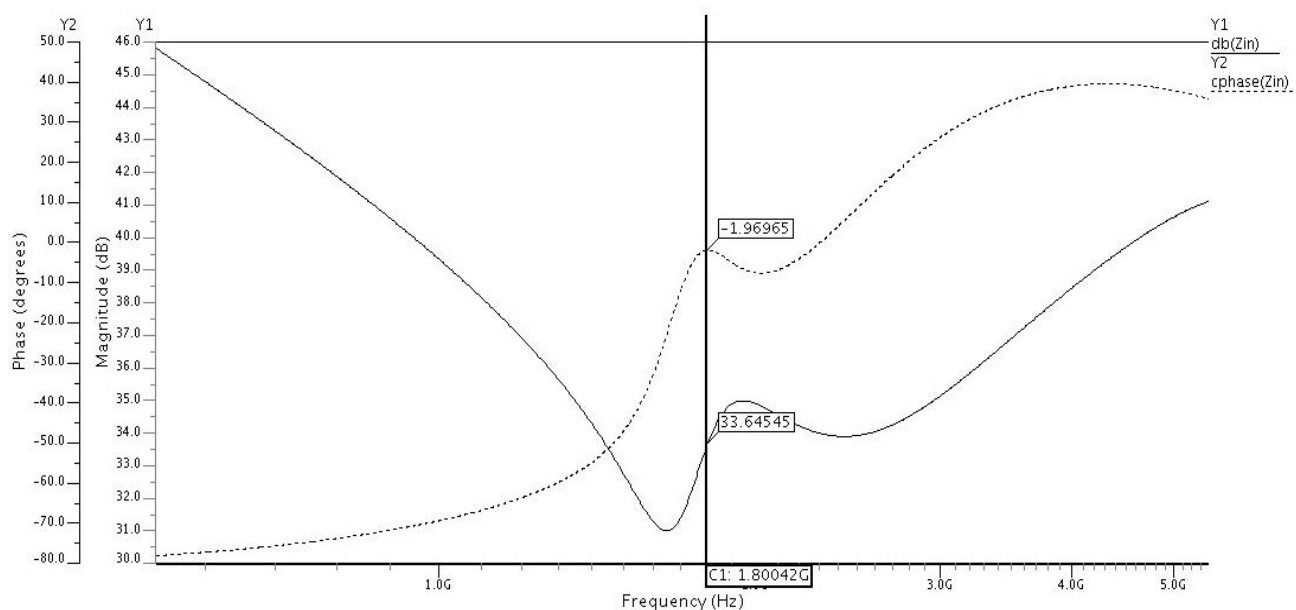


Figura 52. Impedância de entrada, parte real e imaginária, versus frequência de operação, topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).

Tabela 20. Dimensionamento obtido na topologia 4, Figura 39 (d).

Dispositivo	Parâmetros							
	L_{EXT} [μm]	W [μm]	s [μm]	n	W_{tran} [μm]	L_{tran} [μm]	C [fF]	I [μA]
M_{n1}					317,20	0,35		
M_{n2}					110,00	0,40		
M_{n3}					50,00	0,60		
L_S	50,80	7,40	1,90	4,20				
L_G	164,40	5,40	1,00	9,60				
L_T	258,40	4,00	1,00	7,70				
L_M	207,30	6,90	1,00	6,50				
C_T							105,50	
C_M							552,30	
I_{ref}								145,30

Tabela 21. Resultados obtidos para cada topologia considerada.

Topologia	Ganho [dB]	Figura de Ruído [dB]	Impedância de Entrada [Ω]	Impedância de saída [Ω]	IP3 [dBm]	Consumo Po- tência [mW]
2	23,5	3,0	48,6	48,3	-8,5	22,8
4	23,6	3,2	49,1	50,8	-1,4	26,8

Nas Figura 54 a Figura 59 são apresentados gráficos dos ganhos de tensão e das impedâncias de entrada e saída versus frequência e das potências na saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados.

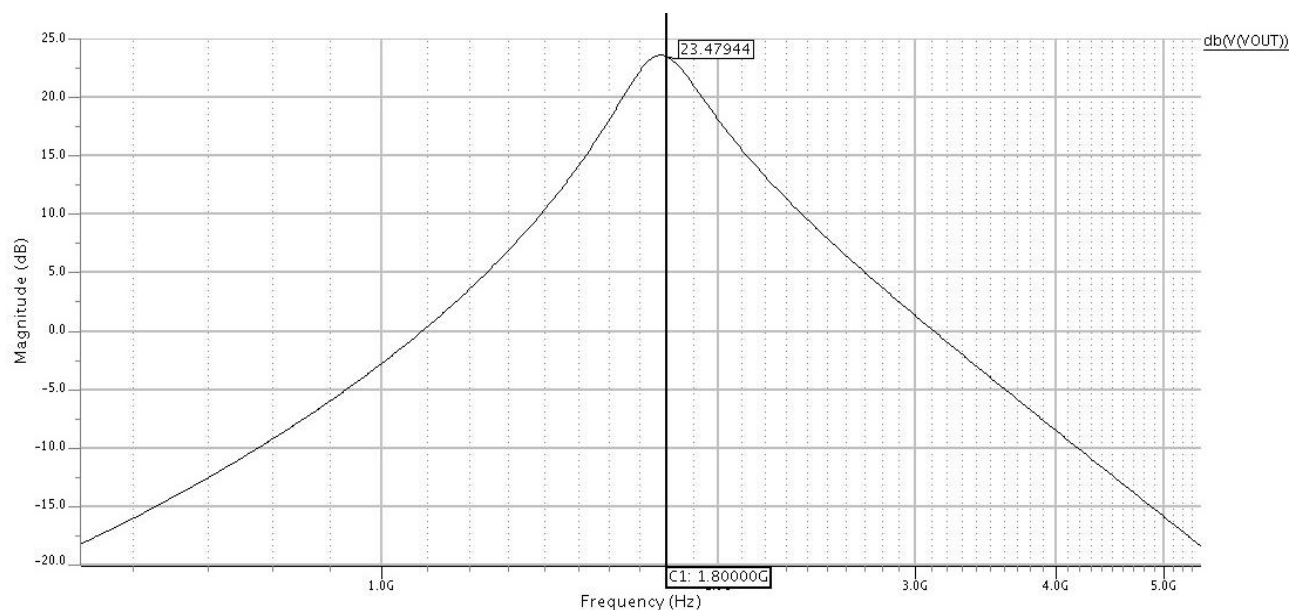


Figura 54. Ganho de Tensão versus frequência de operação, topologia 2 com casamento de impedância na saída, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

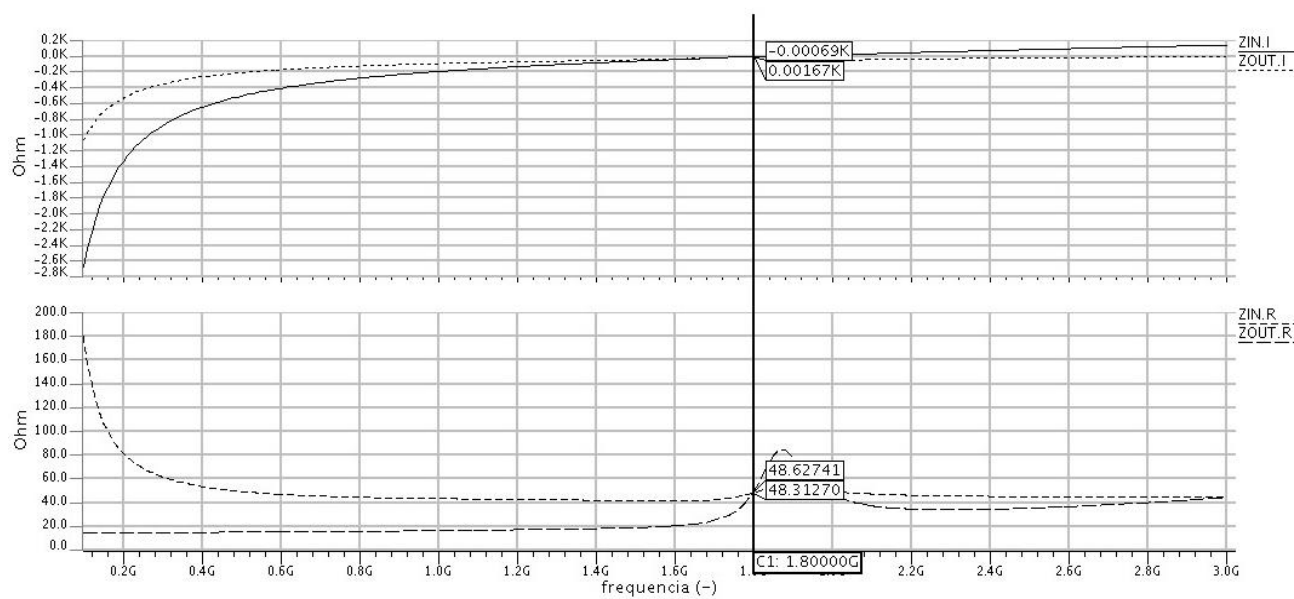


Figura 55. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, topologia 2, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

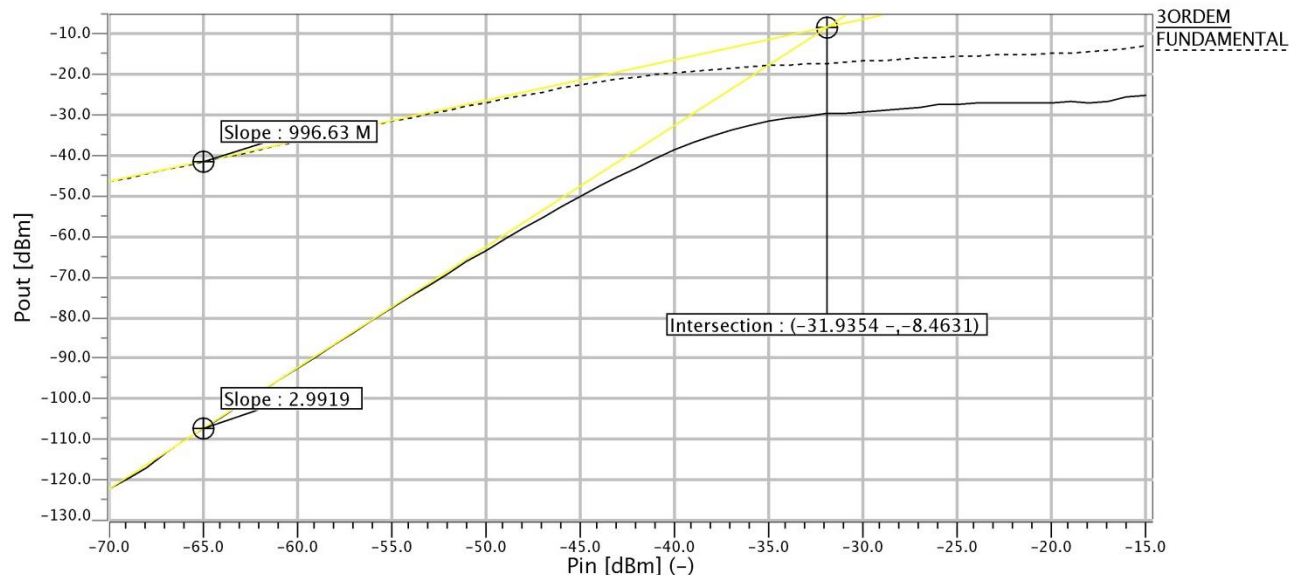


Figura 56. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para os LNAs otimizados OIP3 da topologia 2 com casamento de impedância na saída, Figura 39 (b), considerando modelo típico do transistor (modelo BSim3v3).

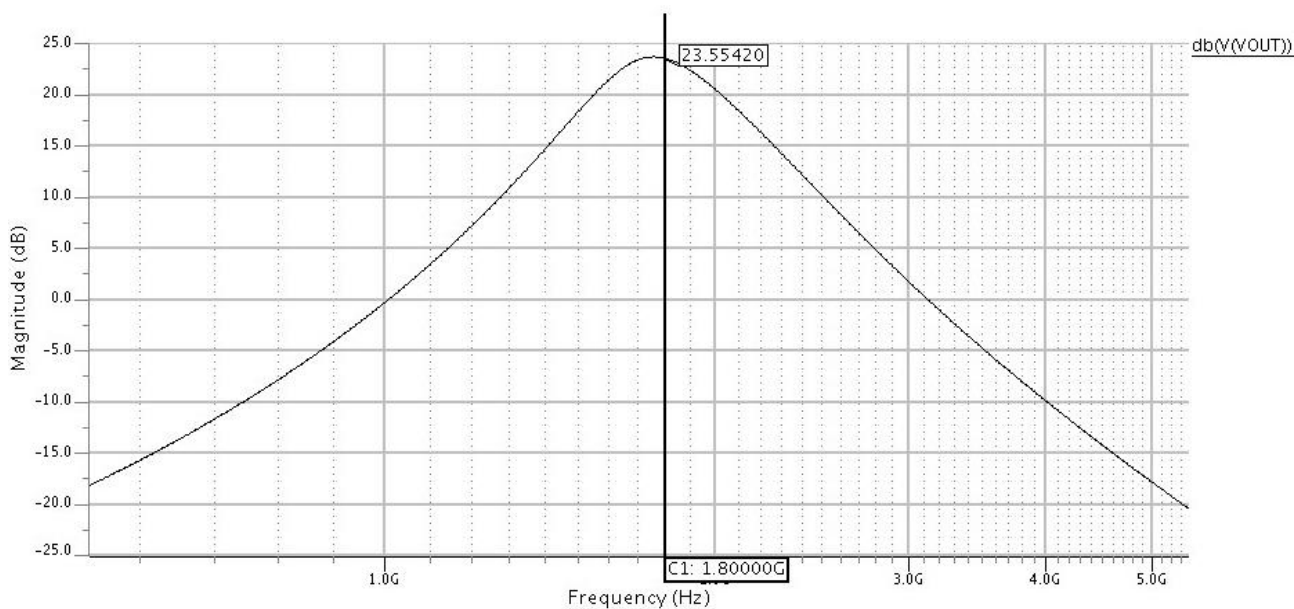


Figura 57. Ganho de Tensão versus frequência de operação, topologia 4 com casamento de impedância na saída, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).

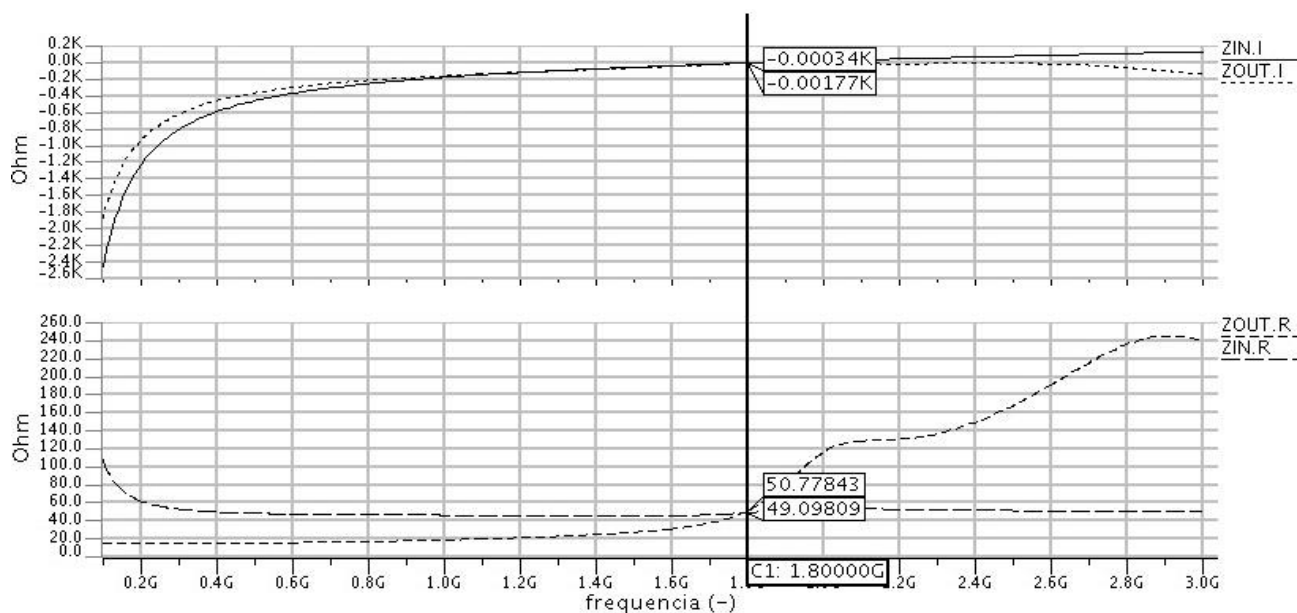


Figura 58. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, topologia 4, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).

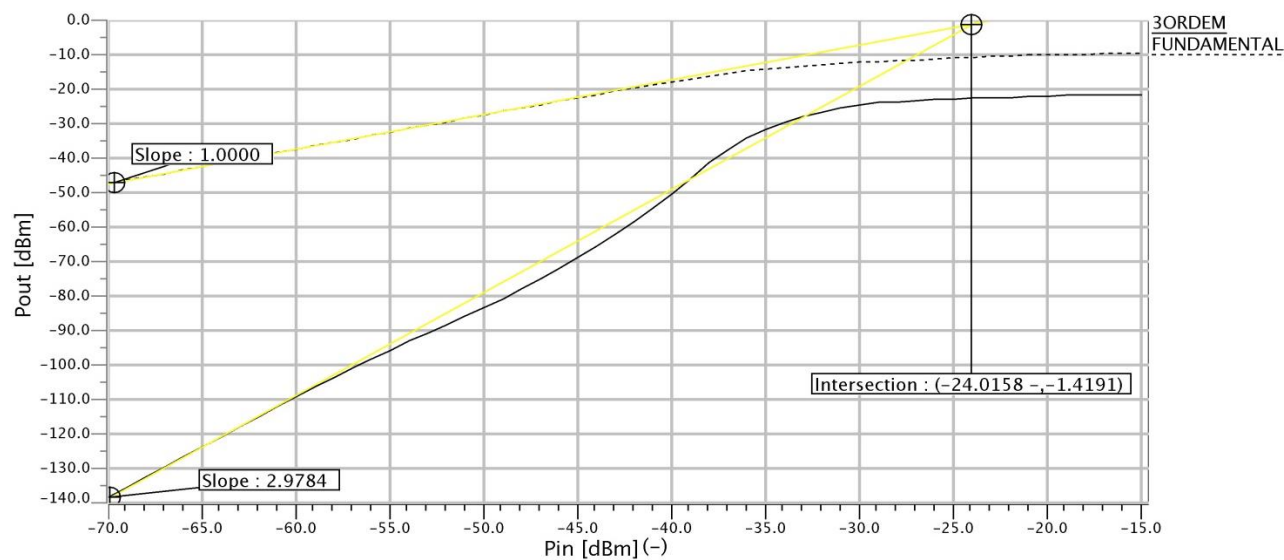


Figura 59. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada para a topologia 4 com casamento de impedância na saída, Figura 39 (d), considerando modelo típico do transistor (modelo BSim3v3).

Os resultados encontrados aqui são apresentados novamente na Tabela 22 junto com alguns resultados de LNAs encontrados na literatura. Nota-se que com pouca experiência de projeto, fomos capazes de alcançar bons resultados.

Tabela 22. Resultados obtidos com os LNAs e da literatura.

Circuito	Ref. [5]	Ref. [3]	Ref. [46]	topologia 1	topologia 2	topologia 3	Top. 2 + Zout	Top. 4 + Zout
Tecnologia CMOS [um]	0,6	0,35	0,09	0,35	0,35	0,35	0,35	0,35
Frequência [GHz]	1,6	2,4	5,5	1,8	1,8	1,8	1,8	1,8
Fonte Alimentação [V]	1,5	3,3	0,8	2,0	3,0	3,0	3,0	2,0
Potência [mW]	30,0	4,5	5,4	5,5	7,6	8,4	22,8	26,8
NF [dB]	3,5	2,0	2,9	3,2	3,2	3,8	3,0	3,2
Av [dB]	-	-	-	23,5	30,0	26,7	23,5	23,6
S11 [dB]	-	-11,1	-13,4	-22,0	-15,0	-16,0	-35,0	-22,0
S21 [dB]	22,0	20,0	14,4	-	-	-	23,0	23,0
S12 [dB]	-	-42,0	-	-	-	-	-57,0	-66,0
S22 [dB]	-	-13,0	-	-	-	-	-33,0	-15,0
IP3 [dBm]	12,7	-18,5	-6,2	15,0	-1,5	3,4	-8,5	-1,4
K (Δ)	-	2,5(-)	-	1,6(0,1)	30,1(0,0)	1500(0,1)	67(0,0)	25,0(0,0)

Tempo de execução e comparação dos resultados entre ASITIC e equações

Para comparar o tempo de otimização usando as equações e o ASITIC, o circuito da Figura 39 (b) foi otimizado, sem considerar o casamento de impedância na saída. Foram aplicadas quatro otimizações com o PSO, sendo o resultado de uma otimização usada como uma das partículas da otimização seguinte.

Na Tabela 23 estão apresentados os tempos de execução em segundos, *CPU Time*, e na Tabela 24, os resultados atingidos pelas otimizações com equações e com ASITIC. Como podemos notar da Tabela 23, com a aplicação das equações à otimização o tempo de execução é reduzido consideravelmente, conforme o esperado.

Tabela 23. Tempo de execução da otimização considerando o modelo extraído pelas equações e modelo extraído pelo ASITIC, considerando quatro otimizações.

Modelo de extração do indutor integrado	Tempo para concluir a otimização (s)
ASITIC	30954
Equações	17065

Tabela 24. Resultado das otimizações da topologia 2 usando a extração dos indutores através das equações e ASITIC.

Topologia	Ganho [dB]	Figura de Ruído [dB]	Impedância de Entrada [Ω]	IP3 [dBm]	Consumo Potência [mW]
Equações	24	3,2	50,6	2,2	6,7
ASITIC	20	5,2	48,8	-5,5	8,3

Para avaliar a qualidade das otimizações realizadas usando as equações, os indutores da topologia 3 otimizada, Tabela 8, foram extraídos com o ASICT e o circuito LNA foi simulado com os novos modelos dos indutores. Nas Figura 60 à Figura 62 são apresentados os resultados obtidos com os modelos gerados pelas equações e pelo ASITIC: gráficos dos ganhos de tensão e das impedâncias de entrada versus frequência e das potências na saída, fundamental e terceira harmônica, em função da potência no sinal de entrada.

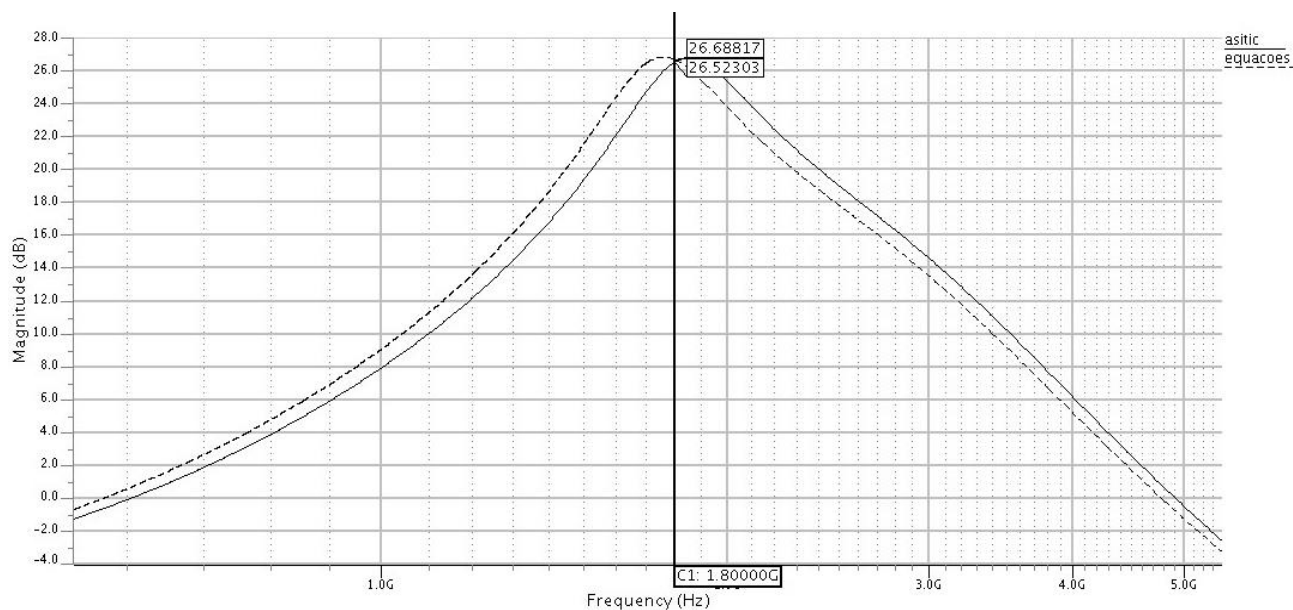


Figura 60. Ganho de Tensão versus frequência de operação, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39(c), considerando modelo típico do transistor (modelo BSim3v3).

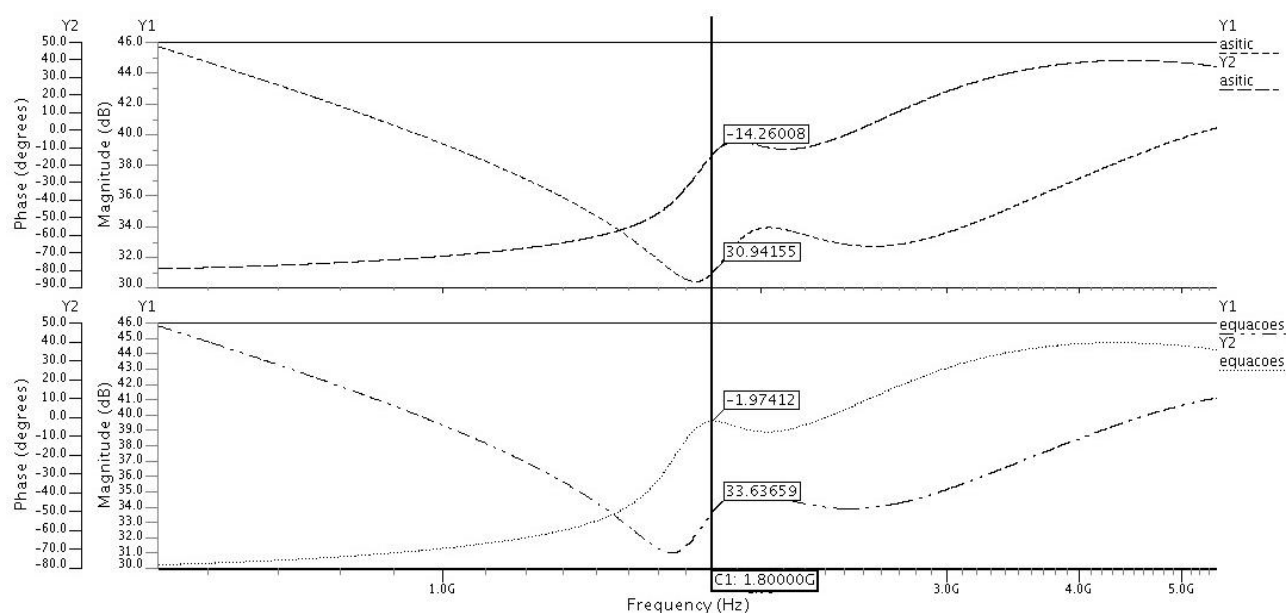


Figura 61. Impedância de entrada e saída, parte real e imaginária, versus frequência de operação, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).

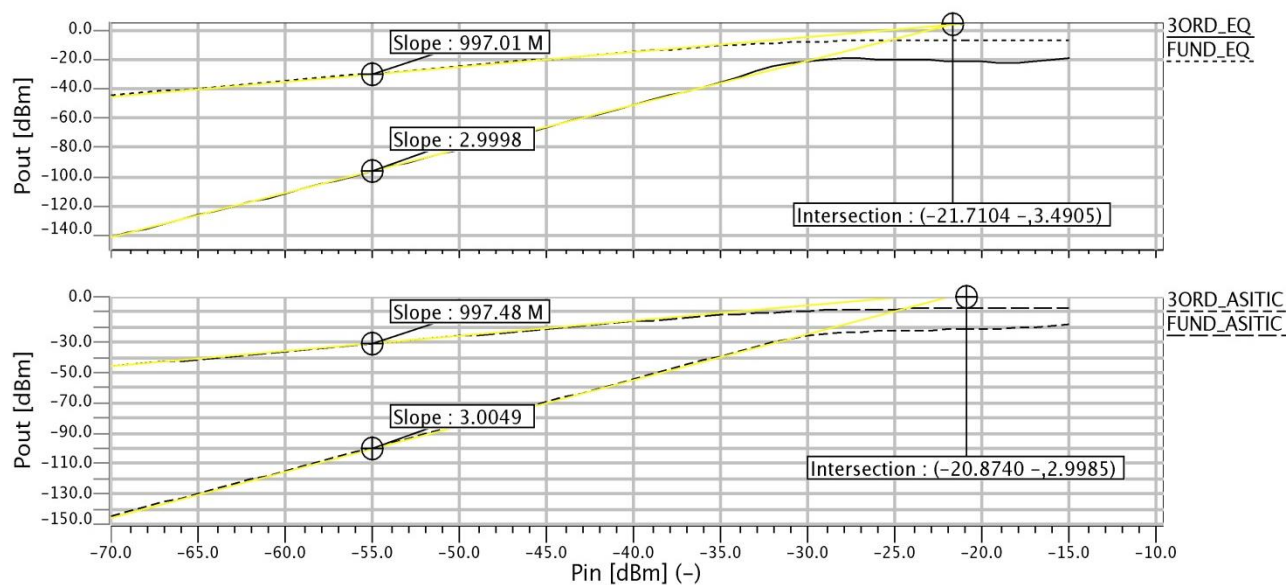


Figura 62. Potências do sinal de saída, fundamental e produto de intermodulação de terceira ordem, em função da potência no sinal de entrada, com os indutores extraídos pelas equações e pelo ASITIC, da topologia 3, Figura 39 (c), considerando modelo típico do transistor (modelo BSim3v3).

Pode-se também fazer uma comparação dos resultados obtidos aqui com equações e os resultados obtidos em [47], que aplicou meta-heurísticas e o ASITIC. Para isso utilizamos a otimização da topologia 1 que além de ser igual ao chamado LNA2 de [47] utiliza a mesma tecnologia CMOS 0,35 μm da AMS.

Na Tabela 25 são apresentados os valores obtidos aqui e em [47] e na Tabela 26 as dimensões dos indutores. Como no caso anterior, os resultados obtidos usando equações são próximos dos resultados obtidos com o ASITIC.

Nas comparações notam-se que o uso de equações permitiu obter resultados próximos daqueles obtidos pelo uso do ASITIC, porém, em um menor tempo. O uso de equações para modelagem dos indutores será, portanto, um meio eficaz nas primeiras análises para analisar e compreender o funcionamento de topologias desconhecidas, pois é mais rápido devido ao fato de o processo de otimização ser mais rápido, permitindo analisar as principais características da topologia.

Tabela 25. Resultados obtidos para a topologia 1 para o LNA2 do trabalho [47].

Topologia	Ganho [dB]	Figura de Ruído [dB]	Impedância de Entrada [Ω]	IP3 [dBm]	Consumo Potência [mW]
1	23,5	3,2	49,2	15,0	5,5
LNA2	24,0	3,2	50,6	8,0	7,5

Tabela 26. Dimensões dos indutores obtidas para a topologia 1 e para o LNA2 do trabalho [47].

Topologia	indutores	l_{EXT} [μm]	w [μm]	s [μm]	n
1	L_G	164,64	7,72	1,04	5,99
	L_S	78,6	6,99	1,97	4,85
	L_T	348,7	4,57	1,02	6,36
LNA2	L_G	223,81	7,01	1,02	7,32
	L_S	70,84	7,45	1,46	2,04
	L_T	278,83	5,49	1,32	7,06

Capítulo 5 – Conclusões

No projeto de amplificadores de baixo ruído (LNAs), atingir um bom conjunto de especificações é uma tarefa laboriosa, que pode tomar muito tempo de trabalho sem resultados satisfatórios. Isso ocorre devido à enorme interdependência entre os parâmetros desejados e ao elevado número de variáveis de projeto, normalmente maior que o número de equações disponíveis. Matematicamente haveria infinitas soluções e restaria encontrar a solução ótima de menor custo. Para contornar a complexidade do problema de projeto e achar uma solução que satisfaça todas ou a maioria das especificações requeridas nossa proposta é utilizar algoritmos meta-heurísticos. Em nosso estudo utilizamos os algoritmos *Particle Swarm Optimization* (PSO) e o *Simulated Annealing* (SA).

Algoritmos meta-heurísticos são métodos estocásticos de otimização. O comportamento desses algoritmos é guiado por uma função objetivo que calcula a nota para soluções temporárias encontradas. No presente trabalho esse cálculo foi realizado através de simulações elétricas dos circuitos projetados.

A utilização de algoritmos meta-heurísticos permite determinar soluções satisfatórias em um tempo razoável, desde que sejam tomados alguns cuidados. No caso de LNAs, um cuidado a ser tomado é com a geração dos modelos elétricos utilizados para os indutores. Caso o modelo não seja preciso, o resultado não serve; caso seja muito demorado a sua obtenção, o projeto poderá demorar muito. Utilizamos neste trabalho equações para obter os modelos dos transistores.

Para avaliar a qualidade dos métodos meta-heurísticos e a validade do uso de equações para indutores, quatro topologias de LNAs foram projetadas (topologias 1, 2, 3 e 4). As especificações de projeto foram: figura de ruído inferior a 3,2 dB, ganho de tensão superior a 15 dB, consumo de potência menor que 10 mW, ponto de intersecção de terceira ordem maior que -10 dBm, frequência de operação de 1,8 GHz e impedâncias de entrada/saída de 50 Ω .

As quatro topologias foram projetadas usando os algoritmos PSO e SA. A sequência de otimizações usada foi de quatro otimizações PSO e uma de SA, onde o resultado de uma otimização foi utilizada como ponto de partida para a otimização seguinte.

Para as topologias 1, 2 e 3 foram feitas otimizações sem preocupação com o casamento de impedância de saída. Os resultados obtidos foram: ganho de tensão de 23,5 dB, 30,0 dB e 26,7 dB; figura de ruído de 3,2 dB, 3,2 dB e 3,8 dB; ponto de intersecção de terceira ordem de 15,0 dBm, -1,5 dBm e 1,7 dBm e consumo de potência de 5,5 mW, 7,6 mW e 8,4 mW. Observa-se que as especificações foram atingidas, exceto pela figura de ruído na topologia 3.

Para as topologias 2, novamente, e 4 foram feitas otimizações garantindo o casamento de impedância na saída. Os resultados obtidos foram: ganho de potência de 23,5 dB e 23,6 dB; figura de ruído de 3,0 dB e 3,2 dB; ponto de intersecção de terceira ordem de -8,4 dBm e -1,4 dBm e consumo de potência de 22,8 mW e 26,8 mW. As especificações foram atingidas, com exceção do consumo de potência. O aumento do consumo de potência é devido ao estágio de saída requerido para o casamento de impedância.

A utilização de equações para a modelagem de indutores mostrou-se uma alternativa viável para a redução do tempo de otimização, conforme os resultados obtidos. Com a redução do tempo de otimização, projetistas poderão testar e compreender novas topologias de LNAs e selecionar a que mais se adapta as suas necessidades. Uma vez selecionada uma topologia, pode-se até mesmo refazer a otimização agora usando extratores de modelo mais sofisticados, para obter uma solução precisa.

Nossos resultados quando comparados com de outros autores demonstram que a utilização de algoritmos meta-heurísticos e equações que modelam os indutores possuem viabilidade e eficácia no projeto de amplificadores de baixo ruído.

Para trabalhos futuros sugere-se:

- melhor investigação da equação que modela a resistência de substrato, identificando os fenômenos envolvidos e ajustando os fatores de correção;
- comparação dos resultados do modelo dos indutores com resultado de outros extratores além do ASICT, tais como Sonnet e Ansys HFSS;
- completar o ciclo de projeto para os LNAs projetados neste trabalho, ou seja, realizar os *layouts*, a extração de parasitas e novas simulações, envia-los para fabricação e testá-los posteriormente;
- Acrescentar novas topologias;
- Acrescentar novas meta-heurísticas e realizar novas comparações entre elas.

Bibliografia

- [1] T. H. LEE, The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge: Cambridge University Press, 1998.
- [2] B. Ravazi, RF Microeletronics, California: Prentice Hall, 1998.
- [3] E. F. ROA, Dissertação: Metodologia de Projetos de Amplificadores de Baixo Ruído CMOS, São Paulo: Escola Politécnica da USP, 2003.
- [4] D. J. ALLSTOT, X. Li e S. SHEKHAR, “Design Consideration for CMOS Low Noise Amplifier,” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 97-100, 2004.
- [5] D. K. SHAEFER e T. H. LEE, “A 1.5V, 1.5 GHz Cmos Low Noise Amplifier,” pp. 745-997, May 1997.
- [6] V. H. VAROTTO, Dissertação: Projeto de Amplificadores de Baixo Ruído de RF em Tecnologia CMOS Usando um Modelo Baseado em Corrente, Curitiba: Universidade Federal do Paraná, 2004.
- [7] AUSTRIAMICROSYSTEMS, 0.35um CMOS C35 Design Rules,, ENG183, rev. 3., 2003.
- [8] G. GONZALEZ, Microwave Transistor Amplifiers: analysis and design. Second. ed., New York: Prentice Hall, 1997.
- [9] ITRS, “International technology roadmap for semiconductors, 2005 edition,” 2009. [Online]. Available: <http://www.itrs.net/Links/2009ITRS/Home2009.htm>. [Acesso em 10 Setembro 2014].
- [10] R. GREGORIAN e G. C. TEMES, Analog MOS integrated circuits for signal processing, Canada: John, 1986.
- [11] B. RAZAVI, Fundamentos de Microeletrônica, LTC, 2010.
- [12] P. E. ALLEN e D. R. HOLBERG, CMOS Analog Circuit Design. Second. ed., New York: Oxford University, 2002.
- [13] D. A. JOHNS e K. MARTIN, Analog Integrated Circuits Design. Second. ed., Canada: John Wiley & Sons,,

1996.

- [14] K. R. LAKER e W. M. C. SANSEN, Design of analog integrated circuits and systems. 1st. ed., [S.l.]: McGraw-Hill, 1994.
- [15] H. KRAUSS, C. BOSTIAN e F. RAAB, Solid state radio, New York: John Wiley, 1980.
- [16] The VLSI Handbook, Boca Raton: CRC Press LLC, 2000.
- [17] S. MOHAN, S. The Design, Modeling and Optimization of On-Chip Inductor and Transformer Circuits (PhD thesis), Dept. Electrical Engineering: Stanford University, 1999.
- [18] A. PASCHT, J. FISCHER e M. A. BERROTH, "CMOS Low Noise Amplifier at 2.4 GHz with Active Inductor Load," *Silicon Monolithic Integrated Circuits in RF Systems*, pp. 1-5, 2001.
- [19] G. REBELLO GUERREIRO, Dissertação: Projeto de Indutores Ativos para RF, São Carlos: USP, 2011.
- [20] C. P. YUE e S. WONG, "Physical Modeling of Spiral Inductors on Silicon," *IEEE Trans. on Electron Devices*, pp. 560-568, 2000.
- [21] W. HAYT, Eletromagnetismo , 4a ed., Rio de Janeiro: Ed. Livros Técnicos e Científicos, 1994.
- [22] H.-S. TSAI, J. LIN e R. C. FRYE, "Investigation of Current Crowding Effect on Spiral Inductors," em *IEEE MTT-S Symposium on Technologies for Wireless Application Digest*, 1997.
- [23] Y. Cao, R. A. GROVES, X. HUANG, N. D. ZAMDMER e e. al., "Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors," *IEEE J. Solid-State Circuits* , pp. 419-426, 2003.
- [24] S. R. KYTHAKYAPUZHA, Modeling of Spiral Inductors and Transformers (Master thesis), Manhattan: Dept. Electrical of Engineering and Computer Engineering Kansas State University, 200.
- [25] C. P. YUE e S. WONG, "Design strategy of on-chip inductors for highly integrated RF systems," em *Design Automation Conference* , 1999.
- [26] J. CROLS, P. KINGET, J. CRANINCKX e M. STEYAERT, "An Analytical Model of Planar Inductors on Lowly Doped Silicon Substrates for High frequency Analog Design up to 3 GHz," em *Symp. on VLSI*

Circuits Digest of Technical Papers, 1996.

- [27] C. P. YUE, C. RYU, J. LAU e e. al, “ A Physical Model for Planar Spiral Inductors on Silicon,” em *IEEE Electron Devices Meeting*, 1996.
- [28] A. M. NIKNEJAD, Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF ICs (Master thesis), Berkeley: Dept. Engineering–Electrical Engineering and Computer Science University of California, 1996.
- [29] G. M. OHARA, Projeto de um Oscilador LC-Tanque Controlável por Tensão em Tecnologia CMOS para Rádio Frequência (dissertação de mestrado), São Paulo: Departamento de Engenharia Elétrica, Escola Politécnica da Universidade de São Paulo, 2003.
- [30] A. VAN DER ZIEL, Noise in solid state devices and circuits, New York: Wiley & Sons, 1986.
- [31] M. GOLIO, RF and Microwave: Circuits, Measurements, and Modeling. Second. ed., Phoenix.: CRC Press, 2008.
- [32] P. H. TREVISAN, Dissertação: Projeto de um amplificador de baixo ruído em CMOS considerando o ruído e a potência, São Paulo: Escola politécnica da USP, 2008.
- [33] F. CAMPOS RIBEIRO, Dissertação: Desenvolvimento de um amplificador CMOS totalmente integrado para operar em 1.8 GHz, Itajubá: Universidade Federal de Itajubá, 2004.
- [34] D. M. POZAR, Microwave Engineering. Third. ed., [S.l.]: John Wiley and Sons Inc, 2005.
- [35] M. H. C. e. a. HALIM, “Low Noise Amplifier for Front End Transceiver at 5.8 GHZ,” em *International Conference on Electronic Design*, 2008..
- [36] J. KAUKOVUORI, M. KALTIOKALLIO e J. RYYNÄNEN, “ Analysis and Design of Common-Gate Low-Noise Amplifier for Wideband Applications.,” em *IEEE 18th European Conference on Circuit Theory and Design (ECCTD)*, 2007.
- [37] A. BEVILACQUA e A. M. NIKNEJAD, “A Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6-GHz Wireless Receivers,” *IEEE Journal of Solid State circuits*, pp. 382-383, fev 2004.

- [38] S. S. RAO, Engineering Optimization: Theory and Practice. Fourth. ed., Canada: John Wiley and Sons, 2009.
- [39] S. Luke, Essentials of Metaheuristics, Lulu, 2013.
- [40] E.-G. TALBI, MetaHeuristic: From Design to Implementation, New Jersey: John Wiley and Sons Inc, 2009.
- [41] V. CERNY, "Thermodynamical approach to the traveling salesman problem: an efficient simulation algorithm," *Optimization theory and applications*, pp. 41-51, January 1985.
- [42] A. M. NIKNEJAD, Analysis, Simulation and Applications of Passive Devices on Conductive Substrates (PhD thesis), Berkeley: Dept. Engineering Eletrical and Computer Science, 2000.
- [43] ASITIC, "Analysis and Simulation of Spiral Inductors and Transformers for ICs," [Online]. Available: <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>. [Acesso em 2014 Maio 2014].
- [44] A. d. Anjos, Dissertação: Comparação de ferramentas para modelamento de indutores na tecnologia CMOS, São Paulo: Escola Politécnica da USP, 2007.
- [45] ANSYS, "ANSYS HFSS," ANSYS, [Online]. Available: <http://www.ansys.com/Products/Simulation+Technology/Electronics/Signal+Integrity/ANSYS+HFSS>. [Acesso em 14 Outubro 2014].
- [46] D. e. a. LINTEN, "Low-power 5 GHz LNA and VCO in 90 nm RF CMOS," *VLSI circuits Symposium*, pp. 372-375, 2004.
- [47] C. W. V. Casanas, Projeto de Amplificadores de Baixo Ruído Usando Algoritmos Metaheurísticos, São Carlos: Universidade de São Paulo: EESC, 2013.
- [48] D. A. JOHNS e K. MARTIN, Analog Integrated Circuits Design. Second. ed., Canada: John Wiley & Sons, 1996.
- [49] B. RAZAVI, Design of Analog CMOS Integrated Circuits, New York: McGraw-Hill, 2001.
- [50] Y. TSIVIDIS, Operarion and Modeling of the MOS transistor. Second. ed., Oxford: Oxford University,

2010.

- [51] “Welcome to the ASITIC Homepage,” [Online]. Available: <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>. [Acesso em 23 Maio 2014].
- [52] A. M. NIKNEJAD, Analysis, Simulation, and Applications of Passive, Berkeley: Dept. Engineering Electrical and Computer Science, 2000.
- [53] P. E. Allen e D. R. Hoberg, CMOS Analog Circuit Design, Oxford: Oxford University Press, 2002.
- [54] M. J. Roberts, Fundamentos de Sinais e Sistemas, Porto Alegre: McGrawHill, 2010.
- [55] AUSTRIAMICROSYSTEMS, 0.35 μ m CMOS C35 Design Rules, ENG 183, rev. 3 ed., AustrianMicroSystems, 2003.
- [56] A. Pertence Júnior, Eletrônica Analógica: Amplificadores Operacionais e Filtros Analógicos, Porto Alegre: Teckne, 2012.
- [57] E. I. Ishibe, “Projeto de Fonte de Tensão de Referência de Baixa Tensão e Consumo,” São Carlos, 2010.
- [58] O. H. B. Torres, “Otimização de Circuitos CMOS por Algoritmo Genético,” São Carlos, 2012.
- [59] I. F. R. S. Filgueiras, “Otimização de circuitos CMOS por Algoritmo Genético,” São Carlos, 2010.
- [60] T. C. Pimenta, R. L. Moreno e L. B. Zoccal, “RF CMOS Background,” 20 Julho 2011. [Online]. Available: <http://www.intechopen.com/books/current-trends-and-challenges-in-rfid/rf-cmos-background>. [Acesso em 15 Agosto 2014].
- [61] B. C. Tranquilini, “Projeto de Amplificador Operacional em Tecnologia CMOS,” São Carlos, 2008.
- [62] “HSPICE,” 2014. [Online]. Available: <http://www.hspice.com>. [Acesso em 6 Agosto 2014].
- [63] “MATLAB,” 2014. [Online]. Available: <http://www.mathworks.com/products/matlab/>. [Acesso em 16 Junho 2014].
- [64] “AUSTRIAMICROSYSTEMS,” 2014. [Online]. Available: <http://asic.austriamicrosystems.com/>. [Acesso

em 14 Agosto 2014].

- [65] S. Luke, *Essentials of Metaheuristics*, vol. II, Fairfax: Lulu.com, 2013.
- [66] J. Kennedy e R. Eberheart, “Particle swarm optimization,” em *IEEE International Conference*, Perth, 1995.
- [67] H. Simon e V. V. Barry, *Sinais e Sistemas*, Porto Alegre: Bookman, 2001.
- [68] A. P. L. F. Carvalho, “Algoritmos Genéticos,” 2009. [Online]. Available: <http://www.icmc.usp.br/pessoas/andre/research/genetic/>. [Acesso em 5 Setembro 2014].
- [69] A. C. Oliveira, “Uso do Algoritmo Genético e Recozimento Simulado para o Problema de Alocação de Salas,” Lavras, 2006.
- [70] S. Kirkpatrick, C. D. Gellat e M. P. Vecchi, “Optimization by Simulated Annealing,” *Science*, vol. vol. 220, pp. 671-680, Maio 1983.
- [71] A. S. Sedra e K. C. Smith, *Microeletronic Circuits*, 5ª ed., Oxford University Press, 2004.
- [72] J. H. Holland, *Adaptation in Natural and Artificial Systems: An Introductory Analysis with Applications to Biology, Control, and Artificial Intelligence*, MIT Press, 1992.
- [73] “ELDO,” 2014. [Online]. Available: http://www.mentor.com/products/ic_nanometer_design/analog-mixed-signal-verification/eldo/. [Acesso em 17 Setembro 2014].
- [74] “ITRS,” 2005. [Online]. Available: <http://www.itrs.net/Links/2009ITRS/Home2009.htm>. [Acesso em 30 Outubro 2014].

Apêndices e Anexos

Apêndice A – Utilização do CirOp

O CirOp é iniciado a partir de uma sessão do *software* Matlab através da chamada ao script CirOp.m. Iniciado, a tela, Figura Apêndice A 1, é apresentada ao usuário. Esse framework possui diversos blocos já implementados e um dos objetivos desse trabalho é a implementação de blocos de LNAs. Escolhendo o bloco a ser otimizado, a tela da Figura Apêndice A 2 é apresentada ao usuário. Os comandos/funcionalidades do menu da Figura Apêndice A 2 são:

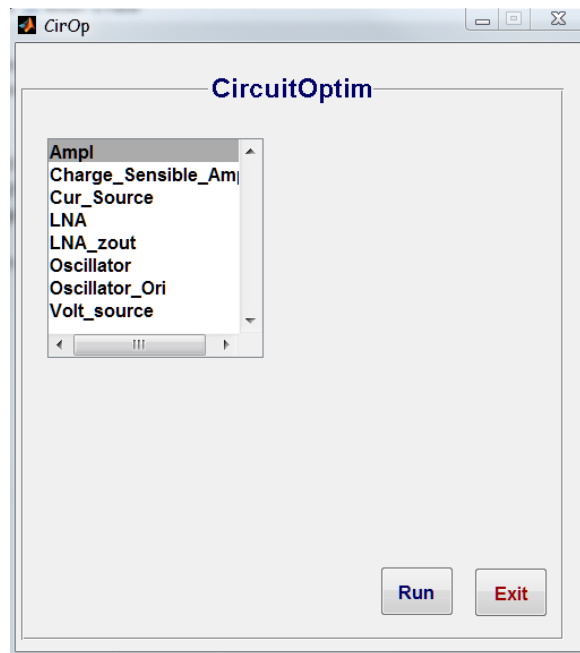


Figura Apêndice A 1. Tela inicial do software CirOp.

1. topologias que podem ser otimizadas;
2. modelos disponíveis (colocado na pasta Model, localizada na raiz do programa CirOp)
3. caso on, aparece o esquemático da topologia (circuito.png, figura localizada na pasta da topologia selecionada)
4. apresenta o arquivo *spice* descrevendo topologia (circuito.cir, arquivo localizado na pasta da topologia selecionada)
5. apresenta o arquivo paramop e o arquivo paramopT. Quando são realizadas diversas otimizações, o paramop é o melhor resultado para a otimização atual e o paramopT, o melhor resultado entre todas. Durante a otimização esses arquivos podem ser olhados permitindo o acompanhamento dos resultados.

6. salva os resultados e configurações colocadas no menu.
7. Parâmetros para a otimização. Também é possível se colocar o peso de cada um dos parâmetros na função de objetivo e constantes utilizadas pela topologia usada.
8. Tabela com as variáveis que desejamos determinar (X_1 , X_2 , etc.). Nessa tabela esta a descrição, o valor inferior, o valor superior e uma condição inicial. Podem-se editar as linhas e colunas da tabela, todas, acrescentar ou remover linhas ao fim da tabela, tecla insert, para novas variáveis, e tirar linhas ao fim da tabela, tecla F1. Para as variáveis, aquelas que tiverem valor inferior igual ao valor superior não serão otimizadas (reduz o numero de variáveis de otimização). Assim, podemos fixar algumas variáveis facilitando as buscas.
9. Lista dos vários algoritmos disponíveis: GA (genetic algorithm - Matlab), SA (simulated annealing - Matlab), Pattern Search, MM (Minimax opt.- Matlab), SAM (Simulated annealing Modified – Tiago), SCE, PSO (Particle Swarm), DE (Differential Evolution), EvN (Evolution with Neurlanetworks), PSON (Particle Swarm e rede neural), PSw (PSwarn Minho)
10. Executar a simulação. Gera o menu da Figura Apêndice A 3.
11. Carrega como condição inicial o melhor resultado gerado por qualquer um dos algoritmos
12. sai do menu. Não é possível sair do menu de outra forma. Com isso se garante que certos resultados são armazenados. Caso este menu não seja fechado, não será possível fechar o anterior nem o próprio Matlab.

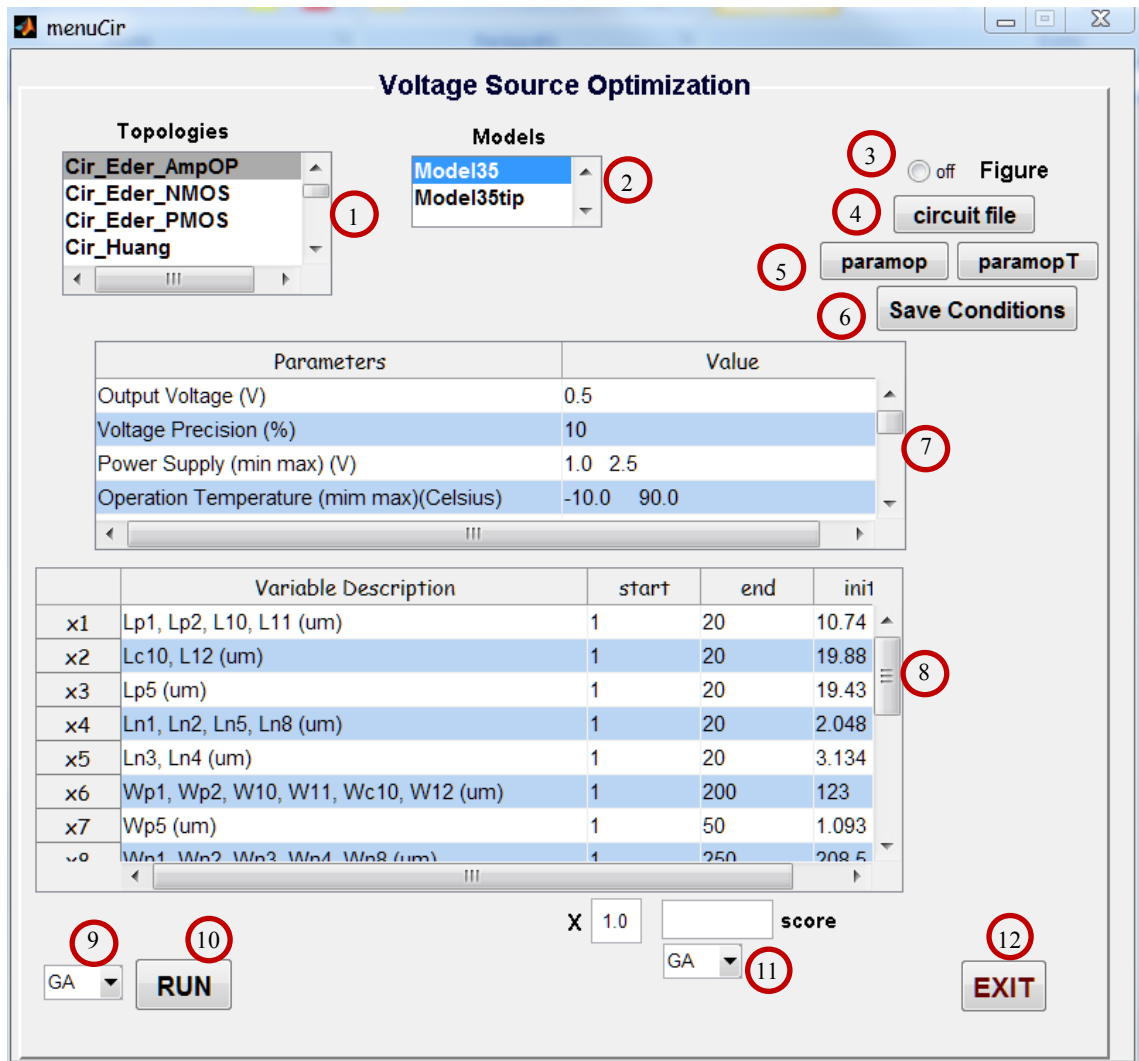


Figura Apêndice A 2. Tela de configuração para otimização do bloco escolhido.

O menu da Figura Apêndice A 3 é o de execução do algoritmo. Nele se insere:

- o número de otimizações que se deseja realizar;
- quantas simulações são executadas em cada otimização;
- o nome da extensão do arquivo de resultados. Por exemplo, o arquivo de resultados de uma otimização com GA fica na pasta de results, localizado na pasta da topologia a ser otimizada, e se chamará opti-mos.GAA1;
- número inteiro que servira de semente para gerar soluções iniciais para as otimizações. Se não for colocado uma semente será utilizada a solução inicial da Figura Apêndice A 3, tabela indicada como 8, para todas as otimizações solicitadas

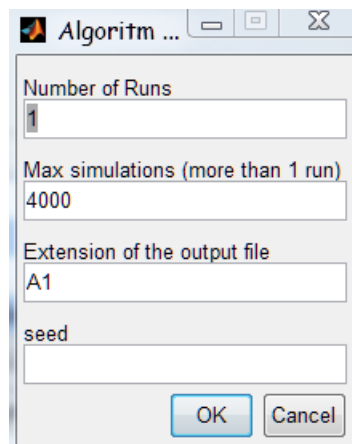


Figura Apêndice A 3. Menu de execução do CirOp.

Apêndice B – Código para simulações e medições dos parâmetros

Nesta seção são apresentados os códigos desenvolvidos para cálculo dos parâmetros nas simulações e descrições dos circuitos, Figura Apêndice B 1.

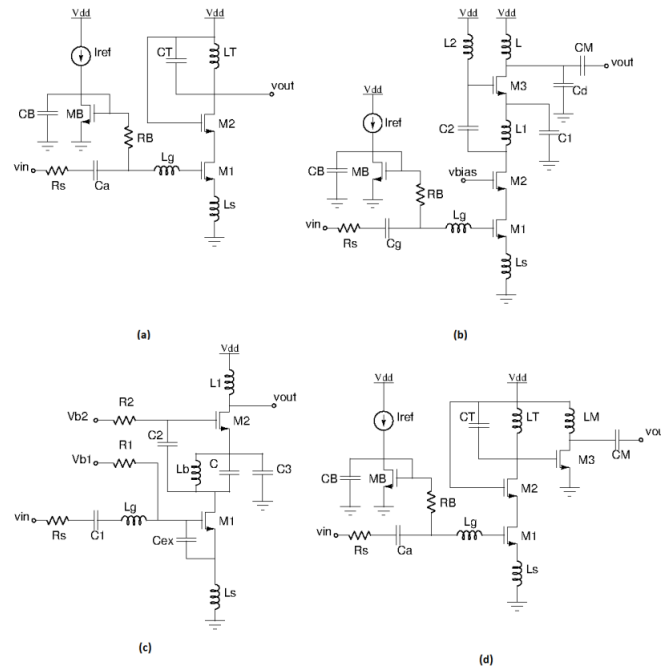


Figura Apêndice B 1. Topologias usadas.

Código 1. Descrição elétrica circuito (a) da Figura 1

*Circuito para LNA

```
.option SST_MTHREAD=1
.option NOASCII NOMOD NOOP NOPAGE NOTRC NOTRCLIB NODCINFOTAB Aex=1
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
```

.include param

***** Transistores do LNA *****

```
Mn1 5 2 1 0 MODn W='X13*1u' L='X14*1u' M=M1 Ad=(X13*1u*0.85u)/2' As='X13*1u*0.85u' PD='1.7u' PS='X13*1u+1.7u'
Mn2 vout vd 5 0 MODn W='X15*1u' L='X16*1u' Ad=(X15*1u*0.85u)/2' As='X15*1u*0.85u' PD='1.7u' PS='X15*1u+1.7u'
```

```

***** Indutor 1 - LG 3 1 *****
L1 3 3i L1
Rs1 3i 2 Rs1
Ca1 3 3r1 Ca1
Ra1 3r1 0 10Meg AC Ra1
Cb1 2 2r1 Cb1
Rb1 2r1 0 10Meg AC Rb1

***** Indutor 2 - LS 1 0 *****
L2 1 li L2
Rs2 1i 0 Rs2
Ca2 1 1r1 Ca2
Ra2 1r1 0 10Meg AC Ra2
Cb2 0 0r1 Cb2
Rb2 0r1 0 10Meg AC Rb2

***** Indutor 3 - LT vdd vout *****
L3 vd vdi L3
Rs3 vdi vout Rs3
Ca3 vd vdr1 Ca3
Ra3 vdr1 0 10Meg AC Ra3
Cb3 vout voutR1 Cb3
Rb3 voutR1 0 10Meg AC Rb3

***** circuito de polarizacao *****
Mn3 4 4 0 0 MODn W='X13*1u' L='X14*1u' Ad='X13*1u*0.85u' As='X13*1u*0.85u' PD='X13*1u+1.7u' PS='X13*1u+1.7u'
Iref vd 4 'X17*1u'
Rb 4 2 100KOhm
Cb 4 0 10pF

**** caracteristicas do circuito ****
Vdd vd 0 vdd

**** Capacitor em paralelo com LT ****
Ct vout vd 'abs(X18)*1p'

**** Capacitor de saida, simulando uma carga de outro circuito ****
CL vout 0 100fF

***** entradas *****
Ca VIN 3 20u

*** fonte de entrada de 50 Ohm ***
VAC VIN 0 AC 1 RPORT=50 iport=1 *FOUR fund1 fund2 PdBm (1, 0) pin1 angle (0, 1) pin2 angle

.end

```

Código 2. Descrição elétrica circuito (b) da Figura Apêndice B 1

```

*Circuito para LNA

.option SST_MTHREAD=1
.option NOASCII NOMOD NOOP NOPAGE NOTRC NOTRCLIB NODCINFOTAB Aex=1
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC

```

```

* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3

.include param

***** Transistores do LNA *****
Mn1 3 2 4 0 MODn W='X21*1u' L='X22*1u' Ad='(X21*1u*0.85u)/2' As='X21*1u*0.85u' PD='1.7u' PS='X21*1u+1.7u'
Mn2 4 vbias 6 0 MODn W='X23*1u' L='X24*1u' Ad='(X23*1u*0.85u)/2' As='X23*1u*0.85u' PD='1.7u' PS='X23*1u+1.7u'
Mn3 7 8 9 0 MODn W='X25*1u' L='X26*1u' Ad='(X25*1u*0.85u)/2' As='X25*1u*0.85u' PD='1.7u' PS='X25*1u+1.7u'
Mn4 0 5 5 0 MODn W='X21*1u' L='X22*1u' M= M1 Ad='(X21*1u*0.85u)/2' As='X21*1u*0.85u' PD='1.7u' PS='X21*1u+1.7u'

***** Indutor 1 - LG *****
L1 1 li L1
Rs1 li 2 Rs1
Ca1 1 1r1 Ca1
Ra1 1r1 0 10Meg AC Ra1
Cb1 2 2r1 Cb1
Rb1 2r1 0 10Meg AC Rb1

***** Indutor 2 - LS *****
L2 3 3i L2
Rs2 3i 0 Rs2
Ca2 3 3r1 Ca2
Ra2 3r1 0 10Meg AC Ra2
Cb2 0 0r1 Cb2
Rb2 0r1 0 10Meg AC Rb2

***** Indutor 3 - L *****
L3 vd vdi L3
Rs3 vdi 9 Rs3
Ca3 vd vdr1 Ca3
Ra3 vdr1 0 10Meg AC Ra3
Cb3 9 9R1 Cb3
Rb3 9R1 0 10Meg AC Rb3

***** Indutor 4 - L2 *****
L4 vd vdi2 L4
Rs4 vdi2 8 Rs4
Ca4 vd vdr2 Ca4
Ra4 vdr2 0 10Meg AC Ra4
Cb4 8 8R1 Cb4
Rb4 8R1 0 10Meg AC Rb4

***** Indutor 5 - L1 *****
L5 7 7i L5
Rs5 7i 6 Rs5
Ca5 7 7r Ca5
Ra5 7r 0 10Meg AC Ra5
Cb5 6 6R1 Cb5
Rb5 6R1 0 10Meg AC Rb5

***** Resistores *****
*Rref vdd 5 50Kohm
Rbias 5 1 50KOhm

***** Fonte de corrente
Iref vd 5 'X30*1u'

***** Capacitores *****
cBB 5 0 10p
Cg VIN 1 10p

```

```

C1 7 0      'abs(X27)*1p'
C2 8 6      'abs(X28)*1p'
Cb vout 9   'abs(X29)*1p'
Cd 9 0      'abs(M2)*1f'

VO VOUT 0 AC 0 RPORT=50 iport=2
*.connect 9 vout

**** fonte de entrada de 50 Ohm ****
VAC VIN 0 AC 1 RPORT=50 iport=1 FOUR fund1 fund2 PdBm (1, 0) pin1 angle (0, 1) pin2 angle
VBIAS vbias 0 'abs(X31)'

**** caracteristicas do circuito ****
Vdd vd 0 vdd

.end

```

Código 3.Descrição elétrica circuito (c) da Figura Apêndice B 1

```

*Circuito para LNA impedancia de saida

.option SST_MTHREAD=1
.option NOASCII NOMOD NOOP NOPAGE NOTRC NOTRCLIB NODCINFOTAB Aex=1
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3

.include param

***** Transistores do LNA *****
Mn1 5 6 4 0 MODn W='X17*1u' L='X18*1u' Ad='(X17*1u*0.85u)/2' As='X17*1u*0.85u' PD='1.7u' PS='X17*1u+1.7u'
Mn2 1 2 3 0 MODn W='X19*1u' L='X20*1u' Ad='(X19*1u*0.85u)/2' As='X19*1u*0.85u' PD='1.7u' PS='X19*1u+1.7u'

***** Indutor LG *****
L1 7 7i L1
Rs1 7i 6 Rs1
Ca1 7 7r1 Ca1
Ra1 7r1 0 10Meg AC Ra1
Cb1 6 6r1 Cb1
Rb1 6r1 0 10Meg AC Rb1

***** Indutor LS *****
L2 5 5i L2
Rs2 5i 0 Rs2
Ca2 5 5r1 Ca2
Ra2 5r1 0 10Meg AC Ra2
Cb2 0 0r1 Cb2
Rb2 0r1 0 10Meg AC Rb2

***** Indutor LB *****
L3 1 1i L3
Rs3 1i 4 Rs3

```

```

Ca3 1 1r1 Ca3
Ra3 1r1 0 10Meg AC Ra3
Cb3 4 4R1 Cb3
Rb3 4R1 0 10Meg AC Rb3

***** Indutor L1 *****
L4 vd vdi2 L4
Rs4 vdi2 3 Rs4
Ca4 vd vdr2 Ca4
Ra4 vdr2 0 10Meg AC Ra4
Cb4 3 3R1 Cb4
Rb4 3R1 0 10Meg AC Rb4

**** circuitos source M2 *****
Cb 1 4 'abs(X22)*1p'
C3 1 0 'abs(X24)*1p'
C2 2 4 'abs(X21)*1p'

**** Circuito Terra M1 *****
Cex 6 5 'abs(X23)*1p'

**** Circuitos de tensao de entrada VB *****
Rbx1 Vb1 6 20.0K
Rbx2 Vb2 2 20.0K

VB1x vb1 0 'abs(X25)'
VB2x vb2 0 'abs(X26)'

***** entradas *****
C1 VIN 7 '1u'

**** fonte de entrada de 50 Ohm ****
VAC VIN 0 AC 1 RPORT=50 RPORT=50 iport=1 FOUR fund1 fund2 PdBm (1, 0) pin1 angle (0, 1) pin2 angle

**** circuito de saida ****
.connect 3 vout

**** caracteristicas do circuito ****
Vdd vd 0 vdd

.end

```

Código 4. Descrição elétrica circuito (d) da Figura Apêndice B 1

```

*Circuito para LNA impedancia de saida

.option SST_MTHREAD=1
.option NOASCII NOMOD NOOP NOPAGE NOTRC NOTRCLIB NODCINFOTAB Aex=1
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3

.include param

```


***** Transistores do LNA *****

Mn1 5 2 1 0 MODn W='X17*1u' L='X18*1u' Ad='(X17*1u*0.85u)/2' As='X17*1u*0.85u' PD='1.7u' PS='X17*1u+1.7u'
 Mn2 6 vd 5 0 MODn W='X19*1u' L='X20*1u' Ad='(X19*1u*0.85u)/2' As='X19*1u*0.85u' PD='1.7u' PS='X19*1u+1.7u'
 Mn3 7 6 0 0 MODn W='X21*1u' L='X22*1u' Ad='(X21*1u*0.85u)/2' As='X21*1u*0.85u' PD='1.7u' PS='X21*1u+1.7u'

***** Indutor 1 - LG *****

L1 3 3i L1
 Rs1 3i 2 Rs1
 Ca1 3 3r1 Ca1
 Ra1 3r1 0 10Meg AC Ra1
 Cb1 2 2r1 Cb1
 Rb1 2r1 0 10Meg AC Rb1

***** Indutor 2 - LS *****

L2 1 li L2
 Rs2 li 0 Rs2
 Ca2 1 1r1 Ca2
 Ra2 1r1 0 10Meg AC Ra2
 Cb2 0 0r1 Cb2
 Rb2 0r1 0 10Meg AC Rb2

***** Indutor 3 - LT *****

L3 vd vdi L3
 Rs3 vdi 6 Rs3
 Ca3 vd vdr1 Ca3
 Ra3 vdr1 0 10Meg AC Ra3
 Cb3 6 6R1 Cb3
 Rb3 6R1 0 10Meg AC Rb3

***** Indutor 4 - LM *****

L4 vd vdi2 L4
 Rs4 vdi2 7 Rs4
 Ca4 vd vdr2 Ca4
 Ra4 vdr2 0 10Meg AC Ra4
 Cb4 7 7R1 Cb4
 Rb4 7R1 0 10Meg AC Rb4

***** circuito saida *****

Cm 7 vout 'abs(X25)*1f'

**** fonte de saida de 50 Ohm ****

VO VOUT 0 AC 0 RPORT=50 iport=2

***** circuito de polarizacao *****

MnB 4 4 0 0 MODn W='X17*1u' L='X18*1u' M= M1 Ad='X17*1u*0.85u' As='X17*1u*0.85u' PD='X17*1u+1.7u' PS='X17*1u+1.7u'
 Iref vd 4 'X23*1u'
 Rb 4 3 100KOhn
 Cb 4 0 500fF

***** entradas *****

Ca VIN 3 20u

**** fonte de entrada de 50 Ohm ****

VAC VIN 0 AC 1 RPORT=50 iport=1 FOUR fund1 fund2 PdBm (1, 0) pin1 angle (0, 1) pin2 angle

**** caracteristicas do circuito ****

Vdd vd 0 vdd

**** Capacitor em paralelo com LT ****

Ct vout vd 'abs(X24)*1f'

.end

Código 5. Medição do ganho do circuito

```
.AC DEC 1000 0.540GHz 5.400GHz

.param ff1_val=1.800GHz ff2_val=1.801GHz pin1=-55.000 pin2=pin1 angle=90

.plot ac V(VOUT)
```

Código 6. Medição da impedância de entrada do circuito

```
.AC DEC 1000 0.540GHz 5.400GHz

.meas ac ZIN param 'Real(-VM(VIN)/IM(vac))'
.param ff1_val=1.800GHz ff2_val=1.801GHz pin1=-55.000 pin2=pin1 angle=90

.plot ac ZIN
```

Código 7. Extração da impedância de entrada e saída simultaneamente através dos parâmetros S

```
.extract fsst label=S11 yval(sdb(1,1), fund1)
.extract fsst label=S21 yval(sdb(2,1), fund1)
.extract fsst label=S12 yval(sdb(1,2), fund1)
.extract fsst label=S22 yval(sdb(2,2), fund1)

.defwave Zin=50.000*{1.0 + s(1,1)} / {1.0 - s(1,1)}
.extract fsst label=Zin.r yval(wr(Zin), fund1)
.extract fsst label=Zin.i yval(wi(Zin), fund1)

.defwave Zout=50.000*{1.0 + s(2,2)} / {1.0 - s(2,2)}
.extract fsst label=Zout.r yval(wr(Zout), fund1)
.extract fsst label=Zout.i yval(wi(Zout), fund1)
```

Código 8. Medição da linearidade do circuito

```
.option sst_spectrum=1

.param ff1_val=1.800GHz ff2_val=1.801GHz pin1=-55.000 pin2=pin1 angle=90
.step param Pin1 -70 -15 1

.sst fund1=ff1_val nharm1=3 fund2=ff2_val nharm2=3

.extract fsst label=Fundamental yval(vdb(vout), fund1)
.extract fsst label=3Harmonica yval(vdb(vout), 2*fund1-fund2)
.extract fsst label=OIP3 OIPx(vdb(vout), fund1, 2*fund2-fund1)
```

Código 9. Medição dos parâmetros S do circuito

```
.option sst_spectrum=1

.param ff1_val=1.800GHz ff2_val=1.801GHz pin1=-55.000 pin2=pin1 angle=90
.step param Pin1 -70 -15 1

.sst fund1=ff1_val nharm1=3 fund2=ff2_val nharm2=3
```

```
.extract fsst label=S11 yval(sdb(1,1), fund1)
.extract fsst label=S21 yval(sdb(2,1), fund1)
.extract fsst label=S12 yval(sdb(1,2), fund1)
.extract fsst label=S22 yval(sdb(2,2), fund1)
```

Apêndice C – Código para extração do modelo elétrico do indutor integrado

Nesta seção são apresentados os códigos de extração de modelos elétricos dos indutores.

```
function erro = indutorModeloFuncoesAproximadas(arq, numind, lextInd, wInd, sInd, nVolInd, Freq)

% numind
% lextInd
% wInd
% sInd
% nVolInd

erro = 0;

%% Metal 4
tmet4 = 925e-9;
rmet4 = 40e-3;
pmet4 = rmet4*tmet4; % R = p/t, portanto, p = R*t
pm = pmet4;
tm = tmet4;

%% Oxido
tildfox = 645e-9;
timd1 = 1000e-9;
timd2 = 1000e-9;
timd3 = 1000e-9;
tmet1 = 665e-9;
tmet2 = 640e-9;
tmet3 = 640e-9;

% espessura total do oxido
tox = tildfox + timd1 + timd2 + timd3 + tmet1 + tmet2 + tmet3;
Eox = 3.45e-11;

%% Silicio
rswafSi = 19e-2;
Esi = 1.05e-10;
psi = rswafSi;
tsi = 725e-6; % considerando a media entre 710 e 740 um = 725 um

%% Dados uteis
mu = 4*pi*1e-7;

%% Modelo Pi para os Indutores
for i=1: numind;

    %% verifica se o numero de voltas e' factivel
    voltas = floor((lextInd(i)+sInd(i))/(wInd(i) + sInd(i)))/2;
    if voltas < sInd(i)
        erro = 0;
        return
    else
        %% Calculo paramentros para calculo empirico da indutancia
        % calculo do comprimento de cada segmento do indutor, comprimento total e area total

        l = calculaComprimentoSegmentoIndutores(lextInd(i),wInd(i),sInd(i),nVolInd(i));
        ltot = sum(l);

        am = sum(l*wInd(i));
        at = lextInd(i)^2;
```

```

nar = am/at;

nw = wInd(i)/(wInd(i) + sInd(i));

kl = 1.3e-7;
alpha = 1/4;

%% Indutancia
% artigo do Crolls
L = kl*(at^(3/2)/wInd(i)^2)*(nar^(5/3))*(nw^alpha);

%% Capacitancia
Csi = Esi*ltot*wInd(i)/(2*tsi);
Cs = nVolInd(i)*(wInd(i)^2)*Eox/(timd3);

Cox = Eox*ltot*wInd(i)/(2*tox);

%% Resistencia
delta = sqrt(2*pm/(2*pi*Freq*mu));
Rs = pm*ltot/(wInd(i)*delta*(1-exp(-tm/delta)));
Rsi = 2*(psi/tsi)*(tsi^2/(tsi^2 + at));

%% Fator de Qualidade
omega = 2*pi*Freq;
Rp = (1/(omega^2*Cox^2*Rsi))+(Rsi*((Cox+Csi)/Cox)^2);
Cp = (Cox*((1+omega^2*(Cox+Csi)*Csi*Rsi^2)/(1+omega^2*(Cox+Csi)^2*Rsi^2)));
Q = (omega*L/Rs)*(Rp/(Rp+((omega*L/Rs)^2+1)*Rs))*(1-((Rs^2*(Cs+Cp))/L)-omega^2*L*(Cs+Cp));

%% Para salvar somente os valores dos elementos, sem levar em conta
L = L*1e9;
Csi = Csi*1e15;
Cox = Cox*1e15;
Cs = Cs*1e15;
% Rsi = Rsi*1e-3;

alphaCorrecao = -log(2);
betaCorrecao = 3.2;

fatorCorrecaoRsi = 2*(betaCorrecao*exp(alphaCorrecao*nVolInd(i))+exp(-nVolInd(i)/10));
Rsi = Rsi*fatorCorrecaoRsi;

if L <= 0 || Rs <= 0 || Cox <= 0 || Rsi <= 0
    erro = 0;
    return
else
    fprintf(arq,'param L%i=%1.2fnH Rs%i=%1.2fOhm Ca%i=%1.2ffF Ra%i=%1.2fOhm Cb%i=%1.2ffF
Rb%i=%1.2fOhm\r\n',i, L, i, Rs, i, Cox, i, Rsi, i, Cox, i, Rsi);
    erro = 1;
end
end
end
end

```

```

function erro = indutorModeloAsitic( arq, numind, lextInd, wInd, sInd, nVolInd, Freq)

erro = 1;

for i=1: numind;

```

```

arq1 = fopen(['asitic_file'],'w');
[~,~] = unix('rm ind.out');

lxtInd(i) = lxtInd(i);
wInd(i) = wInd(i);
sInd(i) = sInd(i);

fprintf(arq1,'sq name=ind1:len=%1.1f:w=%1.1f:s=%1.1f:n=%1.1f:xorg=474.0:yorg=474.0f:metal=MET4:exit=MET3\r\n', lxtInd(i),
wInd(i), sInd(i), nVolInd(i));
fprintf(arq1,'pi ind1 %1.2f\r\n', Freq);
fprintf(arq1,'exit');
fclose(arq1);

[~,~] = unix('asitic -t CMOS.tek -x asitic_file -g > ind.out');

Meas = file2tableF(9, 'ind.out','L', 'R', 'Cs1','Rs1','Cs2', 'Rs2', 'Q');

if( length(Meas) < 7)
    erro = 0;
else
    L = Meas(1);
    Rs = Meas(2);
    Ca = Meas(3);
    Cb = Meas(5);
    Cox = (Ca+Cb)/2;
    Ra = Meas(4);
    Rb = Meas(6);
    Rsi = 0.5*(Ra*Rb)/(Ra+Rb);
    Q = Meas(7);

    fprintf(arq,'param L%i=%1.2fnH Rs%i=%1.2fOhm Ca%i=%1.2ffF Ra%i=%1.2fkOhm Cb%i=%1.2ffF Rb%i=%1.2fkOhm
\r\n',i,L,i,Rs,i,Cox,i,Rsi,i,Cox,i,Rsi);
end
end;

end

```

Apêndice D – Resultados das equações de Resistência de Substrato.

Nas figuras Figura Apêndice D 1 a Figura Apêndice D 4 são apresentados os resultados da correção na Resistência de substrato variando a frequência de 0,5 GHz a 3,0 GHz.

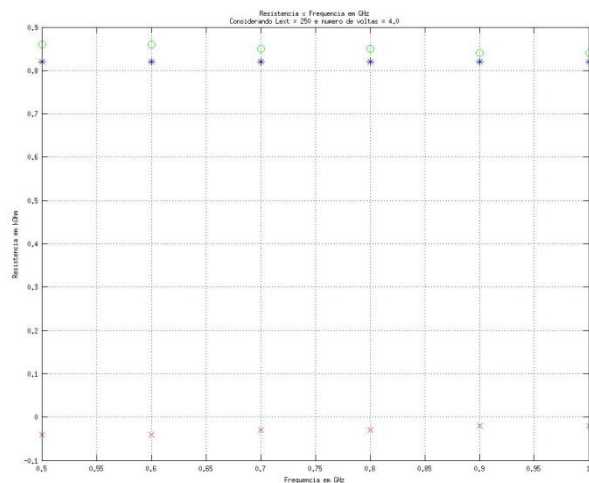


Figura Apêndice D 1. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus numero de voltas do indutor. Diferentes valores de L_{ext} são apresentados, considerando $L_{ext} = 250\mu m$, número de voltas= 4, $w=7,5\mu m$ e $s=1,0\mu m$.

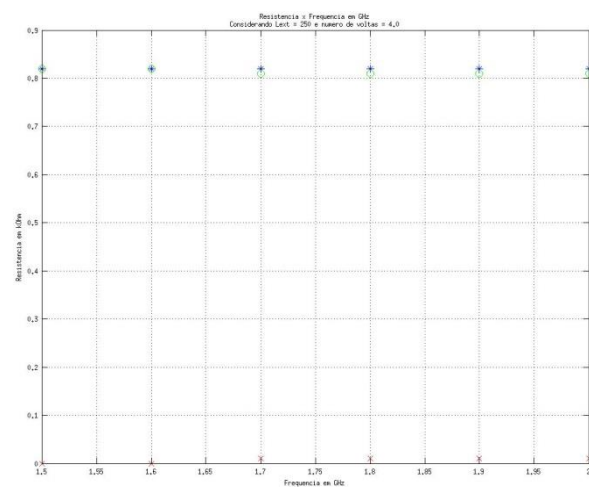


Figura Apêndice D 2. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus numero de voltas do indutor. Diferentes valores de L_{ext} são apresentados, considerando $L_{ext} = 250\mu m$, número de voltas= 4, $w=7,5\mu m$ e $s=1,0\mu m$.

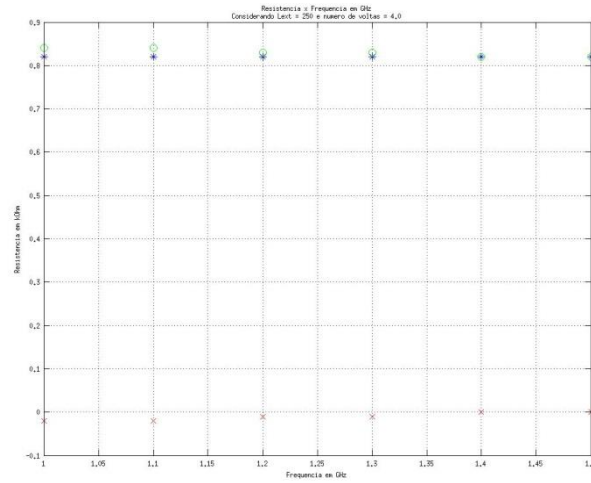


Figura Apêndice D 3. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores (x) versus número de voltas do indutor. Diferentes valores de L_{ext} são apresentados, considerando $L_{ext} = 250\mu m$, número de voltas = 4, $w = 7,5\mu m$ e $s = 1,0\mu m$.

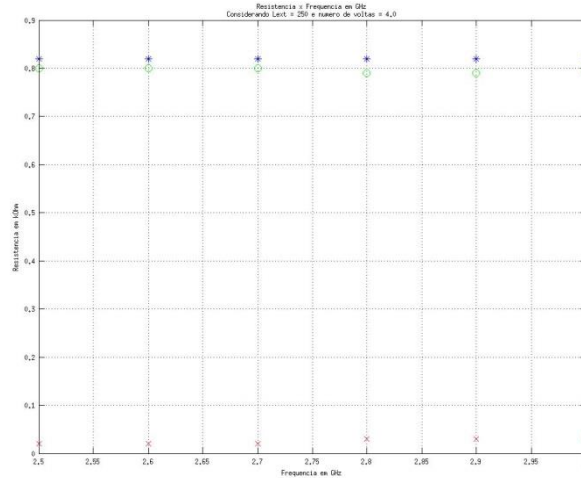


Figura Apêndice D 4. Resistências de substrato R_{si} geradas pelas equações corrigidas (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores (x) versus número de voltas do indutor. Diferentes valores de L_{ext} são apresentados, considerando $L_{ext} = 250\mu m$, número de voltas = 4, $w = 7,5\mu m$ e $s = 1,0\mu m$.

Nas figuras Figura Apêndice D 5 a Figura Apêndice D 6 relacionando a largura da espira do indutor com as equações de Resistência de substrato com e sem correção. .

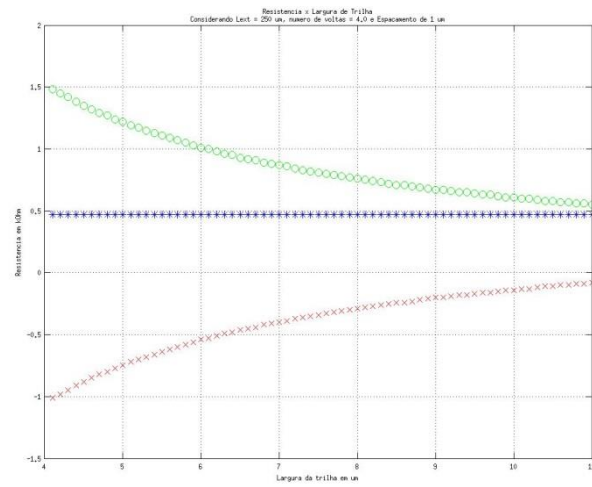


Figura Apêndice D 5. Resistência do substrato geradas pelas equações sem correção (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus largura da trilha do indutor, $L_{ext} = 250 \mu m$, número de voltas = 4 e $s = 1,0 \mu m$.

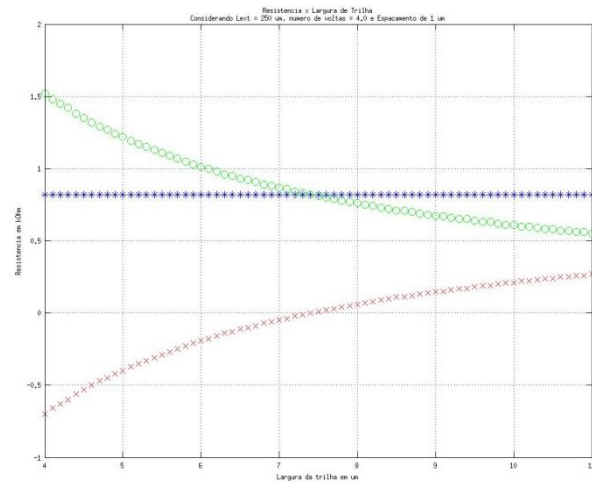


Figura Apêndice D 6. Figura Apêndice D 5. Resistência do substrato geradas pelas equações com correção (asterisco), extraídas pelo ASITIC (círculos) e a diferença entre os dois valores(x) versus largura da trilha do indutor, $L_{ext} = 250 \mu m$, número de voltas = 4 e $s = 1,0 \mu m$.

Anexo A – Parâmetros do modelo BSIM3v3

É apresentado o do modelo BSIM3v3 para o transistor NMOS.

```
.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format   : ELDO, AccusimII, Continuum
* model    : MOS BSIM3v3
* process  : C35
* revision : 4.0;
* extracted : B10866 ; 2002-12; ese(5487)
* doc#     : ENG-182 REV_6
* -----
*          TYPICAL MEAN CONDITION
* -----
*
+THMLEV =0
*   *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV =1
*   *** Threshold voltage related model parameters ***
+K1   =5.0296e-01
+K2   =3.3985e-02 K3   =-1.136e+00 K3B  =-4.399e-01
+NPEAK =2.611e+17 VTH0 =4.979e-01
+VOFF  =8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
+DVT2  =8.375e-03 KETA =2.032e-02
+PSCBE1=1.000e+30 PSCBE2=1.000e-06
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
*   *** Mobility related model parameters ***
+UA   =4.705e-12 UB   =2.137e-18 UC   =1.000e-20
+U0   =4.758e+02
*   *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
*   *** Saturation related parameters ***
+EM   =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0   =2.541e+00 A1   =0.000e+00 A2   =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS  =2.408e-01
+B0   =4.301e-09 B1   =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
*   *** Geometry modulation related parameters ***
+W0   =2.673e-07 DLC  =3.0000e-08
+DWC  =9.403e-08 DWB  =0.000e+00 DWG  =0.000e+00
+LL   =0.000e+00 LW   =0.000e+00 LWL  =0.000e+00
+LLN  =1.000e+00 LWN  =1.000e+00 WL   =0.000e+00
+WW   =-1.297e-14 WWL  =-9.411e-21 WLN  =1.000e+00
+WWN  =1.000e+00
*   *** Temperature effect parameters ***
+AT   =3.300e+04 UTE  =-1.800e+00
+KT1  =-3.302e-01 KT2  =2.200e-02 KT1L =0.000e+00
+UA1  =0.000e+00 UB1  =0.000e+00 UC1  =0.000e+00
+PRT  =0.000e+00
*   *** Overlap capacitance related and dynamic model parameters ***
+CGSO =1.200e-10 CGDO =1.200e-10 CGBO =1.100e-10
+CGDL =1.310e-10 CGSL =1.310e-10 CKAPPA =6.000e-01
+CF   =0.000e+00 ELM  =5.000e+00
```

```

+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+NOFF =1.000e+00 VOFFCV =0.000e+00
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =3.449e+02
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
* *** Process and parameters extraction related model parameters ***
+TOX =7.575e-09 NGATE =0.000e+00
+NLX =1.888e-07
+XL =0.000e+00 XW =0.000e+00
* *** Substrate current related model parameters ***
+ALPHA0 =2.600e-06 ALPHA1 =5.000e+00 BETA0 =2.100e+01
* *** Noise effect related model parameters ***
+AF =1.507e+00 KF =2.170e-26 EF =1.000e+00
+NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13
* *** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =7.000e+01
+RDC =0.000e+00 RSC =0.000e+00 LD =-5.005e-08
+WD =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =5.100e-07 JSW =0.600e-12
+IS =0.000e+00 N =1.000e+00
+DCAPLEV =2 CBD =0.000e+00 CBS =0.000e+00
+CJ =8.400e-04 CJSW =2.500e-10 FC =0.000e+00
+MJ =3.400e-01 MJSW =2.300e-01 TT =0.000e+00
+XTI =2.026e+00 PB =6.900e-01 PBSW =6.900e-01

```

Anexo B – Tecnologia usada por ASITIC

É apresentado o conteúdo do arquivo da tecnologia fornecida para o ASITIC.

```
;C35B4C3 0.35um CMOS technology file

;Based on documentation of AMS - Austria Micro Systeme International AG
;Document ENG-182 Rev 2
;DMPSV - LSI - USP
;Last changed on 27/02/2006
;Typical Pamemeters
;Angelica/Navarro/Andres/Eduard

;Revisado por Paulo e Armando em 10/7/2007 - utilizar para estruturas com diâmetros ou extensão de (chipx*chipy)/4
;atualizar campos 'TechFile' e 'TechPath' para seu 'tech file' e sua área de trabalho respectivamente
;Revisado por Fabian em 2010, atualizado "eddy=0" para indicar que a corrente de eddy é calculada no substrato

<chip>
    chipx=1024                ;dimensions of the chip in x direction
    chipy=1024                ;dimensions of the chip in y direction
    fftx=1024                 ;x-fft size (must be a power of 2)
    ffty=1024                 ;y-fft size
    TechFile=CMOS.tek
    TechPath=.
    freq=2.45                 ;?? frequency of operation
    eddy=0                    ;layer for eddy-current calculation

<layer> 0                     ;P-SUBSTRATE
    rho=19                    ;ohm-cm
    t=725                     ;microns, media entre minimo e maximo
    eps=11.9

<layer> 1                     ;FOX
    rho=1e10                  ;ohm-cm
    t=0.290
    eps=3.9

<layer> 2                     ;ILDFOX
    rho=1e10                  ;ohm-cm
    t=0.927                   ;t=TILDFOX+TPOLY1 (0.645+0.282)
    eps=4

<metal> 0
    layer=2                   ;POLY1
    rsh=8000                  ;sheet resistance Mili-Ohms/Square
    t=0.282                   ;thickness (microns)
    d=0.01                    ;dist from bottom of layer (at surface)
    name=POLY1
    color=red

<via> 0                       ;metal 1 to poly 1 (CONT)
    top=1                     ;via connects up to this metal layer
    bottom=0                  ;via connects down to this metal layer
    r=2                        ;resistance per via
    width=0.4                 ;width of via
    space=0.4                 ;minimum spacing between vias
    overplot1=0.2             ;minimum dist to bottom layer
    overplot2=0.15            ;minimum dist to top layer
    name=CONT
    color=blue
```

```

<layer> 3                                ;IMD1 (TIMD1+TMETAL)
rho=1e10                                ;ohm-cm
t=1.665
eps=4.1

<metal> 1                                ;METAL1
layer=3                                  ;sheet resistance Mili-Ohms/Square
rsh=70                                   ;thickness (microns)
t=0.665                                  ;dist from bottom of layer (at surface)
d=0.01
name=MET1
color=light blue

<via> 1                                   ;metal 2 to metal 1 (VIA)
top=2                                    ;via connects up to this metal layer
bottom=1                                ;via connectsdown to this metal layer
r=1.2                                    ;resistance per via
width=0.5                               ;width of via
space=0.45                              ;minimum spacing between vias
overplot1=0.2                           ;minimum dist to bottom
overplot2=0.15                          ;minimum dist to top
name=VIA
color=magenta

<layer> 4                                ;IMD2
rho=1e10                                ;ohm-cm
t=1.640                                  ;TIMD2+TMET2=1+0.640
eps=4.1

<metal> 2                                ;METAL2
layer=4                                  ;sheet resistance Mili-Ohms/Square
rsh=70                                   ;thickness (microns)
t=0.640                                  ;dist from bottom of layer (at surface)
d=0.01
name=MET2
color=dark blue

<via> 2                                   ;metal 3 to metal 2 (VIA2)
top=3                                    ;via connects up to this metal layer
bottom=2                                ;via connectsdown to this metal layer
r=1.2                                    ;resistance per via
width=0.5                               ;width of via
space=0.45                              ;minimum spacing between vias
overplot1=0.2                           ;minimum dist to bottom
overplot2=0.15                          ;minimum dist to top
name=VIA2
color=cyan1

<layer> 5                                ;IMD3
rho=1e10                                ;ohm-cm
t=1.640                                  ;TIMD3+TMET3=1+0.640
eps=4.1

<metal> 3                                ;METAL3
layer=5                                  ;sheet resistance Mili-Ohms/Square
rsh=70                                   ;thickness (microns)
t=0.640                                  ;dist from bottom of layer (at surface)
d=0.01
name=MET3
color=Sienna

```

```

<via> 3                                ;metal 4 to metal 3 (VIA3)
    top=4                              ;via connects up to this metal layer
    bottom=3                          ;via connects down to this metal layer
    r=1.2                             ;resistance per via
    width=0.5                         ;width of via
    space=0.45                        ;minimum spacing between vias
    overplot1=0.2                     ;minimum dist to bottom
    overplot2=0.15                   ;minimum dist to top
    name=VIA3
    color=gray

<layer> 6                               ;PROT1
    rho=1e10                          ;ohm-cm
    t=1.955                           ;microns (TPROT1+TMET4=1.030+0.925)
    eps=3.9

<metal> 4                               ;metal4
    layer=6                           ;sheet resistance Mili-Ohms/Square
    rsh=40                            ;thickness (microns)
    t=0.925                           ;dist from bottom of layer (at surface)
    d=0.01
    name=MET4
    color=Green

<layer> 7                               ;PROT2
    rho=1e10                          ;ohm-cm
    t=1                               ;microns
    eps=7.9

```