

**UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS**

William Carrara Orlato

Projeto de Amplificador Neuronal de Baixo Ruído CMOS

São Carlos

2024

William Carrara Orlato

Projeto de Amplificador Neuronal de Baixo Ruído CMOS

Monografia apresentada ao Curso de Engenharia Elétrica com Ênfase em Eletrônica, da Escola de Engenharia de São Carlos da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Engenheiro Eletricista.

Orientador: Prof. Dr. João Navarro Soares Junior

**São Carlos
2024**

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica elaborada pela Biblioteca Prof. Dr. Sérgio Rodrigues Fontes da
EESC/USP com os dados inseridos pelo(a) autor(a).

0071p Orlato, William Carrara
 Projeto de Amplificador Neuronal de Baixo Ruído
 CMOS / William Carrara Orlato; orientador João
 Navarro Soares Junior. São Carlos, 2024.

 Monografia (Graduação em Engenharia Elétrica com
 ênfase em Eletrônica) -- Escola de Engenharia de São
 Carlos da Universidade de São Paulo, 2024.

 1. Amplificador. 2. Baixo Ruído. 3. Baixa
 potência. 4. CMOS . I. Título.

FOLHA DE APROVAÇÃO

Nome: William Carrara Orlato

Título: “Projeto de Amplificador Neuronal de Baixo Ruído CMOS”

Trabalho de Conclusão de Curso defendido e aprovado

em 13/ 12 / 2024,

com NOTA 9,0 (nove, zero), pela Comissão Julgadora:

Prof. Dr. João Navarro Soares Júnior - Orientador SEL/EESC/USP

Prof Associado João Paulo Pereira do Carmo - SEL/EESC/USP

Dr. Adécio Marques de Souza - Pesquisador EESC/USP

**Coordenador da CoC-Engenharia Elétrica - EESC/USP:
Professor Associado José Carlos de Melo Vieira Júnior**

Este trabalho é dedicado aos meus avós que foram os pilares que sustentaram minha jornada. Foi graças a eles que cheguei até este momento, e sua presença, ecoa em cada passo dessa conquista.

AGRADECIMENTOS

Quero expressar minha profunda gratidão aos meus pais, cuja inspiração e apoio constantes foram fundamentais ao longo de todo este percurso. À minha irmã, que é para mim um exemplo de dedicação e determinação, meu sincero agradecimento. Sou imensamente grato ao professor Dr. João Navarro, cuja orientação, auxílio e apoio foram indispensáveis para a realização deste trabalho. Por fim, agradeço de coração aos amigos que me acompanharam ao longo desta jornada e tornaram possível chegar até aqui.

*“Quem quer passar além do Bojador
Tem que passar além da dor.
Deus ao mar o perigo e o abismo deu,
Mas nele é que espelhou o céu.”*
Fernando Pessoa - Mar Português

RESUMO

ORLATO, W. C. **Projeto de Amplificador Neuronal de Baixo Ruído CMOS.** 2024. 75 p. Monografia (Trabalho de Conclusão de Curso) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2024.

Sinais neuronais são caracterizados por baixas amplitudes e frequências, o que exige circuitos de aquisição com baixo ruído e consumo de potência reduzido para preservar a integridade dos sinais em aplicações biomédicas. Este trabalho teve como objetivo o desenvolvimento de um circuito integrado analógico para amplificação e aquisição de sinais neuronais, utilizando a tecnologia CMOS de 65 nm da *Taiwan Semiconductor Manufacturing Company* (TSMC). O projeto foi realizado com o auxílio de um otimizador meta-heurístico baseado em enxame de partículas, permitindo a otimização automática dos transistores do circuito. Os resultados obtidos incluem um ganho final de $39,9\text{ dB}$ em uma largura de banda de $7,0\text{ kHz}$, com polos localizados em 10 Hz e $7,0\text{ kHz}$. O circuito apresentou baixo consumo de potência, de $7,52\text{ }\mu\text{W}$, e uma área de layout de $0,29\text{ mm}^2$, destacando-se como uma solução eficiente para sistemas de aquisição de sinais neuronais.

Palavras-chave: LNA. TSMC. OTA. Baixo Ruído. CMOS.

ABSTRACT

ORLATO, W. C. **CMOS Low-Noise Neural Amplifier Design**. 2024. 75 p.
Monograph (Conclusion Course Paper) - Escola de Engenharia de São Carlos,
Universidade de São Paulo, São Carlos, 2024.

Neural signals are characterized by low amplitudes and frequencies, requiring acquisition circuits with low noise and reduced power consumption to preserve the integrity of these signals in biomedical applications. This work aimed to develop an analog integrated circuit for amplification and acquisition of neural signals, utilizing 65 nm CMOS technology from the Taiwan Semiconductor Manufacturing Company (TSMC). The design was carried out using a particle swarm optimization-based meta-heuristic model, enabling automatic transistor optimization. The results include a final gain of 39.9 dB within a 7.0 kHz bandwidth, with poles located at 10 Hz and 7.0 kHz . The circuit achieved low power consumption of $7.52\text{ }\mu\text{W}$ and a layout area of 0.29 mm^2 , standing out as an efficient solution for neural signal acquisition systems.

Keywords: LNA. TSMC. OTA. Low Noise. CMOS.

LISTA DE FIGURAS

Figura 1 – Espectro de ruído térmico no resistor	24
Figura 2 – Ruído Térmico do MOSFET	24
Figura 3 – Ruído Flicker no MOSFET	25
Figura 4 – Espectro de frequência do Ruído Flicker	26
Figura 5 – Top level circuito descrito em [1]	29
Figura 6 – Topologia OTA descrita por [1]	30
Figura 7 – Topologia OTA descrita por [2]	31
Figura 8 – Arquitetura de LNA usando um modulador <i>Chopper</i>	32
Figura 9 – Esquemático OTA Trabalho [3]	33
Figura 10 – LNA com filtro passa baixa	34
Figura 11 – <i>folded-cascode</i> OTA	35
Figura 12 – Topologia do OTA	37
Figura 13 – Representação simplificada do OTA	38
Figura 14 – Modelo de pequenos sinais OTA	39
Figura 15 – Simplificação do OTA	41
Figura 16 – OTA com fontes de ruído	41
Figura 17 – Simplificação OTA com fontes de ruído	42
Figura 18 – Amplificador de Baixo Ruído desenvolvido neste trabalho.	43
Figura 19 – Diagrama do LNA aplicando as simplificações	44
Figura 20 – Fonte de Ruído na Saída do LNA	46
Figura 21 – Diagrama simplificado do CirOp	48
Figura 22 – Resposta em frequência do amplificador (ganho diferencial)	51
Figura 23 – Resposta em Frequência do LNA	52
Figura 24 – Ruído do LNA	53
Figura 25 – Layout do OTA	57
Figura 26 – Layout do LNA	58
Figura 27 – Comparação entre Layout e Esquemático do amplificador.	59
Figura 28 – Resposta em Frequência do LNA (Layout)	60
Figura 29 – Ruído do LNA (Layout)	61
Figura 30 – - Layout do Par diferencial)	71
Figura 31 – Layout da Carga ativa	73
Figura 32 – Layout do Espelho de Corrente	75

LISTA DE TABELAS

Tabela 1 – Características dos sinais neuronais	23
Tabela 2 – Condições de projeto para o OTA	49
Tabela 3 – Condições de projeto para o LNA	49
Tabela 4 – Tamanho dos transistores obtidos pelo método PSO	49
Tabela 5 – Tamanho dos capacitores pelo método PSO	49
Tabela 6 – Transistores modificados para casamento	55
Tabela 7 – Casamento Par diferencial	56
Tabela 8 – Casamento Carga ativa	56
Tabela 9 – Casamento Espelho de Corrente	56
Tabela 10 – Comparação Deste LNA com outros Trabalhos	61

LISTA DE ABREVIATURAS E SIGLAS

LNA	<i>Low Noise Amplifier</i>
OTA	<i>Operational Transconductance Amplifier</i>
LFP	<i>Local Field Potential</i>
ECoG	<i>Electrocorticography</i>
MOS	<i>Metal Oxide Semiconductor</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
PSD	<i>Power Spectral Density</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
PSO	<i>Particle Swarm Optimization</i>
W	<i>Width</i>
L	<i>Length</i>
NEF	<i>Noise Efficiency Factor</i>
DRC	<i>Design Rule Check</i>
LVS	<i>Layout Versus Schematic</i>
RMS	<i>Root Mean Square</i>

SUMÁRIO

1	INTRODUÇÃO	23
1.1	Ruído Térmico	24
1.2	Ruído Flicker	25
1.3	Particionamento do Trabalho	26
2	REVISÃO BIBLIOGRÁFICA	29
2.1	Topologias	29
2.1.1	Topologia I	29
2.1.2	Topologia II	31
2.1.3	Topologia III - <i>Chopper</i> Modulador	32
2.1.4	Topologia IV - <i>Feedback loop</i>	33
2.1.5	Topologia V - Filtro Passa Banda	34
3	ANÁLISE DO CIRCUITO	37
3.1	Amplificador Operacional	37
3.1.1	Análise na frequência	37
3.1.2	Análise do ruído	41
3.2	Amplificador de Baixo Ruído	43
3.2.1	Análise na frequência	43
3.2.2	Densidade Espectral de Potência do Ruído no LNA	45
3.3	Meta-Heurística	47
3.3.1	CirOp	47
4	RESULTADOS - ESQUEMÁTICO	51
4.1	Amplificador Operacional	51
4.2	Amplificador de Baixo Ruído	52
5	LAYOUT	55
5.1	Casamentos	55
5.1.1	Par diferencial - M1 e M2	55
5.1.2	Carga Ativa - M3, M4 e M6	56
5.1.3	Espelho de Corrente - M5 e M7	56
5.2	Layout Final	56
6	RESULTADOS - LAYOUT	59
6.1	Amplificador Operacional	59
6.2	Amplificador de Baixo Ruído	60

7	CONCLUSÃO	63
	REFERÊNCIAS	65
	APÊNDICES	69
	APÊNDICE A – PAR DIFERENCIAL	71
	APÊNDICE B – CARGA ATIVA	73
	APÊNDICE C – ESPELHO DE CORRENTE	75

1 INTRODUÇÃO

Um passo importante no estudo da neurociência é a medição de sinais neurais. Esses sinais contêm informações valiosas sobre o funcionamento dos neurônios, dos processos cognitivos, dos estados emocionais e diversas outras atividades realizadas pelo cérebro. Sua aquisição é necessária para aprofundar a compreensão de como o cérebro atua, identificando estruturas e padrões no seu funcionamento [4]. Assim, a aquisição desse sinal desempenha um papel fundamental na compreensão do complexo funcionamento do sistema nervoso.

Os sinais neuronais podem ser classificados em três diferentes tipos [5], *spikes* (potenciais de ação), que são eventos de curta duração, cerca de milissegundos, geralmente associados à atividade elétrica de neurônios individuais [6] [7]; LFP (potências de campos locais) é uma resultante de uma coletiva de muitos neurônios em uma região do cérebro [8]; e por fim os ECoG (sinais de eletrocorticografia), são sinais adquiridos na superfície do córtex e, portanto, menos suscetíveis a erros de medição [8]. A Tabela 1 mostra a banda e a amplitude de cada um dos sinais. Observe que os sinais vão de $0,5\text{Hz}$ a $7,0\text{kHz}$ e amplitudes tão baixas quanto uma dezena de μV a alguns mV .

Tabela 1 – Características dos sinais neuronais

Sinal	Banda	Amplitude
spikes	1-7 kHz	< 500 μV
LFP	< 200 Hz	< 5 mV
ECoG	0,5-200 Hz	< 100 μV

Para capturar os sinais neurais e extrair informações significativas, é essencial contar com sistemas de aquisição de alta qualidade. O objetivo geral deste trabalho é desenvolver um amplificador de baixo ruído (*Low Noise Amplifier* - LNA) que desempenhe um papel fundamental no processo de aquisição desses sinais. Esse amplificador será projetado para amplificar sinais de baixa amplitude provenientes de eletrodos de captação, minimizando a introdução de ruídos adicionais e preservando a integridade do sinal original.

Além disso, o LNA deve atender a requisitos específicos, como operar eficientemente dentro da faixa de frequências dos sinais neurais, apresentar um baixo consumo de potência e oferecer um ganho suficiente para preparar o sinal para estágios subsequentes do sistema de aquisição.

O ruído em circuitos eletrônicos pode ser classificado em diferentes tipos, com destaque para o Ruído Térmico (ou Ruído Johnson), que resulta da agitação térmica dos portadores de carga, e o Ruído Flicker ($1/f$), que ocorre em baixas frequências devido a flutuações em processos de transporte de carga. Segue uma breve explicação desses ruídos para melhor compreensão do trabalho desenvolvido.

1.1 Ruído Térmico

O Ruído Térmico é caracterizado pela variação aleatória no movimento dos elétrons em um condutor [9]. O espectro do ruído térmico é proporcional à temperatura do componente medida em Kelvin. Abaixo, na Figura 1, pode ser visto a densidade espectral de potência do ruído de um resistor, ou seja, a variação da potência do ruído ao longo do espectro de frequência.

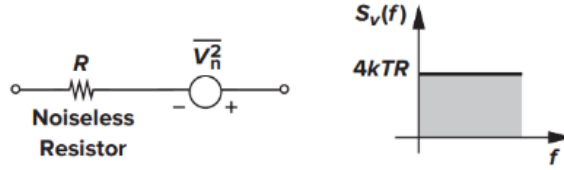


Figura 1 – Espectro de ruído térmico no resistor

A Densidade Espectral de Potência (*Power Spectra Density* - PSD) do ruído térmico de um resistor é constante e dada pela equação 1.1:

$$\overline{V^2} = 4kTR \quad (1.1)$$

Onde k é a constante de Boltzmann, T a temperatura (em Kelvin) do resistor, e, por fim, R a resistência do resistor. Ainda pela observação da Equação 1.1 e do espectro da Figura 1 espera-se que o ruído térmico seja um ruído branco, ou seja, apresente a mesma intensidade em todas as frequências. Na realidade, existe um decaimento do ruído térmico para frequências muito altas, acima de $100THz$ [9]. Porém, como a banda de frequência de interesse neste trabalho se resume a baixas frequências como mostrado na Tabela 1, pode-se considerar o ruído térmico do circuito seja um ruído branco.

Transistores MOS (Metal Oxide Semiconductor), como os utilizados neste trabalho, também apresentam ruído térmico, sendo em grande parte causado pelo canal [9]. Abaixo, na Figura 2, pode ser vista uma imagem da fonte de ruído térmico em um transistor MOS.

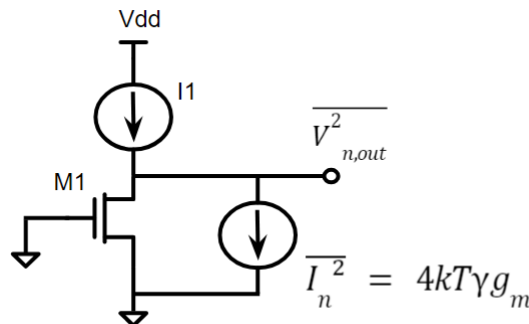


Figura 2 – Ruído Térmico do MOSFET

Como pode ser observado pela Figura 2, o ruído térmico pode ser modelado como uma fonte de corrente paralela ao dreno e source do transistor com PSD constante dado pela Equação 3.15.

$$\overline{I_n^2} = 4kTR\gamma g_m \quad (1.2)$$

Onde g_m é a transcondutância do transistor e γ é uma constante com o valor de $2/3$ para transistores de canal longo e aproximadamente 1,0 para transistores de canal muito pequeno (abaixo de micrometros) [9]

Assim, a partir da Equação 3.15 e se for considerado como carga apenas a resistência do efeito Early no circuito (r_0), pode-se concluir que o PSD da tensão de ruído térmico na saída do transistor MOS é dado pela equação 1.3, abaixo:

$$\overline{V_n^2} = \overline{I_n^2} r_0^2 = 4kT \left(\frac{2}{3} g_m \right) r_0^2 \quad (1.3)$$

1.2 Ruído Flicker

O Ruído Flicker, normalmente chamado de “ $1/f$ ”, é ocasionado pela interface entre o óxido e o substrato do silício. Como a interface apresenta deformidades, à medida que os portadores de carga se movem próximos dela, alguns são capturados ou liberados aleatoriamente [9]. Isso ocasiona o Ruído Flicker.

O Ruído Flicker é normalmente modelado como uma fonte de tensão em série com o gate do transistor como mostra a Figura 3

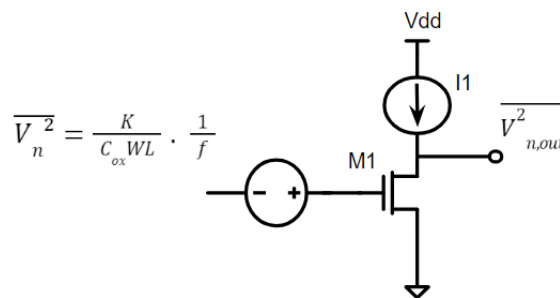


Figura 3 – Ruído Flicker no MOSFET

Seu PSD é dado na Equação 1.4.

$$\overline{V_n^2} = \frac{K}{C_{ox} WL} \frac{1}{f} \quad (1.4)$$

Onde a variável “ K ” é considerado uma constante que depende do processo de fabricação, sua ordem de grandeza é de aproximadamente $10^{25}V^2F$, como mostrado em [9].

Da mesma maneira que o ruído térmico, o ruído Flicker também pode ser visto como uma fonte de corrente paralela ao dreno/fonte do transistor [10], seu PSD será, neste caso, dado pela Equação 1.5:

$$\overline{I_n^2} = \frac{K}{C_{ox}WL} \frac{1}{f} g_m^2 \quad (1.5)$$

A partir das fórmulas pode-se chegar a duas conclusões em relação ao ruído Flicker. Primeiro, ele é inversamente proporcional a área de gate do transistor (W.L), ou seja, quanto maior a área de gate menor o ruído Flicker no transistor. Esse fato deverá ser levado em conta em projetos, para sua redução. E segundo, o ruído Flicker também é inversamente proporcional à frequência do circuito. Seu PSD na frequência pode ser vista na Figura 4, abaixo:

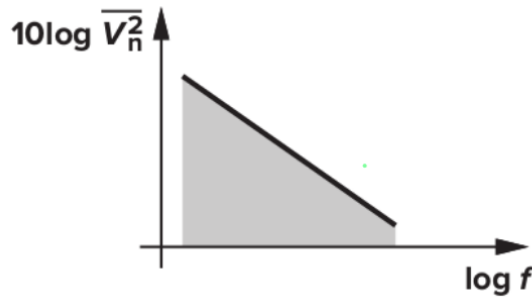


Figura 4 – Espectro de frequência do Ruído Flicker

Como o sinal neuronal se encontra nas faixas de frequência descritas na Tabela 1, e nestas faixas o ruído Flicker, conforme ilustrado no espectro de densidade da Figura 4, apresenta amplitudes significativamente elevadas, torna-se essencial tratar este ruído com extremo cuidado. Isso ocorre porque ele contribui de forma predominante para o ruído total do sistema, podendo comprometer a precisão e a confiabilidade na detecção dos sinais neuronais, que são frequentemente de baixa amplitude.

1.3 Particionamento do Trabalho

Este trabalho está dividido nas seguintes seções:

- **Capítulo 2** - Nesta seção serão revisados alguns trabalhos importantes da área de LNA para sinais neuronais, analisando-os e interpretando de que forma será possível aplicar os conhecimentos adquiridos por eles no projeto realizado neste trabalho.

- **Capítulo 3** - Nesta etapa será discutido o circuito proposto com a dedução de suas equações e quais os motivos que levaram a escolha da topologia.
- **Capítulo 4** - Neste tópico, serão apresentados os resultados das simulações realizadas no circuito pré-layout. Esses resultados serão analisados e discutidos com base nos cuidados de projeto descritos no tópico anterior.
- **Capítulo 5** - Nessa etapa será apresentado o layout do circuito junto a comentários sobre cuidados e técnicas usadas para sua confecção.
- **Capítulo 6** - Neste tópico serão apresentadas as simulações do circuito pós-layout, a fim de verificar os valores que o circuito apresenta quando considerados os elementos parasitas, principalmente capacitâncias. Por fim, eles serão comparados como os resultados da simulação do esquemático.
- **Capítulo 7** - No último capítulo, será a conclusão do trabalho, onde são apresentadas as principais características do circuito desenvolvido e possíveis melhorias para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Ao estudar sobre amplificadores de baixo ruído, observa-se, na bibliografia sobre o assunto, que a maioria das topologias dos circuitos são caracterizados por um modelo de amplificador base, sendo acrescido de demais circuitos para melhorias de requisitos específicos. Este capítulo apresenta diversas topologias de amplificadores de baixo ruído, repassando sobre quais as características que os tornam únicos.

2.1 Topologias

2.1.1 Topologia I

A topologia mais comum de LNAs pode ser vista nos trabalhos de [5] [1]. O *top level* do circuito pode ser visto abaixo na figura 5.

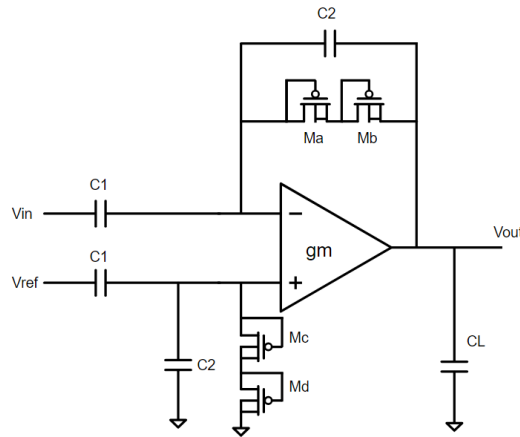


Figura 5 – Top level circuito descrito em [1]

A partir desta topologia, é possível realizar estudos que poderão ser utilizados futuramente no trabalho. Observando os componentes, temos os capacitores C_1 , C_2 e C_L , carga, os transistores Ma a Md e um *Operational Transconductance Amplifier* (OTA). Os transistores Ma a Md podem ser vistos no trabalho [11], e esta configuração forma os chamados pseudo-resistores com resistências que tendem a valores altíssimos, da ordem 10^{12} , conforme indicado no próprio trabalho [1]. Agora, com base nas análises do circuito, tem-se que o ganho na banda é dado pela equação 2.1:

$$A_m = \frac{C_1}{C_2} \quad (2.1)$$

E a largura de banda uma vez que os valores de $C_1, C_L \gg C_2$ é aproximadamente pela equação 2.2:

$$B_w = \frac{g_m}{A_m C_L} \quad (2.2)$$

Onde g_m é a transcondutância do OTA. Sua topologia pode ver vista abaixo na figura 6:

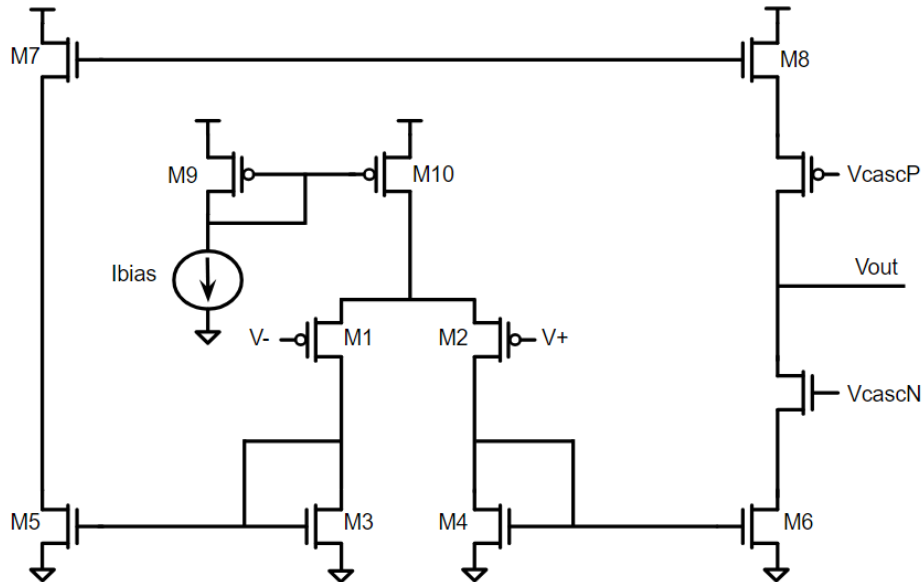


Figura 6 – Topologia OTA descrita por [1]

Temos, nesta topologia, que os seguintes pares de transistores são iguais; M1 e M2; M3 e M4; M5 e M6; e M7 e M8. A partir desta topologia, pode-se compreender alguns pontos para a tomada de decisão em relação ao circuito. Estes pontos levantados poderão ser aplicados no desenvolvimento deste trabalho e também para melhor desempenho do circuito.

Inicialmente, realizando uma análise dos ruídos descritos no capítulo da introdução, pode-se obter a seguinte formulação para o ruído térmico total do amplificador é dado pela equação 2.3.

$$\overline{V_{ni,termico}^2} = \left[\frac{16kT}{3g_{m1}} \left(1 + \frac{g_{m3} \cdot g_{m3}}{g_{m1} \cdot g_{m5}} + \frac{g_{m3} \cdot g_{m3} \cdot g_{m7}}{g_{m1} \cdot g_{m5} \cdot g_{m5}} \right) \right] \Delta f \quad (2.3)$$

Onde g_{mi} é transcondutância do transistor M_i . Com isso pode-se obter que para diminuir o ruído térmico do circuito é necessário que $g_{m1} \gg g_{m3}, g_{m7}$. Em termos de dimensões dos transistores, isso equivale a dizer que $(W/L)_1 \gg (W/L)_3, (W/L)_7$. Onde W é o comprimento e L a largura do canal dos transistores.

Porém, deve-se ter cuidado ao diminuir g_{m3} e g_{m7} , pois estes transistores geram dois pólos, um em $\omega_p = g_{m3}/C_3$ e outro $\omega_p = g_{m7}/C_7$ e se estes pólos forem muito próximos

da frequência de ganho unitário dado por $\omega_p = g_{m1}/C_l$ o circuito terá problemas de estabilidade.

No caso do ruído Flicker, sua mitigação neste trabalho foi alcançada por meio do aumento da área do gate dos transistores de entrada. Para isso, optou-se por uma topologia baseada em PMOS, devido ao fato de esses dispositivos apresentarem níveis de ruído Flicker cerca de duas ordens de magnitude mais baixos em comparação aos NMOS [1]. Essa escolha permite minimizar o impacto do ruído na faixa de frequência de interesse, atendendo aos requisitos do sistema de aquisição de sinais neuronais.

2.1.2 Topologia II

Este amplificador pode ser vista no trabalho [2] onde a topologia do *top level* do LNA segue a mesma descrita acima representada na Figura 5. Porém, a topologia do OTA apresenta uma mudança significativa em sua forma. O esquemático do OTA pode ser vista na Figura 7:

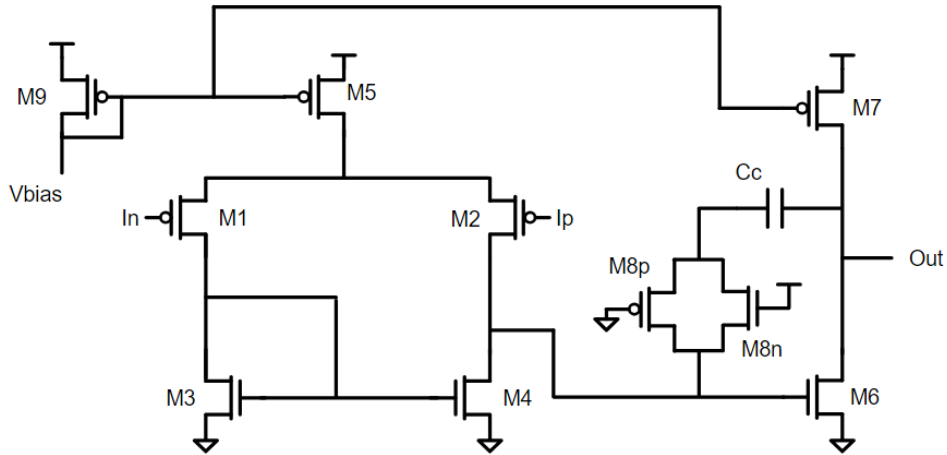


Figura 7 – Topologia OTA descrita por [2]

Essa topologia apresenta a vantagem de manter um número menor de transistores em relação à topologia descritas em [1]. O OTA apresenta basicamente dois estágios, sendo o primeiro o par diferencial como o estágio de entrada e o segundo um amplificador *source* comum que aumenta o ganho do primeiro estágio. Os transistores M8p e M8n atuam como um resistor que, ao estar em série com o capacitor C_c , formam um polo no circuito estabilizando o amplificador. Sua função de transferência é dado pela equação 2.4:

$$A_f \approx \frac{R_2 C_1 s}{(s R_2 C_2 + 1) \left(s \frac{A_{mband}}{2\pi f_p A_0} + 1 \right)} \quad (2.4)$$

Onde se tem que $A_{mband} = (C_1 + C_2)/C_2$ é o ganho na banda de passagem, a frequência de corte para as baixas frequências é dado por $f_L = 1/2\pi R_2 C_2$ e para as altas frequências tem-se $f_H = f_p A_0/A_{mband}$. As capacitâncias do circuito são na ordem de pico farads e o resistor R2, que dá a frequência de baixas frequências, deverá ter centenas de giga ohms.

2.1.3 Topologia III - *Chopper* Modulador

O trabalho [12] traz outra perspectiva para o desenvolvimento do LNA. Além de usar a topologia acima, vista na figura 5 e o OTA na Figura 6, apresenta um circuito *chopper* na sua entrada. Como na Figura 8.

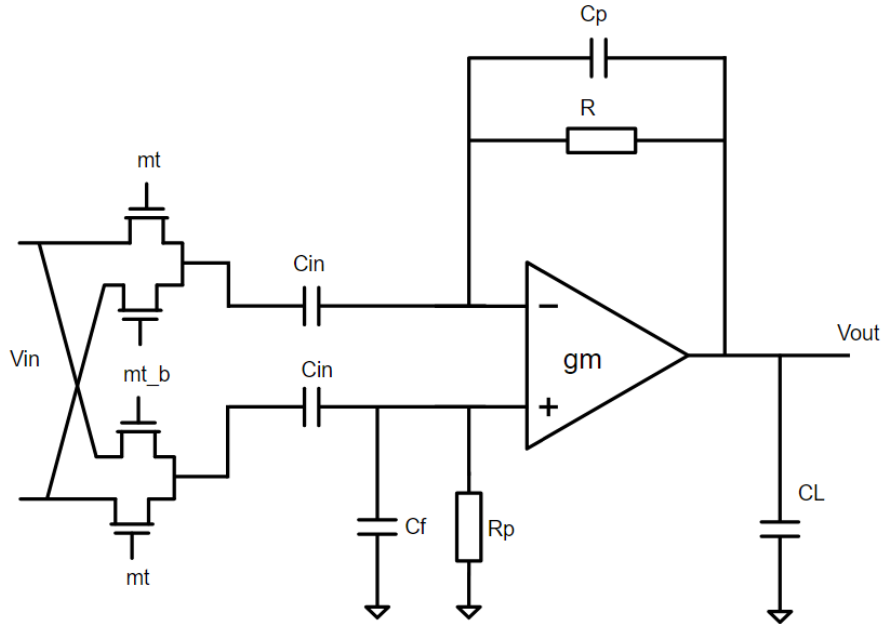


Figura 8 – Arquitetura de LNA usando um modulador *Chopper*

A utilização deste circuito tem como o objetivo diminuir o ruído flicker do sistema, mitigando o impacto das baixas frequências no circuito, além de adicionar uma tensão de *offset* ao sinal, o que evita problemas de *drifting* em baixas tensões.

O princípio de seu funcionamento é misturar o sinal de entrada com o ligar e desligar das chaves do *Chopper*, utilizando como a portadora do sinal para evitar os ruídos de baixa frequência. Após a amplificação do sinal realizado pelo OTA, ocorre a demodulação retornando o sinal para seu espectro padrão. O ruído total do circuito conforme o artigo é pela equação 2.5:

$$S_{in,total} \approx S_o(0,8525 \frac{f_{c,1/f}}{f_{chop}} + 1) \quad (2.5)$$

$$A = \frac{g_{m1}g_{m8}}{g_{m8}(g_{out} + sC_c)} \quad (2.7)$$

Portanto, o ganho em circuito de malha fechada, considerando $g_{m3} \gg 2/R_g$. É dado pela equação 2.8:

$$A_c = \frac{A}{1 + FA} = \frac{R_g}{R_s} \frac{(1 + 2s\frac{C_g}{g_{m3}})}{1 + sC_gR_g} = \frac{R_g}{R_s} \quad (2.8)$$

Agora, em relação ao cálculo das frequências de corte, tanto as de baixa frequência (f_L), quanto para as de alta frequência (f_H), tem-se que o pólo das altas frequências depende apenas do capacitor (C_g) e resistor (R_g). Assim a equação 2.9:

$$f_H = \frac{1}{2\pi R_g C_g} \quad (2.9)$$

Já o polo de baixas frequências, a fim de minimizar o ruído flicker é controlado pela realimentação composta pelos amplificadores OTA-gm e OTA-int e o capacitor C_{ext} que compõem um integrador. O polo de baixa frequências é dado pela equação 2.10:

$$f_L = \frac{g_m}{2\pi C_{ext}} \quad (2.10)$$

2.1.5 Topologia V - Filtro Passa Banda

Nesta topologia desenvolvida no trabalho [13] tem-se a colocação de um filtro passa faixa na saída de um LNA convencional. Sua representação pode ser vista na Figura 10.

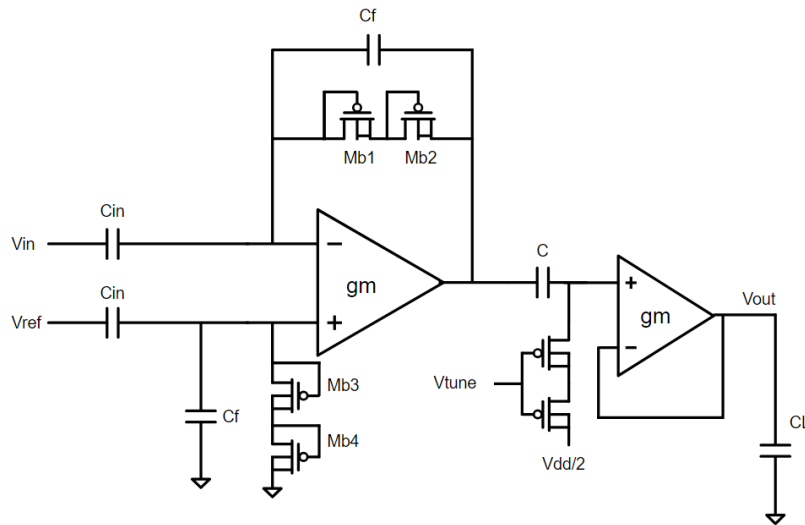


Figura 10 – LNA com filtro passa baixa

A aplicação desse filtro passa faixa visa a alteração das frequências de corte. O seu uso altera tanto nas altas frequências ($f_H = 1/2\pi R_p C_L$) quanto para as baixas frequências ($f_L = g_m/2C_L$). A função de transferência do circuito será dada pela equação 2.11:

$$H(s) = -\frac{C_{in}}{C_f} \frac{sR_p C}{1 + sR_p C} \frac{1}{1 + sg_m C_L} \quad (2.11)$$

Agora, o PSD do ruído na entrada será dado pela equação 2.12.

$$\overline{v_{n,amp}^2} = \left(\frac{C_{in} + C_f + C_{p,in}}{C_{in}} \right)^2 \overline{v_n^2} \quad (2.12)$$

Onde $C_{p,in}$ é a capacitância parasita do gate dos transistores de entrada.

Para conhecer quanto vale o ruído $\overline{v_n^2}$, inicialmente deve-se observar a topologia do OTA. Sendo uma modificação da topologia do trabalho [1] acrescido de *cascodes* na saída pode ser vista a topologia na Figura 11.

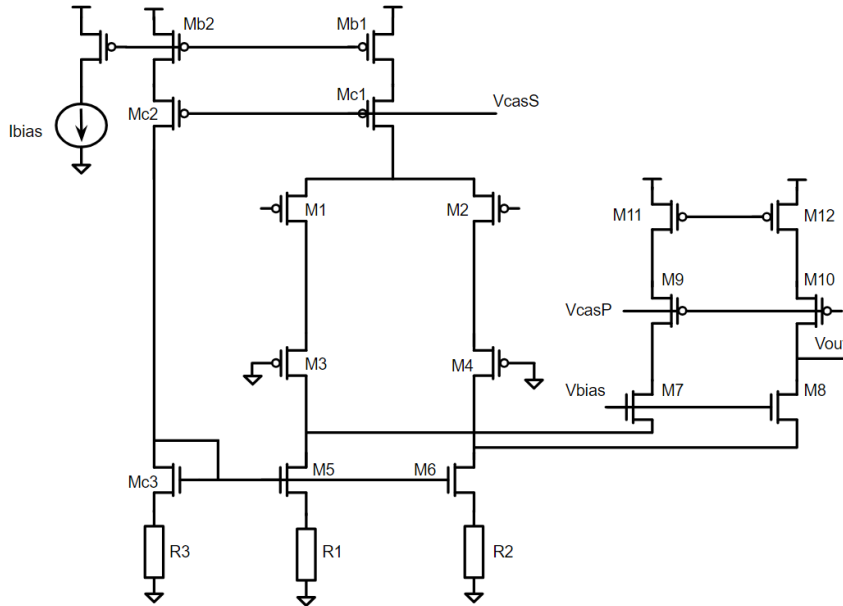


Figura 11 – *folded-cascode* OTA

Este design foi escolhido para ter pouca contribuição no ruído na saída do circuito. O *cascode* faz com que a corrente de ruído seja atenuada pelas transcondutâncias dos transistores, fazendo com que os únicos transistores que realmente gerem ruído sejam os do par diferencial (M1-M2) e o espelho de corrente (M11 - M12). Portanto, conforme o próprio trabalho, o ruído de saída do circuito é dado por:

$$\overline{v_n^2} = \frac{1}{g_{m1}^2} \left(\frac{4kTg_{m1}}{k} + \frac{8kT}{R_1} \frac{16}{3} kTg_{m11} \right) \quad (2.13)$$

3 ANÁLISE DO CIRCUITO

Após a revisão das topologias, foi decidido seguir o trabalho a partir da topologia descrita no trabalho [2], pois se trata de uma topologia mais simples, sendo assim, mais fácil a implementação. Essa topologia será aqui estudada como dois circuitos independentes a fim de simplificar seu entendimento: o circuito Amplificador Operacional e o circuito Amplificador de Baixo Ruído, para a análise completa.

3.1 Amplificador Operacional

3.1.1 Análise na frequência

O amplificador operacional utilizado neste trabalho apresenta uma entrada diferencial e ganho elevado. Este é o bloco mais crítico do circuito, uma vez que ele elevará a tensão de entrada e deve ser bem projetado a fim de evitar que o sinal se degrade pelo ruído introduzido por ele. A Figura 12, abaixo, mostra o esquemático do amplificador:

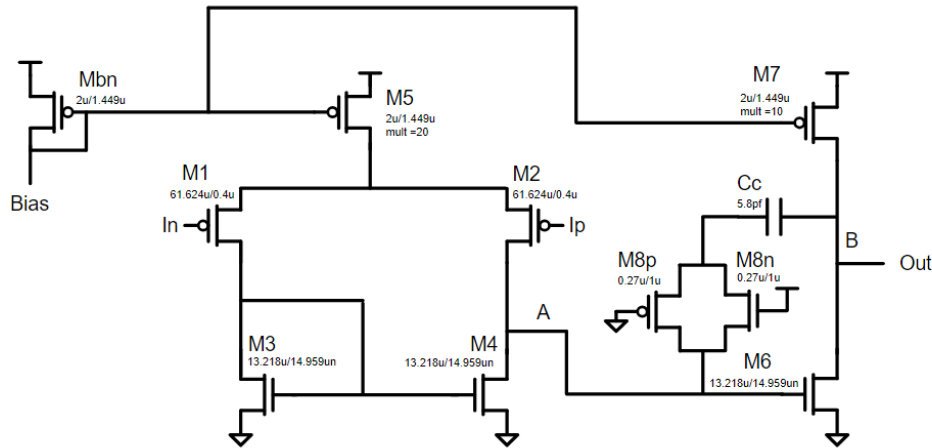


Figura 12 – Topologia do OTA

Para analisar o circuito será feita uma simplificação inicialmente onde não será considerada a realimentação dos transistores M8n e M8p. Estes transistores serão vistos mais para frente para a análise da realimentação.

O circuito também será dividido entre dois pontos de interesse: o ponto A e B. As análises a seguir foram feitas acompanhando o estudo em [14]. Inicialmente, pode-se redesenhar o circuito de forma simplificada como apresentado pela Figura 13:

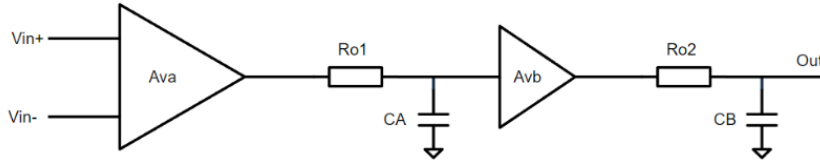


Figura 13 – Representação simplificada do OTA

Nesta figura, vê-se o circuito composto por dois estágios, o primeiro sendo o estágio diferencial de entrada e o segundo um estágio adicional de ganho. Além disso, cada estágio apresenta uma resistência de saída equivalente e uma capacitância de carga.

O primeiro estágio é composto pelos transistores M1 a M5, sendo M1 e M2 o par diferencial, M3 e M4 sua carga dinâmica e o transistor M5 compondo um espelho de corrente que reflete a corrente do transistor Mbn e serve para polarização. Já o segundo estágio é um circuito amplificador fonte comum, composto pelos transistores M6 e M7, onde M7 serve para polarização.

Agora a partir da análise realizada pelo livro [14], onde g_{mi} é o inverso de R_{oi} que modula o efeito *Early* no transistor, tem-se que o ganho do par diferencial, ou seja, o ganho no nó A é dado pela equação 3.1:

$$A_{VA} = -\frac{g_{m1}}{g_{d2} + g_{d4}} \quad (3.1)$$

Da mesma forma o ganho do segundo estágio do circuito fonte comum, no nó B, é dado pela equação 3.2

$$A_{VB} = -\frac{g_{m6}}{g_{d6} + g_{d7}} \quad (3.2)$$

Portanto, o ganho total do circuito é dado pela multiplicação dos ganhos dos dois estágios, sendo a equação 3.3:

$$A_{Vtotal} = -\frac{g_{m1} \cdot g_{m6}}{(g_{d2} + g_{d4})(g_{d6} + g_{d7})} \quad (3.3)$$

Agora, ambos os nós, A e B, possuem resistências de alta impedância em suas saídas. A resistência do nó A, dado pela associação paralela das resistências de modulação de canal de M2 e M4, será definida pela equação 3.4:

$$R_{O1} = \frac{1}{g_{d2} + g_{d4}} \quad (3.4)$$

Para o segundo estágio, a resistência na saída será dada pela associação paralela das resistências de modulação de canal de M6 e M7 e terá valor definido pela equação 3.5:

$$R_{O2} = \frac{1}{g_{d6} + g_{d7}} \quad (3.5)$$

Uma vez que os nós A e B do circuito possuem capacitâncias C_A e C_B , pode-se referir a função de transferência do circuito como sendo a equação 3.6:

$$\frac{1/sC_A}{R_{O1} + 1/sC_A} \cdot \frac{1/sC_B}{R_{O2} + 1/sC_B} = \frac{1}{(1 - s/s_A)(1 - s/s_B)} \quad (3.6)$$

Onde o pólo do circuito são dados por $s_A = -1/R_{O1}C_A$ e $s_B = -1/R_{O2}C_B$.

Esses dois pólos foram os únicos encontrados no circuito, uma vez que foram realizadas simplificações na análise. Mas é certo que existem mais polos, o que pode levar a problemas como oscilações.

O Critério de estabilidade de Barkhausen estabelece que, para que um circuito produza oscilações sustentadas, o ganho em malha aberta do circuito deve ser igual a um (superior a um para iniciar oscilação) e a fase total da malha de realimentação deve ser um múltiplo de 180 graus, no caso de realimentação negativa [15].

Em realidade, o amplificador apresenta a possibilidade de oscilar quando realimentado, caso não se garanta que o ganho seja menor que o um para fases múltiplas de 180°.

Os transistores M8n e M8p são utilizados juntamente com o capacitor C_C , capacitor de compensação, para uma técnica chamada de *pole-splitting*. O objetivo dessa técnica é separar muito bem os pólos, fazendo com que o pólo do nó A seja deslocado para esquerda, enquanto o pólo do nó B permaneça praticamente na mesma posição. Com isso, pode-se garantir que o ganho onde a fase é 180 graus fique bem reduzido.

Para compreender o efeito do capacitor C_C usamos o modelo da Figura 14:

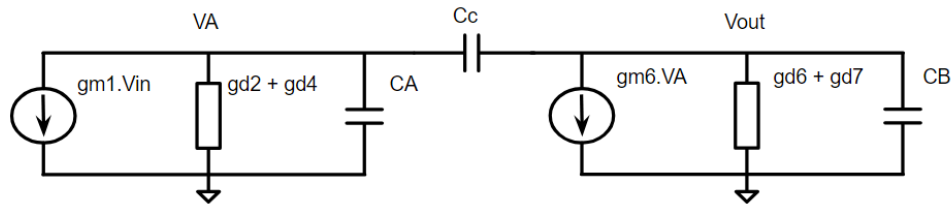


Figura 14 – Modelo de pequenos sinais OTA

Com base na análise realizada em [14], e considerando que $1/C_C \ll 1/C_A + 1/C_B$ conseguimos determinar os pólos e o zero do circuito com o capacitor C_c como as equações 3.7, 3.8 e 3.9:

$$s_{p_z} \approx \frac{(g_{d2} + g_{d4}) \cdot (g_{d6} + g_{d7})}{g_{m6}C_C} = \frac{g_{m1}}{C_C} \quad (3.7)$$

$$sp_1 \approx -\frac{g_{m1}}{A_{VB}C_C} \quad (3.8)$$

$$sp_2 \approx \frac{g_{m6}}{C_A + C_B} \quad (3.9)$$

O polo sp_1 é reduzido consideravelmente e será o polo dominante do circuito. O zero está posicionado entre os dois polos e, como é positivo, faz com que a fase caia. Com isso, a fase atingirá 180 graus com módulo do ganho maior que um, criando uma situação de instabilidade.

Por fim, consideremos o papel dos transistores M8n e M8p. Sabendo que eles estão trabalhando na região de triodo e sempre estão ligados, podemos modelá-los como um resistor. O uso desse transistor como resistor tem como o objetivo neutralizar o zero adicionado e assim evitar que o circuito tenha oscilações. A adição dos transistores move o zero do circuito, além de adicionar um novo polo a ele (os pólos anteriores são mantidos). Seus valores podem ser vistos abaixo nas equações 3.10 e 3.11.

$$sp_z = \frac{1}{(R_C - 1/g_{m6})C_C} \quad (3.10)$$

$$sp_3 \approx -\frac{1}{R_C} \left(\frac{1}{C_C} + \frac{1}{C_A} + \frac{1}{C_B} \right) \quad (3.11)$$

Onde R_C é o resistor que modela M8n e M8p.

Pode-se neutralizar o zero, ou movendo um dos polos para cima dele, os anulando, ou mandando o zero para o infinito definindo $R_C = 1/g_{m6}$. Assim, aplicando-se o projeto correto, anulando o zero e baixando o polo dominante, o OTA pode ser modelado como um circuito de ganho e um polo (sp_1)), uma vez que os polos restantes estarão em valores de frequência muito altas. Portanto, a função de transferência do circuito é vista na equação 3.12:

$$T_f = \frac{A_{Vtotal}}{1 - s/sp_1} \quad (3.12)$$

O circuito associado a $T(s)$ pode ser visto na Figura 15. Ele é composto pela fonte de corrente controlada pela tensão diferencial de entrada $V_d = V_{in+} - V_{in-}$, um capacitor C_o e um resistor r_o . Neste caso deveremos ter as seguintes relações vista nas equações 3.13 e 3.14:

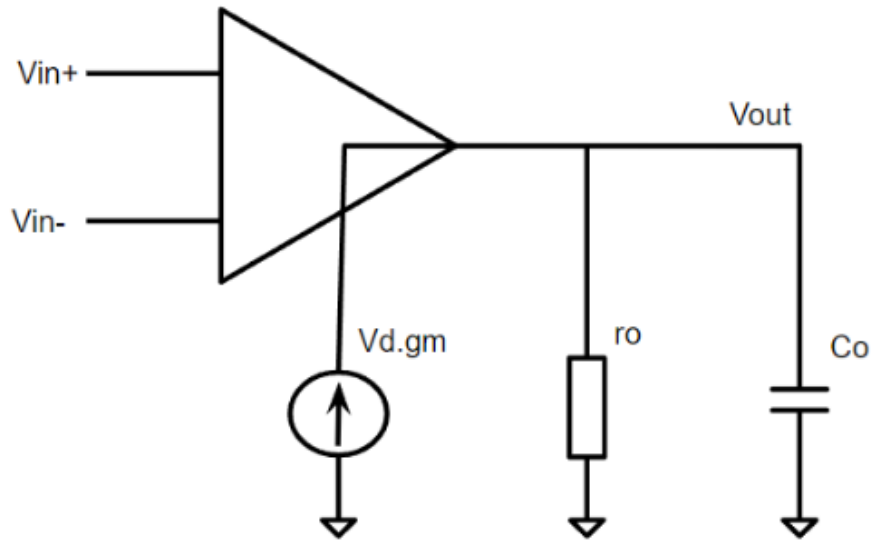


Figura 15 – Simplificação do OTA

$$g_m r_o = A_{V_{total}} \quad (3.13)$$

$$\frac{1}{r_o C_o} = s p_1 \quad (3.14)$$

3.1.2 Análise do ruído

Seguindo a análise do OTA, agora, analisando o ruído produzido pelo circuito, baseando-se a partir das análises realizadas em [5] por meio do método descrito em [14], observando a Figura 16:

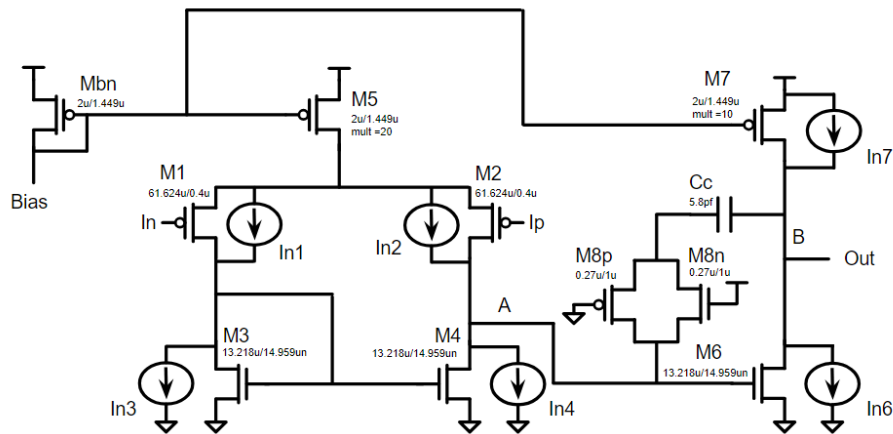


Figura 16 – OTA com fontes de ruído

O ruído de cada transistor M_i foi modelado por uma fonte de corrente de ruído I_{ni} . Pode-se observar que M5 e Mbn não possuem fontes correlacionadas, pois o ruído deles pouco afeta os resultados.

As fontes podem ser vistas como o ruído térmico do transistor e o Flicker descritos no Capítulo 1. Portanto, o ruído da fonte I_{ni} é dado pela equação:

$$\overline{I_{ni}^2} = (4kTR\gamma g_m)^2 + \left(\frac{K}{C_{ox}W_iL_i} \cdot \frac{1}{f} \cdot g_{mi}^2\right)^2 \quad (3.15)$$

Mas para compreender melhor será utilizado apenas os valores I_{ni} de cada transistor. Assim, da mesma maneira que foi realizado acima, o circuito será novamente simplificado pela Figura 17:

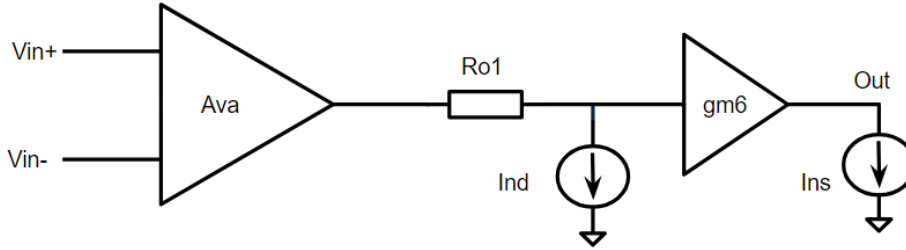


Figura 17 – Simplificação OTA com fontes de ruído

Uma vez que as correntes de I_{n1} e I_{n2} são espelhadas para o nó A e a resistência do nó é dado acima em R_{O1} . Pode-se considerar, portanto, que o ruído gerado pelas fontes $I_{n1} - I_{n4}$ são todos somados em I_{nd} , logo pode-se ver a equação 3.16, abaixo:

$$\overline{I_{nd}^2} = \overline{I_{n1}^2} + \overline{I_{n2}^2} + \overline{I_{n3}^2} + \overline{I_{n4}^2} \quad (3.16)$$

Essa corrente gera uma tensão no gate do transistor M6, dado pela equação 3.17:

$$\overline{V_{nd,out}^2} = \frac{\overline{I_{n1}^2} + \overline{I_{n2}^2} + \overline{I_{n3}^2} + \overline{I_{n4}^2}}{(g_{d2} + g_{d4})^2} \quad (3.17)$$

Por sua vez, essa tensão gera uma corrente na saída dada pela equação 3.18:

$$\overline{I_{nd,out}^2} = \frac{\overline{I_{n1}^2} + \overline{I_{n2}^2} + \overline{I_{n3}^2} + \overline{I_{n4}^2}}{(g_{d2} + g_{d4})^2} \cdot g_{m6}^2 \quad (3.18)$$

Agora, adicionando o efeito do ruído das fontes I_{n6} e I_{n7} , teremos como ruído total na saída sendo a equação 3.19 abaixo:

$$\overline{I_{ns}^2} = \overline{I_{n6}^2} + \overline{I_{n7}^2} + \overline{I_{nd,out}^2} = \overline{I_{n6}^2} + \overline{I_{n7}^2} + \frac{\overline{I_{n1}^2} + \overline{I_{n2}^2} + \overline{I_{n3}^2} + \overline{I_{n4}^2}}{(g_{d2} + g_{d4})^2} \cdot g_{m6}^2 \quad (3.19)$$

3.2 Amplificador de Baixo Ruído

3.2.1 Análise na frequência

Uma vez que o amplificador operacional foi compreendido, será feita a análise do amplificador de baixo ruído. Este pode ser visto na Figura 18:

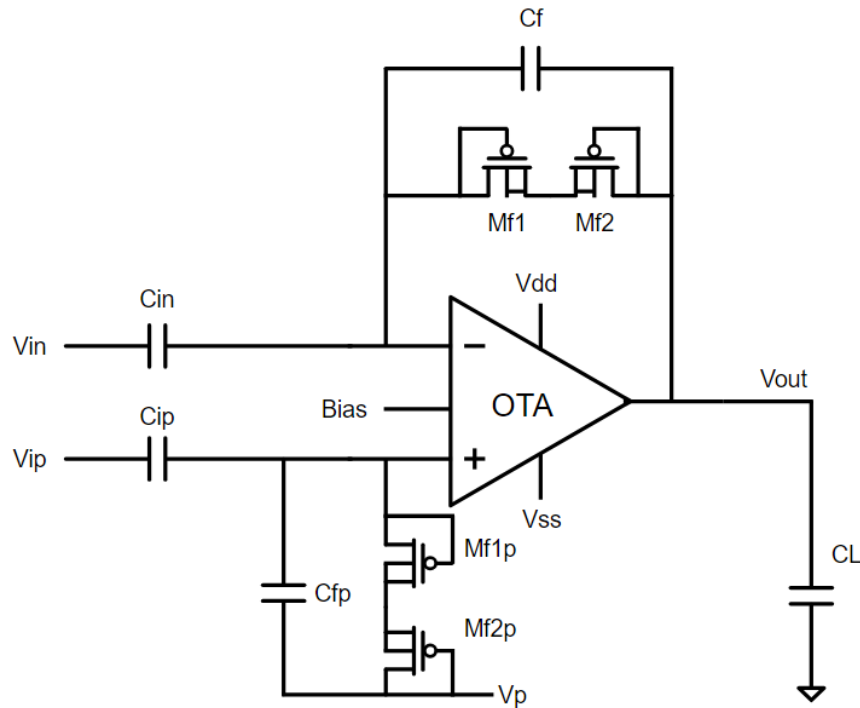


Figura 18 – Amplificador de Baixo Ruído desenvolvido neste trabalho.

Na Figura 18 os transistores Mf1 - Mf2p estão sendo usados como resistores de alta impedância como descrito em [11]. Para a análise do circuito o OTA será modelado por uma fonte de corrente paralela a uma resistência e um capacitor de saída, como discutido acima. Portanto, após aplicar modelos simplificados para melhor discernimento do circuito, obtém-se o esquemático da Figura 19:

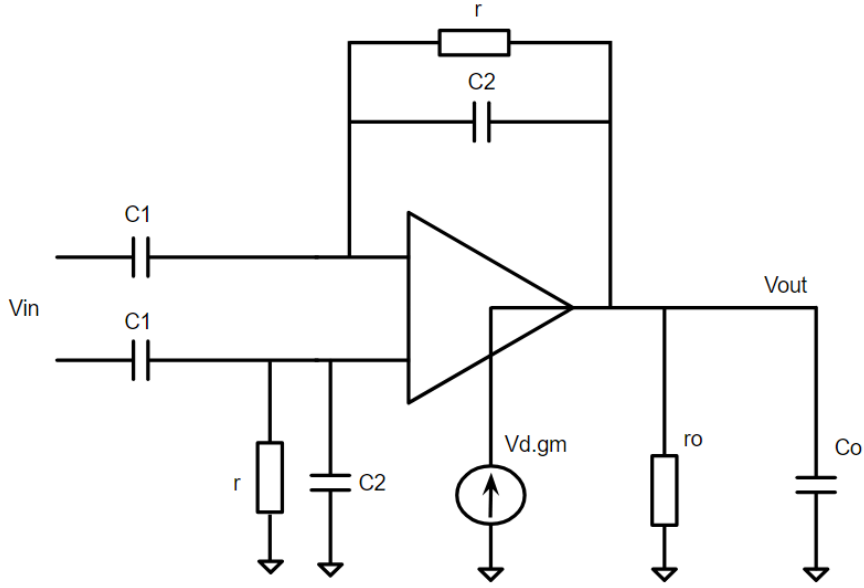


Figura 19 – Diagrama do LNA aplicando as simplificações

Os capacitores C_1 e C_2 , os resistores r , modelados a partir dos transistores, e o OTA vão gerar os pólos e zeros do circuito. Aplicando as análises descritas no trabalho [5] obtém-se que os zeros do circuito acima são dados pelas equações 3.20 e 3.21:

$$sp_{z1} = 0 \quad (3.20)$$

$$sp_{z2} = \frac{2rg_m + 1}{rC_2} \quad (3.21)$$

Considerando que $2r \cdot g_m \gg 1$ teremos a equação 3.22:

$$sp_{z2} \approx \frac{2rg_m}{C_2} \quad (3.22)$$

Agora para os pólos tem-se as equações 3.23 e 3.24:

$$sp_1 = \frac{-\sqrt{g_m}(\sqrt{4C_1C_o - C_2(C_2g_mr - 4C_o)}\sqrt{-r} + C_2r\sqrt{g_m})}{2rC_o(C_1 + C_2)} \quad (3.23)$$

$$sp_2 = \frac{-\sqrt{g_m}(\sqrt{4C_1C_o - C_2(C_2g_mr - 4C_o)}\sqrt{-r} - C_2r\sqrt{g_m})}{2rC_o(C_1 + C_2)} \quad (3.24)$$

Fazendo algumas considerações, como $(g_m/C_o \gg 1/(C_2r))$, $(C_2g_m/C_o \gg C_1/(C_2r))$ e partindo do ponto que $C_1 \gg C_2$, seguem as seguintes simplificações dos pólos dados pelas equações 3.25 e 3.26:

$$sp_1 \approx -\frac{\sqrt{g_m}}{C_o \frac{C_1}{C_2}} \quad (3.25)$$

$$sp_2 \approx -\frac{1}{rC_2} \quad (3.26)$$

Com os polos e zeros, a partir da análise realizada por [5], pode-se escrever o ganho do amplificador como a equação 3.27.

$$A_v = \frac{C_2}{2C_o} \frac{s(s - \frac{2g_m}{C_2})}{(s + \frac{1}{rC_2})(s + \frac{g_m}{C_o \frac{C_1}{C_2}})} \quad (3.27)$$

Assim, sabendo os polos, zeros e o ganho, pode-se fazer a análise de como o sistema vai se comportar. Como $C_1 \gg C_2$ esperamos que sp_{z2} apresente um valor muito maior que sp_1 . Portanto, o esperado é um ganho crescente em baixas frequências por conta de sp_{z1} estar em zero, vindo de uma estabilidade próximo das baixas frequências ocasionadas por sp_2 , assim mantendo o ganho do circuito de $-(C_1/C_2)$ por toda a largura de banda, e por fim uma queda em sp_1 . O valor de sp_{z2} pode ser desconsiderado por estar muito a frente nas frequências.

A relação entre os polos e zeros do amplificador de baixo ruído é dado pela equação 3.28:

$$\frac{1}{rC_2} \ll \frac{g_m}{C_o(\frac{C_1}{C_2})} \ll \frac{2g_m}{C_2} \quad (3.28)$$

A frequência de corte inferior é $\frac{1}{rC_2}$ e a frequência de corte superior é $\frac{gm}{C_o(\frac{C_1}{C_2})}$. Entre essas frequências, $\frac{1}{rC_2} < \omega < \frac{gm}{C_o(\frac{C_1}{C_2})}$, o ganho é constante dado pela equação 3.29:

$$A_v = \frac{C_2}{2C_o} \frac{j\omega(j\omega - \frac{2g_m}{C_2})}{j\omega(j\omega + \frac{g_m}{C_o \frac{C_1}{C_2}})} = \frac{C_2}{2C_o} \frac{j\omega - \frac{2g_m}{C_2}}{j\omega + \frac{g_m}{C_o \frac{C_1}{C_2}}} = -\frac{C_1}{C_2} \quad (3.29)$$

Realizando uma análise agora de fase, tem-se que, por conta do zero em zero, o valor inicial da fase é de 0 rad. Após o polo sp_2 a fase cai para $-\pi$ rad e com o pólo sp_1 cai para $-3\pi/2$ rad. Por fim, com o zero sp_{z2} a fase retorna a $-\pi$ rad.

3.2.2 Densidade Espectral de Potência do Ruído no LNA

Como mostrado na subseção 3.1.2, o ruído total do OTA pode ser convertido para uma fonte de aplicada na sua saída. A partir dessa fonte poderá ser determinado o ruído em tensão na saída do circuito LNA completo. Considere o circuito da Figura 19, que representa o LNA, acionando a fonte do ruído visto na saída. Este circuito, usado para análise, está na Figura 20.

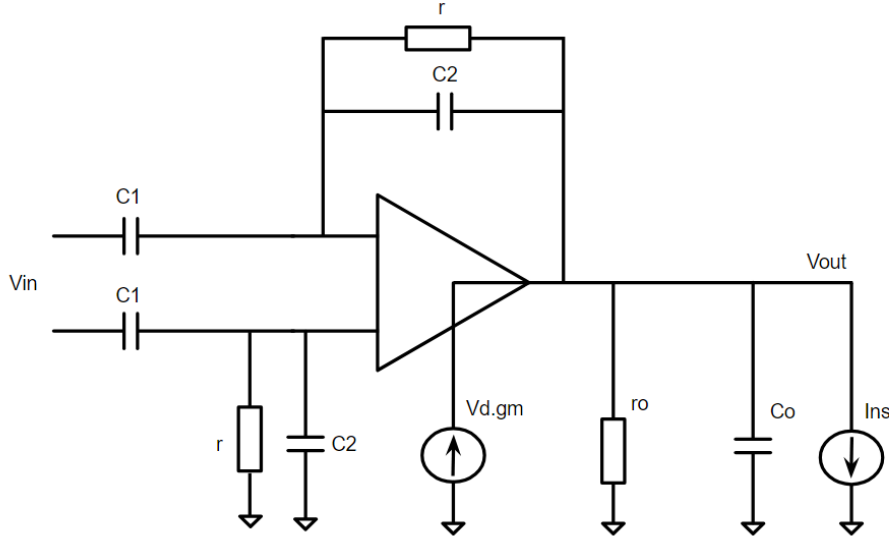


Figura 20 – Fonte de Ruído na Saída do LNA

De acordo com a análise realizada por [5], o valor da transcondutância vista pelo ruído é dado na equação 3.30:

$$\frac{V_{out}}{I_{ns}} = \frac{2r_o[sr(C_1 + C_2) + 1]}{s^2rr_o[C_1(C_2 + 2C_o) + 2C_2C_o] + s\{C_1(2r + r_o) + 2[C_2r(g_mr_o + 1) + C_or_o]\} + 2(g_mr_o + 1)} \quad (3.30)$$

Aplicando algumas simplificações na fórmula, considerando que $C_1 \gg C_2$, obtêm-se que os valores de pólos circuito são os mesmos dados da análise do OTA [5], mas os zeros são diferentes. O único zero presente está dado pela equação 3.31:

$$sp_{z1} = \frac{1}{rC_1} \quad (3.31)$$

Logo, tomando com referência a análise realizada em [5], podemos determinar a relação da tensão de saída pela corrente de ruído, dado pela equação 3.32:

$$\frac{V_{out}}{I_{ns}} = \frac{1}{C_o} \frac{(s - \frac{1}{rC_1})}{(s + \frac{1}{rC_2})(s + \frac{g_m}{C_o \frac{C_1}{C_2}})} \quad (3.32)$$

A densidade espectral de potência da tensão de ruído na saída, por sua vez, será a equação 3.33

$$\overline{V_{n,out}^2} = \overline{I_{ns}^2} \cdot \left| \frac{1}{C_o} \frac{(j\omega - \frac{1}{rC_1})}{(j\omega + \frac{1}{rC_2})(j\omega + \frac{g_m}{C_o \frac{C_1}{C_2}})} \right|^2 \quad (3.33)$$

Para as frequências no intervalo $[\frac{1}{rC_2}, \frac{gm}{C_o(\frac{C_1}{C_2})}]$, o ruído pode ser estimado como nas equações 3.34 e 3.35:

$$\overline{V_{n,out}^2} = \overline{I_{ns}^2} \cdot \left| \frac{1}{C_o} \frac{(j\omega - \frac{1}{rC_1})}{(j\omega + \frac{1}{rC_2})(j\omega + \frac{gm}{C_o \frac{C_1}{C_2}})} \right|^2 \approx \overline{I_{ns}^2} \cdot \left| \frac{1}{C_o} \frac{j\omega}{j\omega(\frac{gm}{C_o \frac{C_1}{C_2}})} \right|^2 \quad (3.34)$$

$$\overline{V_{n,out}^2} \approx \overline{I_{ns}^2} \cdot \left| \frac{C_1}{g_m C_2} \right|^2 \quad (3.35)$$

Portanto, percebe-se que o ganho do ruído nesse intervalo segue o ganho do sinal de entrada atenuado pelo fator g_m .

3.3 Meta-Heurística

O LNA foi projetado para a tecnologia da TSMC 65n [16], assim como em [5] [2], foi otimizado aplicando-se técnicas de meta-heurística. Essas técnicas se baseiam em métodos de otimização que podem ser aplicados a problemas complexos, onde as soluções exatas são impraticáveis devido à sua alta complexidade. Elas empregam estratégias que combinam heurísticas para explorar eficientemente o espaço de soluções, equilibrando exploração (busca em novas regiões) e refinamento (intensificação em áreas promissoras). Meta-heurísticas incluem elementos probabilísticos e de randomização, ajudando a evitar mínimos locais e permitindo encontrar soluções satisfatórias em tempo razoável. Exemplos comuns de meta-heurísticas incluem Algoritmos Genéticos, Recozimento Simulado, Otimização por Enxame de Partículas e Otimização por Colônia de Formigas, todos amplamente utilizados em problemas de otimização combinatória, aprendizado de máquina e planejamento [17].

3.3.1 CirOp

O CirOp é um framework em desenvolvimento para o projeto e a otimização de circuitos analógicos, empregando simulações e algoritmos meta-heurísticos. O projeto abrange a integração de diversas famílias de circuitos, como fontes de corrente e tensão, amplificadores operacionais, amplificadores de baixo ruído (LNA), osciladores e amplificadores para sinais neurais. Nesta pesquisa, o CirOp foi a ferramenta utilizada para otimizar o circuito, cujo modelo de funcionamento é apresentado na Figura 21:

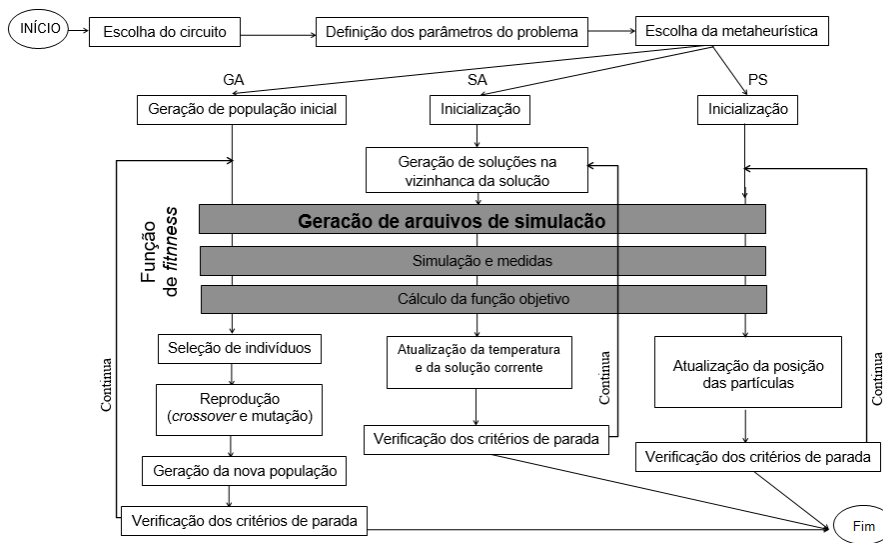


Figura 21 – Diagrama simplificado do CirOp

O modelo meta-heurístico utilizado pelo CirOp nesse trabalho foi o de Otimização por Enxame de Partículas (PSO). Ele é uma técnica inspirada no comportamento coletivo de animais, como pássaros e peixes, que se movem coordenadamente para otimizar suas trajetórias. Cada solução potencial é representada por uma partícula que possui posição e velocidade, ajustadas em cada iteração com base em sua própria melhor posição e na melhor posição de todo o grupo. Esse movimento, influenciado pela inércia, pela experiência individual e pela orientação do grupo, permite que as partículas explorem e se aproximem de regiões promissoras no espaço de busca [18].

A aplicação de meta-heurísticas no projeto do LNA implica em:

1. Escolha das dimensões dos dispositivos que serão as coordenadas de posição das partículas (no uso de PSO);
2. Determinação, por simulação elétrica, de parâmetros de desempenho do LNA, tais como ganho diferencial do OTA, *Common-Mode Rejection Ratio*, *Power Supply Rejection Ratio*, margem de fase, ruído referido na entrada, área, ganho do LNA e potência consumida.
3. A partir desses parâmetros, criação uma função de *fitness* cujo valor deverá ser minimizado.

O algoritmo de meta-heurística irá testar inúmeros circuitos, mais de 6 mil, e minimizar a função de *fitness*.

O LNA foi projetado para as seguintes condições, Tecnologia CMOS 65nm da TSMC e $V_{dd} = 1,2V$, os valores específicos de projeto para o OTA podem ser vistos na Tabela 2, e os valores de projeto para o LNA na Tabela 3:

Tabela 2 – Condições de projeto para o OTA

Parâmetro	Esperado
Ganho	$> 75 \text{ dB}$
<i>Slew rate</i>	$> 0,05 \text{ V}/\mu\text{s}$
<i>Common Mode Rejection Rate</i>	$> 60 \text{ dB}$
<i>Power Supply Rejection Rate</i>	$> 60 \text{ dB}$
<i>Phase-margin Range</i>	$45^\circ < \text{PM} < 60^\circ$
<i>Common Mode input Voltage Range</i>	$0,5 \text{ V} < \text{CM} < 0,7 \text{ V}$

Tabela 3 – Condições de projeto para o LNA

Parâmetro	Esperado
Freq. de corte superior	$6,0 \text{ kHz} < F_{c, \text{sup}} < 6,5 \text{ kHz}$
Freq. de corte inferior	$< 2,0 \text{ Hz}$
Consumo de Potência	Menor possível
Ganho na banda de passagem	$39 \text{ dB} < G_{BW} < 41 \text{ dB}$

Os resultados da aplicação PSO no projeto de um LNA, resultou na Tabela 4 para os valores de W (width) e L (length) dos transistores, e na Tabela 5, para os valores dos capacitores.

Tabela 4 – Tamanho dos transistores obtidos pelo método PSO

Transistor	W (μm)	L (μm)	Multiplicidade
M1	61,624	0,4	1
M2	61,624	0,4	1
M3	13,218	14,959	1
M4	13,218	14,959	1
M5	2	1,449	20
M6	13,218	14,959	1
M7	2	1,449	10
M8n	0,27	1	1
M8p	0,27	1	1
Mf1	0,5	15,069	1
Mf2	0,5	15,069	1
Mf1p	0,5	15,069	1
Mf2p	0,5	15,069	1

Tabela 5 – Tamanho dos capacitores pelo método PSO

Transistor	W (μm)	L (μm)	Multiplicidade
Cc	50	50	1
Cin	10	10	120
Cip	10	10	120
Cf	10	10	1
Cfp	10	10	1

4 RESULTADOS - ESQUEMÁTICO

Após a análise e otimização do LNA pelo modelo meta-heurístico, deve-se realizar medições e análises no circuito obtido antes de seguir ao layout, para verificar se a otimização foi bem sucedida. As simulações foram todas realizadas no *software* HSPICE desenvolvido pela empresa *Synopsys* [19]. Todos os spices utilizados para a simulação poderão ser encontrados em [20]. O circuito foi simulado com $V_{dd} = 1,2\text{ V}$, $V_p = 0,6\text{ V}$. A corrente de polarização (Bias) também foi um parâmetro otimizado e resultou no valor final de $0,35\text{ }\mu\text{A}$, com uma potência consumida total de $6,058\text{ }\mu\text{W}$.

4.1 Amplificador Operacional

Inicialmente, deve-se observar o amplificador operacional para verificar se este opera da maneira esperada. Para isso é necessário observar a resposta em frequência do amplificador para ganho diferencial. Esta está apresentada na Figura 22.

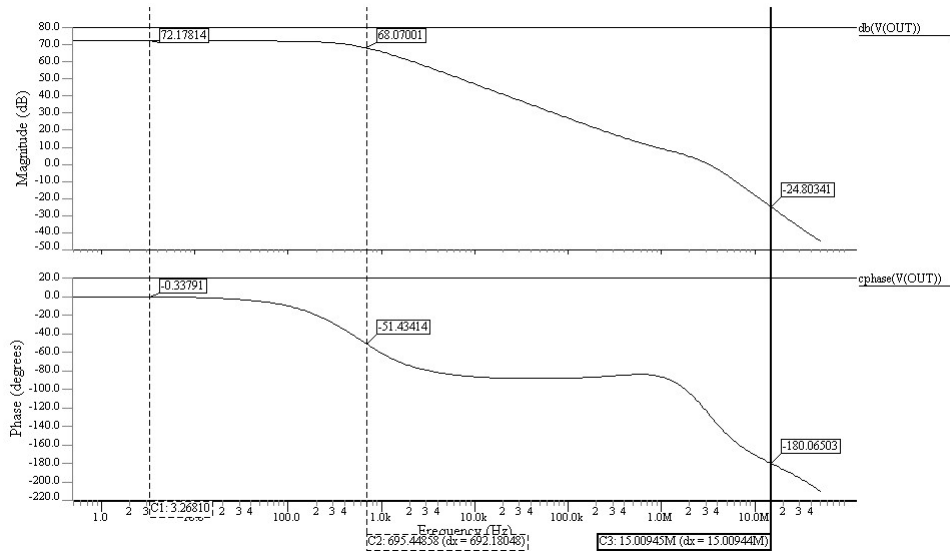


Figura 22 – Resposta em frequência do amplificador (ganho diferencial)

Com as medições realizadas acima é possível observar que o amplificador possui um ganho de 72 dB . Assumindo que o pólo está em uma queda de 3 dB do ganho do amplificador, tem-se o que o polo se encontra em aproximadamente 695 Hz . Vale observar também em -180° o valor do ganho é menor que um, assim garantido que não ocorra oscilações com a adição de realimentação.

4.2 Amplificador de Baixo Ruído

Após a análise do OTA, será avaliado os valores do amplificador em conjunto com a realimentação. A Figura 23 mostra a análise em frequência do amplificador.

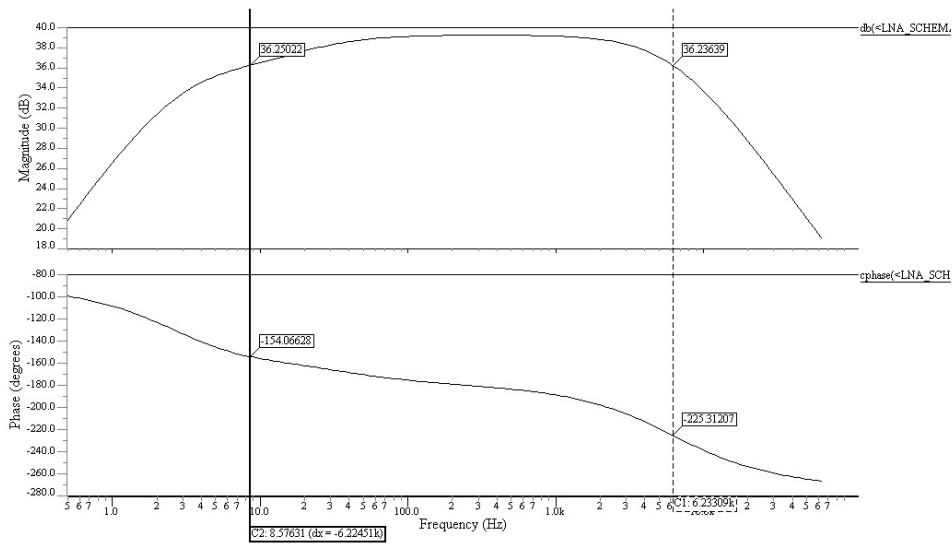


Figura 23 – Resposta em Frequência do LNA

Como pode ser avaliado, o ganho do amplificador é de 39,2 dB assumindo que os pólos estão a 3 dB abaixo do ganho máximo, têm-se as medições dos dois pólos em 8,57 Hz e 6,23 kHz. Assim, o valor da banda do amplificador (BW) é de 6,27 kHz.

Em relação ao ruído do circuito, a Figura 24 apresenta a análise do espectro de densidade de potência (PSD) do ruído de saída do amplificador. No gráfico superior, é mostrado o PSD do ruído de saída em função da frequência, evidenciando a contribuição do ruído Flicker em baixas frequências e a transição para o ruído térmico em frequências mais altas. Já no inferior, é apresentada a integral acumulada do quadrado do PSD ao longo da frequência, calculada para determinar o ruído total RMS de saída dentro da banda de operação do amplificador.

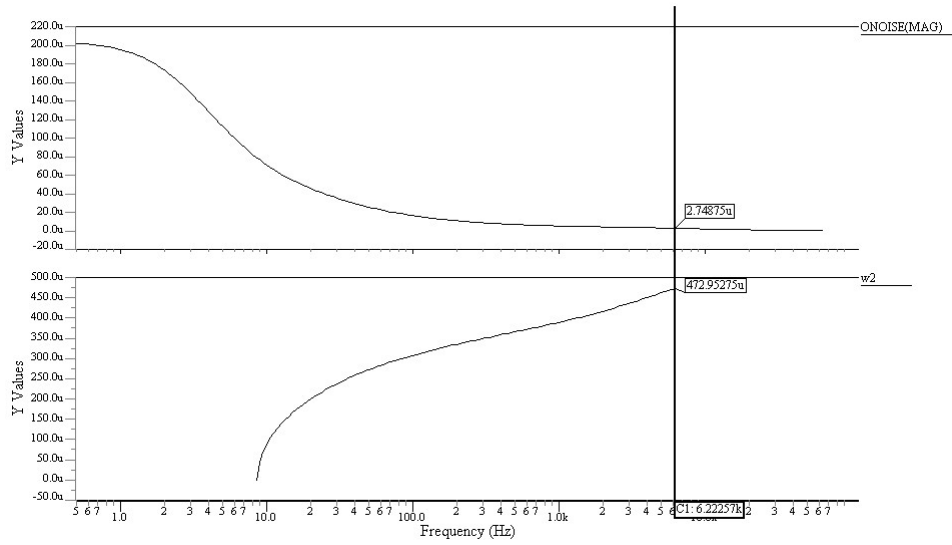


Figura 24 – Ruído do LNA

Seu valor total de ruído RMS na saída é de $V_{no,rms} = 472,95 \mu V$ em uma faixa de frequência de $8,57 Hz$ à $6,23 KHz$. Analisando, portanto, o *NEF* (*Noise Efficiency Factor*) do circuito, sendo, a métrica usada para avaliar a eficiência de um amplificador de baixo ruído em termos de ruído e consumo de corrente. Pode ser vista pela equação 4.1 descrita por [3]:

$$NEF = V_{ni,rms} \sqrt{\frac{2I_T}{4\pi U_t k T BW}} \quad (4.1)$$

Onde, I_t é a corrente total do amplificador, U_t tensão térmica, k é dado pela constante de Boltzmann e T a temperatura (em Kelvin). Assim, sabendo que $k = 1,380649E^{-23} J/K$ a temperatura de trabalho do circuito é $36,85^\circ C$ ($310 K$), e possui uma corrente do amplificador de $5,048 \mu A$ com a tensão térmica sendo aproximadamente $26mV$. Vale ressaltar que o ruído da entrada $V_{ni,rms}$ é dado pelo ruído na saída dividido pelo ganho. O valor do NEF é dado pela equação 6.2, abaixo:

$$NEF = \frac{472,95\mu}{91,2} \sqrt{\frac{2 \cdot 5,048\mu}{4 \cdot \pi \cdot 26m \cdot 1,38E^{-23} \cdot 310 \cdot 6,27k}} = 5,571 \quad (4.2)$$

5 LAYOUT

O layout foi desenvolvido na tecnologia de 65nm da TSMC [16], utilizando a ferramenta de projetos de circuitos integrados analógicos, Virtuoso, disponibilizado pela Cadence [21]. As verificações físicas, como DRC, LVS e extração de parasitas, foram todas realizadas pela ferramenta Calibre disponibilizada pela Mentor [22].

Para o desenvolvimento do layout, algumas modificações foram realizadas visando garantir o casamento adequado entre os transistores do circuito. O termo "casamento" refere-se à correspondência precisa das características elétricas entre pares de transistores, o que é essencial para minimizar erros de simetria e garantir o correto funcionamento do circuito. Na Figura 12, observam-se os pares de transistores que devem ser casados: M1 e M2, M3 e M4 (juntamente com M6), e M5 e M7. Para alcançar esse casamento, técnicas como espelhamento geométrico e proximidade física foram adotadas durante o desenho do layout.

Os transistores que não apresentavam multiplicidade, todos menos M5 e M7 como mostra a Tabela 5, foram fracionados para ser possível realizar o casamento. Assim, os transistores foram colocados em forma de vetor, ou seja, repartindo valor de W deixando mais de um transistor em paralelo. A Tabela 6 mostra como foi definido o valor de cada um dos transistores que serão casados.

Tabela 6 – Transistores modificados para casamento

Transistor	W (μm)	L (μm)	Multiplicidade
M1	10,27	0,4	6
M2	10,27	0,4	6
M3	4,4	14,959	3
M4	4,4	14,959	3
M6	4,4	14,959	3

Vale ressaltar que em todos os casamentos foram colocados transistores *dummy* nas laterais e um *guard ring* para contato de poço. Além disso, foram definidos direções para o roteamento dos metais, sendo o metal 2, 4, 6 e 8 aplicados verticalmente, os metais 3, 5 e 7 horizontalmente e os metais 1 e 9 ficaram livres para ambas as direções.

5.1 Casamentos

5.1.1 Par diferencial - M1 e M2

O par diferencial foi dividido, assim como visto na Tabela 6 acima, em doze transistores, seis para cada um dos transistores originais. Representando os transistores que

compõem M1 com a letra A e os transistores que compõem M2 com a letra B, a distribuição de todos transistores é dada pela Tabela 7, e o layout do conjunto pode ser visto no Apêndice A:

Tabela 7 – Casamento Par diferencial

A	B	A	B	A	B
B	A	B	A	B	A

5.1.2 Carga Ativa - M3, M4 e M6

Agora se tratando da carga ativa do par diferencial, composto pelos transistores M3 e M4, e do transistor do bloco de saída, M6, eles foram divididos em três elementos, como indica a Tabela 6. Representando os transistores que compõem M3 com a letra A, os transistores que compõem M4 com a letra B e transistores M6 com a letra C, a distribuição de todos os transistores é dada pela Tabela 8 e o layout do conjunto pode ser visto no Apêndice B:

Tabela 8 – Casamento Carga ativa

A	B	C
C	A	B
B	C	A

5.1.3 Espelho de Corrente - M5 e M7

Por fim, o último casamento de transistores realizado foi do espelho de corrente. Como esses transistores eram os únicos que apresentavam multiplicidade maior que um, não foi preciso realizar nenhuma quebra de transistores além daquela já indicada na Tabela 4

Representando os transistores que compõem M5 com a letra A e os transistores que compõem M7 com a letra B, a distribuição de todos os transistores é dada pela Tabela 9 e o layout do conjunto pode ser visto no Apêndice C.

Tabela 9 – Casamento Espelho de Corrente

B	A	A	B
B	A	A	B
B	A	A	B
B	A	A	B
B	A	A	B

5.2 Layout Final

Por fim, após os casamentos dos transistores foi possível realizar o layout geral do circuito. Na Figura 25, é possível visualizar o Layout do OTA que no circuito final ficou

em baixo do capacitor de acoplamento (C_c)

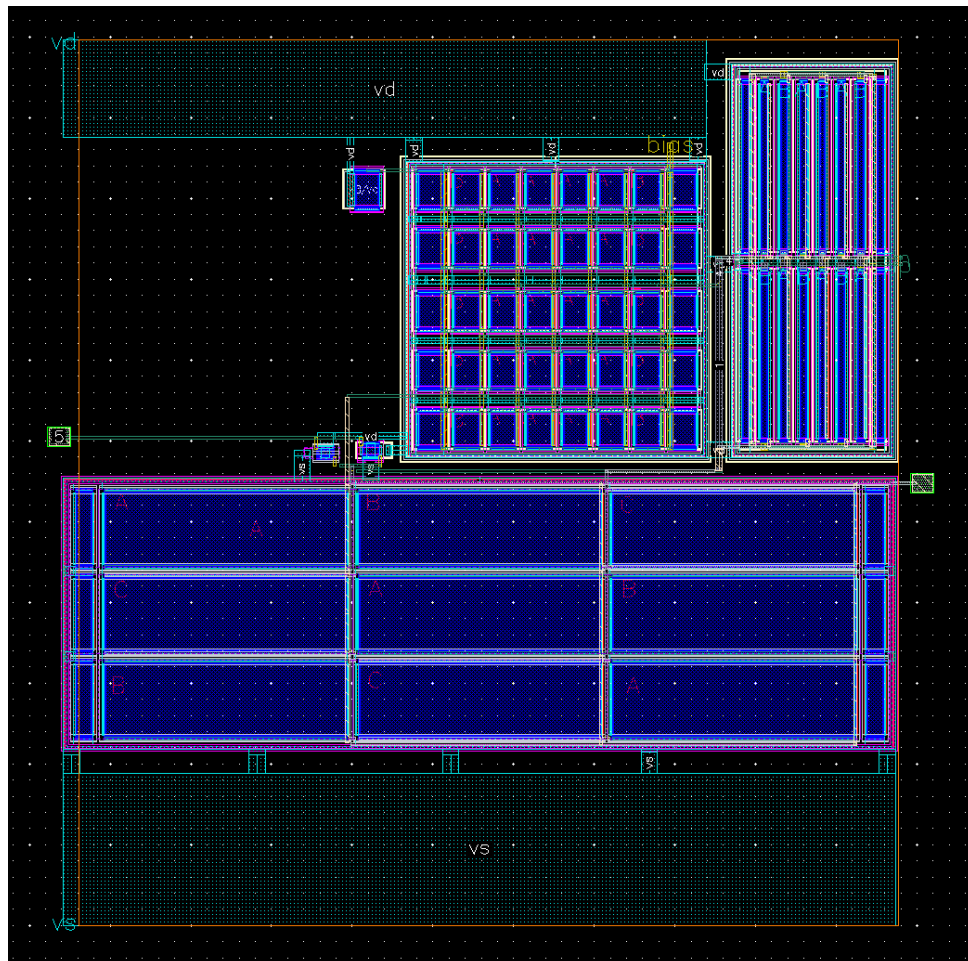


Figura 25 – Layout do OTA

Já na Figura 26 é possível visualizar o layout final do amplificador. Vale ressaltar que a maior parte do layout é composta por capacitores. Os capacitores C_{in} e o C_{ip} que apresentam multiplicidade de 120 cada, foram casados sendo dispostos alternadamente e estão à direita da imagem. O OTA, juntamente com os transistores que apresentam função de resistência (M_{fx}) e suas capacitâncias (C_{fx}) estão dispostos à esquerda da imagem.

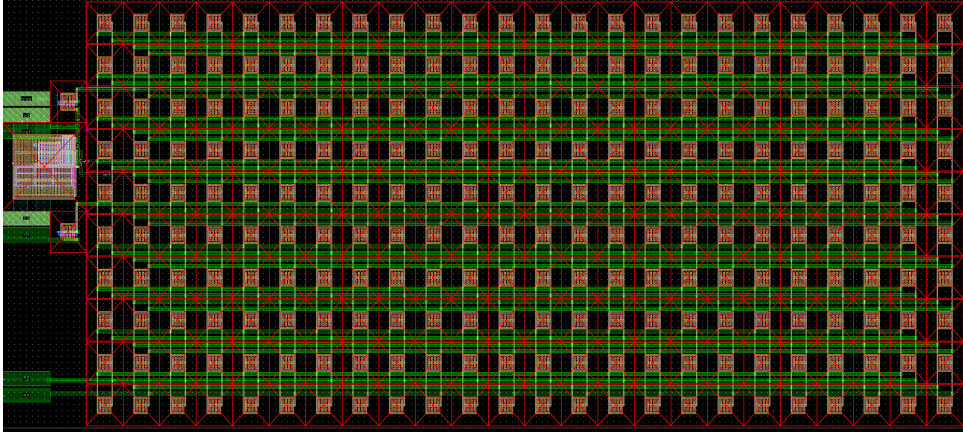


Figura 26 – Layout do LNA

O tamanho final do layout foi de $810,025 \mu m$ por $357 \mu m$. Assim, com uma área de $0.29 mm^2$. O circuito final apresenta uma área significativamente elevada, principalmente devido à disposição dos capacitores C_{in} e C_{ip} , em que cada um dos 240 capacitores é implementado como um componente individual. Essa abordagem resulta em um uso excessivo e desnecessário de área. Esse problema pode ser resolvido de forma eficiente ao projetar os capacitores de maneira compartilhada, utilizando uma única camada para todos e separando os valores desejados por meio de outra camada. Essa solução reduz a área ocupada, otimizando o layout do circuito, porém esta solução não foi implementada por escassez de tempo, e está pontuada como melhoria do circuito no Capítulo 7 de conclusão. O layout e *netlists* finais estão disponíveis no GitHub em [20]

6 RESULTADOS - LAYOUT

Após a finalização do layout, da mesma forma que feito anteriormente, deve-se realizar medições e análises no circuito obtido a partir de extração do layout. O netlist do layout foi extraído com a opção do calibre que fornece capacitância parasitas e de acoplamento, uma vez que são elas que devem gerar as maiores diferenças de resultados entre o esquemático e o layout. O circuito foi simulado em $V_{dd} = 1,2\text{ V}$, $V_p = 0,42\text{ V}$ e $I_{bias} = 0,35\text{ }\mu\text{A}$, o que dá uma potência consumida total de $7,52\text{ }\mu\text{W}$. O valor de V_p foi alterado em relação à simulação do capítulo anterior, por conta das correntes que entram no gate do par diferencial. Essas correntes são baixas, mas quando usadas junto com os pseudo resistores, que tem centenas de giga Ohms de impedância fazem com que, a tensão na saída DC fique muito próxima a $1,1\text{ V}$. Com isso o ganho do LNA fica abaixo do esperado, cerca de 33 dB . Baixando o valor de V_p , a tensão de saída também abaixa, e o ganho do circuito chega aos valores desejados

6.1 Amplificador Operacional

De início, analisamos apenas o amplificador operacional e comparamos com esquemático. Na Figura 27 são apresentadas as respostas em frequência do circuito extraído do layout e do circuito vindo do esquemático. Para o diagrama de ganho, o esquemático é composto pela linha de traço e reta, já para o layout é a linha contínua. O diagrama de fase, a curva pontilhada menor é do esquemático e a curva com a pontilhado maior é do layout.

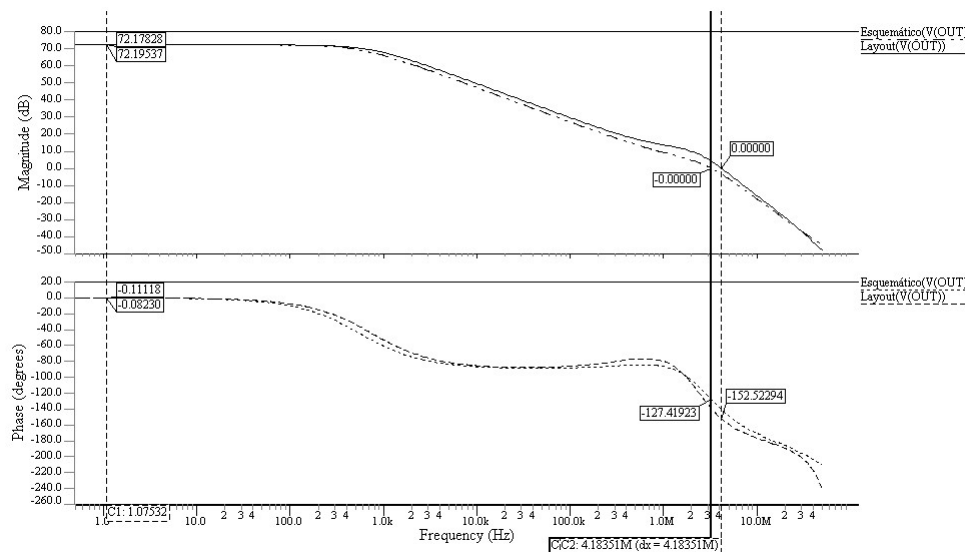


Figura 27 – Comparação entre Layout e Esquemático do amplificador.

É possível observar nesses gráficos que os valores de ganho não se alteram em muito entre layout e esquemático. Vale ressaltar também que os valores de ganho em -180° de fase permanecem abaixo de 1, garantindo que o LNA não irá oscilar. Porém, calculando a margem de fase dos circuitos, que é obtida a partir da fase Φ_{gc} onde o ganho do circuito é unitário, é dado pela equação 6.1:

$$PM = 180^\circ - \Phi_{gc} \quad (6.1)$$

Descobrimos que a margem de fase do esquemático é de $52,58^\circ$ o que é dentro do esperado a partir das definições de projeto. Já do layout é de $27,48^\circ$ ficando abaixo do esperado, essa margem estando abaixo de 45° faz com que o uso o circuito deva ser usado com cuidado, pois mesmo seu ganho sendo menor que um na frequência de -180° , a margem estar abaixo de 45° representa estabilidade pobre, fazendo com que o circuito apresente um comportamento dinâmico menos confiável, podendo exibir oscilações significativas, um tempo de resposta longo ou um grande *overshoot*.

6.2 Amplificador de Baixo Ruído

Agora, realizando as medições da resposta de frequência sobre o layout do LNA, obtém-se o gráfico da Figura 28

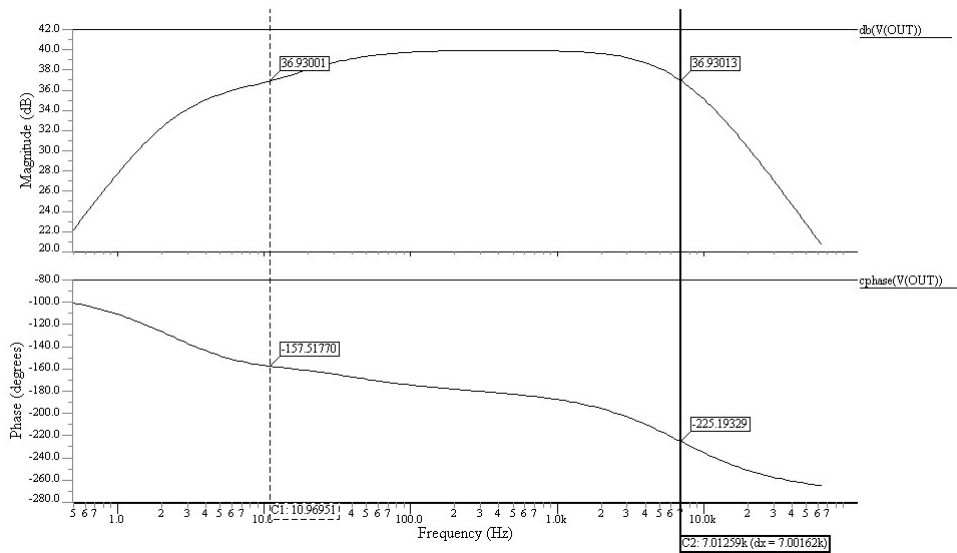


Figura 28 – Resposta em Frequência do LNA (Layout)

O ganho do circuito LNA é de $39,9 \text{ dB}$. Assumindo que os polos causam um decaimento de 3 dB do ganho, eles se localizam em $10,96 \text{ Hz}$ e 7.01 KHz , como visto na Figura 28. Logo, a banda é dado por $BW = 7 \text{ KHz}$.

Para o cálculo do ruído, assim como anteriormente, será integrado o RMS do ruído de saída na banda do circuito, e o resultado pode ser visto na Figura 29, abaixo:

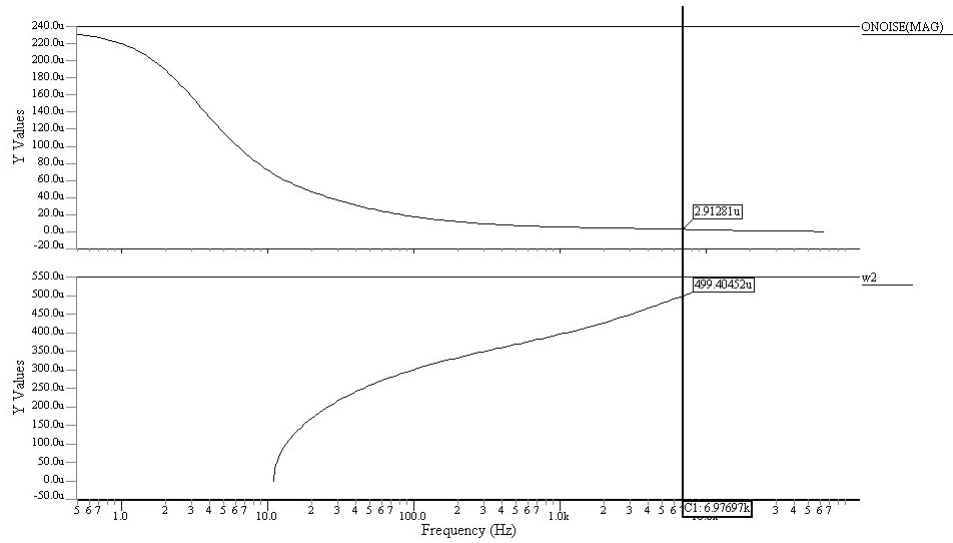


Figura 29 – Ruído do LNA (Layout)

Sendo, agora, $V_{no,rms} = 499.40 \mu V$ de ruído de saída acumulado na banda de ganho, e a corrente do circuito $I_T = 6.27 \mu A$. O NEF do circuito é dado pela equação 6.2:

$$NEF = \frac{499,40\mu}{98,8} \sqrt{\frac{2 \cdot 6,27\mu}{4 \cdot \pi \cdot 26m \cdot 1,38E^{-23} \cdot 310 \cdot 7k}} = 5,722 \quad (6.2)$$

Por fim, podemos realizar uma comparação entre os resultados obtidos por este trabalho em relação a demais trabalhos da área a partir da Tabela 10. Com isso, podemos observar que o valor de NEF de 5,722 está um pouco acima dos demais, porém, comparando entre uma típica faixa de medição dos sinais neuronais (100 Hz - 7 KHz), obtemos um valor aceitável e está dentro da faixa dos demais amplificadores.

Tabela 10 – Comparação Deste LNA com outros Trabalhos

Ref.	CMOS	Ganho (dB)	Bandwidth (Hz)	Alimentação (V)	Potência (μW)	Área (mm^2)	NEF
Este Trabalho	65nm	39.9	10-7,0 k 100-7,0k	1,2	7,52	0.29	5,72 4,83
[2]	65nm	42	1,5-11,5k 200-11,5k	1,2	5,88	0,046	5,57 2,63
[23]	40nm	25,7	200-5,0 k	1,2	2,8	N/A	4,40
[24]	65nm	52,1	1,0-8,2 k	1,0	2,8	0,042	2,93
[25]	65nm	46	1,0-10,0 k	0,5	1,5	0,0039	4,34
[26]	65nm	30	300-10,0 k	0,5	2,3	0,025	4,76
[8]	90nm	58,7	0,49-10,5 k	1,0	2,85	0,137	1,93
[27]	0,13 μm	40	0,05-0,5 k	1,0	12,1	0,072	2,29
[28]	0,18 μm	40	0,1-7,4 k	1,0	3,44	0,012	3,07
[29]	0,18 μm	40	0,05-7,5 k	1,2	4,8	0,022	3,44
[30]	0,5 μm	49,26	0,5-300	3,3	4,12	0,0144	2,53
[31]	0,5 μm	36,1	0,3-4,7 k	1,0	0,805	0,046	1,8
[1]	0,5 μm	39,5	0,025-7,2 k	2,5	80	0,16	4,0

7 CONCLUSÃO

Este trabalho apresentou o desenvolvimento de um amplificador de baixo ruído (LNA) para aquisição de sinais neuronais, implementado utilizando a tecnologia CMOS de 65 nm da TSMC. O projeto foi realizado por meio de um processo automatizado de dimensionamento de transistores, utilizando algoritmos meta-heurísticos baseados em enxame de partículas. A otimização resultou em um circuito com baixo consumo de potência, de $6 \mu W$, ganho de $39,2 \text{ dB}$ e polos em 8 Hz e $6,23 \text{ kHz}$, o que proporcionou uma largura de banda de aproximadamente 6 kHz .

Após o projeto esquemático, foi realizado o layout do circuito, e algumas limitações foram identificadas. O layout apresentou problemas relacionados à tensão de polarização (V_p), que precisou ser reduzida, possivelmente devido a correntes no gate dos transistores do par diferencial. Além disso, o layout ocupou uma área consideravelmente maior do que outros trabalhos da área. Apesar dessas dificuldades, os resultados do circuito pós-layout foram satisfatórios. Após a redução de V_p , o consumo de potência foi de $7,52 \mu W$, o ganho alcançou $39,9 \text{ dB}$, e a largura de banda aumentou para 7 kHz , com polos localizados em 10 Hz e 7 kHz .

Como sugestão para trabalhos futuros, propõe-se o redesenho do layout do par diferencial para mitigar o problema das correntes nos gates dos transistores. Uma possível abordagem seria aumentar o espaçamento entre as trilhas metálicas ou otimizar o caminho das correntes para reduzir os acoplamentos indesejados. Outra alternativa seria ajustar o dimensionamento dos transistores no par diferencial, modificando a relação W/L para aumentar a imunidade a esses efeitos parasitas. Além disso, recomenda-se reestruturar o banco de capacitores do layout, substituindo os capacitores unitários por uma configuração em que uma das placas seja compartilhada, enquanto as outras sejam segmentadas para formar os múltiplos capacitores necessários. Essa estratégia pode reduzir significativamente a área ocupada pelo layout, melhorar a eficiência do projeto ao minimizar capacitâncias parasitas e diminuir o impacto delas na margem de fase, já que reduz o número de trilhas metálicas paralelas que contribuem para esses efeitos.

REFERÊNCIAS

- 1 HARRISON, R. R.; CHARLES, C. A low-power low-noise cmos amplifier for neural recording applications. **IEEE Journal of Solid-State Circuits**, v. 38, n. 6, p. 958–965, June 2003.
- 2 NORDI, T. M. *et al.* A microdevice in a submicron cmos for closed-loop deep-brain stimulation (cldbs). **Journal of Low Power Electronics and Applications**, v. 14, n. 2, p. 28, 2024. Disponível em: <https://doi.org/10.3390/jlpea14020028>.
- 3 STEYAERT, M. S. J.; SANSEN, W. M. C. A micropower low-noise monolithic instrumentation amplifier for medical purposes. **IEEE Journal of Solid-State Circuits**, v. 22, n. 6, p. 1163–1168, Dec 1987.
- 4 HOOGERWERF, A.; WISE, K. A three-dimensional microelectrode array for chronic neural recording. **IEEE Transactions on Biomedical Engineering**, v. 41, n. 12, p. 1136–1146, 1994.
- 5 JUNIOR, M. A. A. **Projeto de um amplificador CMOS de baixo ruído e baixo consumo de potência para aplicação de monitoramento de atividade neuronal**. [S.l.: s.n.], 2015.
- 6 SCHMIDT, E. M. Computer separation of multi-unit neuroelectric data: A review. **Journal of Neuroscience Methods**, v. 12, p. 95–111, 1984.
- 7 GLASER, E. M. Separation of neuronal activity by waveform analysis. *In*: KENEDI, R. M. (ed.). **Advances in Biomedical Engineering**. New York: Academic Press, 1971. v. 1, p. 77–136.
- 8 F., H. J. Z.; B., O. **Ultra Low-Power Integrated Circuit Design for Wireless Neural Interfaces**. [S.l.: s.n.]: Springer, 2011.
- 9 RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. Boston, MA: McGraw-Hill Education, 2000. ISBN 978-0072380323.
- 10 ORTMANN, M.; BUHMANN, A.; MANOLI, Y. Interface circuits. *In*: **Handbook of Silicon Microelectromechanical Systems (MEMS) Design**. [S.l.: s.n.], 2005. cap. 1.16.
- 11 GUGLIELMI, E. *et al.* High-value tunable pseudo-resistors design. **IEEE Journal of Solid-State Circuits**, v. 55, n. 8, p. 2094–2105, Aug 2020.
- 12 RAO, K. B.; KOMANAPALLI, G. A high gain, high cmrr, low noise bio-potential amplifier based on switched capacitor feedback amplifier. **Journal of Integrated Circuits and Systems**, v. 19, 2024.
- 13 WATTANAPANITCH, W.; FEE, M.; SARPESHKAR, R. An energy-efficient micropower neural recording amplifier. **IEEE Transactions on Biomedical Circuits and Systems**, v. 1, n. 2, p. 136–147, June 2007.
- 14 GREGORIAN, R.; TEMES, G. C. **Analog MOS Integrated Circuits for Signal Processing**. New York: Wiley, 1986.

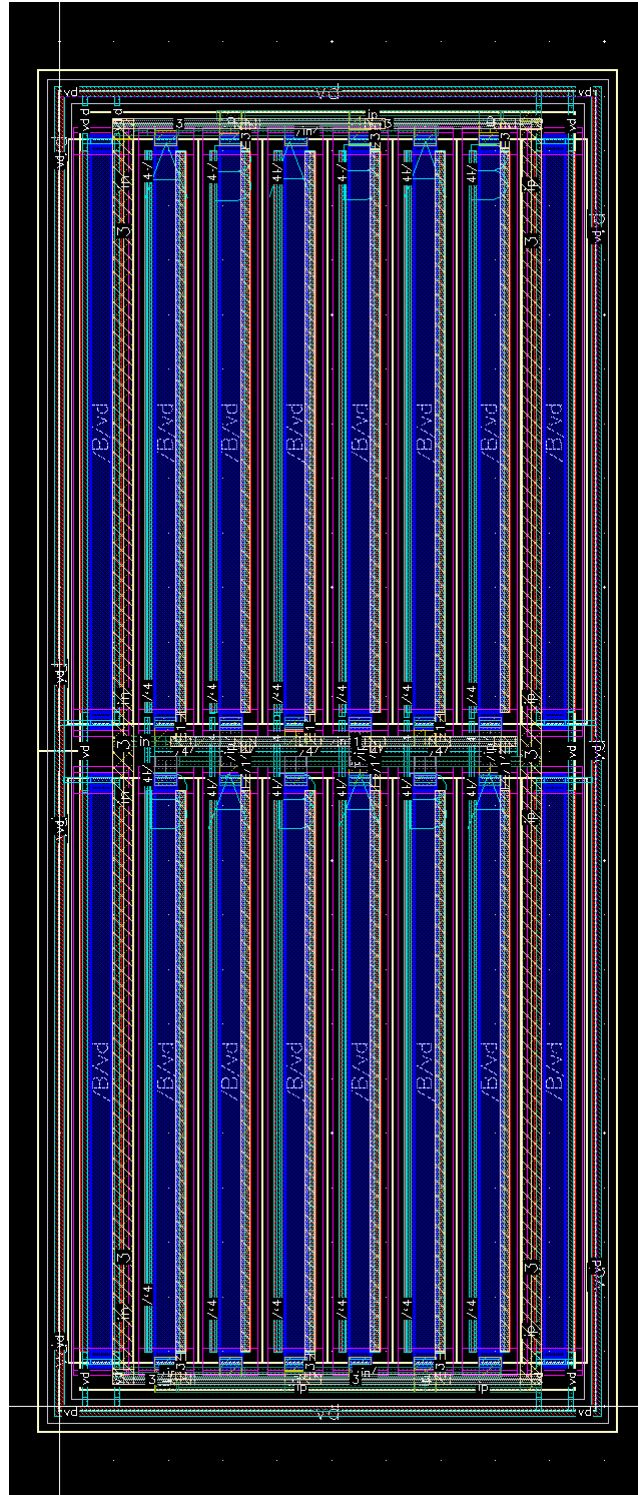
- 15 SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits**. 7th. ed. New York: Oxford University Press, 2014.
- 16 Taiwan Semiconductor Manufacturing Company (TSMC). **65nm Technology**. https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_65nm. Accessed: 2024-11-23.
- 17 TOMAR, V.; BANSAL, M.; SINGH, P. Metaheuristic algorithms for optimization: A brief review. **Engineering Proceedings**, v. 59, p. 238, 2023. Disponível em: <https://doi.org/10.3390/engproc2023059238>.
- 18 BENAÏSSA, B. *et al.* Metaheuristic optimization algorithms: An overview. **Advances in Computational Structures**, v. 14, n. 1, p. 34–62, 2023. Accessed: 2024-11-08. Disponível em: <https://pdfs.semanticscholar.org>.
- 19 Synopsys. **HSPICE Datasheet**. <https://synopsys.com/content/dam/synopsys/verification/datasheets/hspice-ds.pdf>. Accessed: 2024-11-26.
- 20 ORLATO, W. C. **TSMC 65nm WCO IP LNA**. https://github.com/WilliamOrl/tsmc65n_wco_ip___LNA. Accessed: 2024-11-26.
- 21 Cadence Design Systems. **Virtuoso Layout Suite**. https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/layout-design/virtuoso-layout-suite.html. Accessed: 2024-11-23.
- 22 Siemens EDA. **Calibre Design**. <https://eda.sw.siemens.com/en-US/ic/calibre-design/>. Accessed: 2024-11-23.
- 23 CHANDRAKUMAR, H.; MARKOVIĆ, D. An 80-mvpp linear-input range, 1.6-g input impedance, low-power chopper amplifier for closed-loop neural recording that is tolerant to 650-mvpp common-mode interference. **IEEE Journal of Solid-State Circuits**, v. 52, p. 2811–2828, 2017.
- 24 NG, K. A.; XU, Y. P. A multi-channel neural-recording amplifier system with 90 db cmrr employing cmos-inverter-based otas with cmfb through supply rails in 65 nm cmos. *In: Proceedings of the 2015 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers*. San Francisco, CA, USA: [S.l.: s.n.], 2015. p. 1–3.
- 25 BIEDERMAN, W. *et al.* A fully-integrated, miniaturized (0.125 mm²) 10.5 w wireless neural sensor. **IEEE Journal of Solid-State Circuits**, v. 48, n. 4, p. 960–970, 2013.
- 26 MULLER, R. *et al.* A minimally invasive 64-channel wireless ecog implant. **IEEE Journal of Solid-State Circuits**, v. 50, n. 1, p. 344–359, 2015.
- 27 ZHANG, F.; HOLLEMAN, J.; OTIS, B. P. Design of ultra-low power biopotential amplifier for biosignal acquisition application. **IEEE Transactions on Biomedical Circuits and Systems**, v. 6, n. 3, p. 244–355, 2012.
- 28 KIM, H.-J. *et al.* An area- and energy-efficient 16-channel, ac-coupled neural recording analog frontend for high-density multichannel neural recordings. **Electronics**, v. 10, n. 1972, 2021.

- 29 KWAK, J. Y.; PARK, S.-Y. Compact continuous time common-mode feedback circuit for low-power, area-constrained neural recording amplifiers. **Electronics**, v. 10, n. 145, 2021.
- 30 TASNEEM, N. T.; MAHBUB, I. A 2.53 nef 8-bit 10 ks/s 0.5 m cmos neural recording read-out circuit with high linearity for neuromodulation implants. **Electronics**, v. 10, n. 590, 2021.
- 31 HOLLEMAN, J.; OTIS, B. A sub-microwatt low-noise amplifier for neuronal recording. *In: Proceedings of the 29th Annual International Conference IEEE EMBS*. Lyon, France: [S.l.: s.n.], 2007. p. 3930–3933.

APÊNDICES

APÊNDICE A – PAR DIFERENCIAL

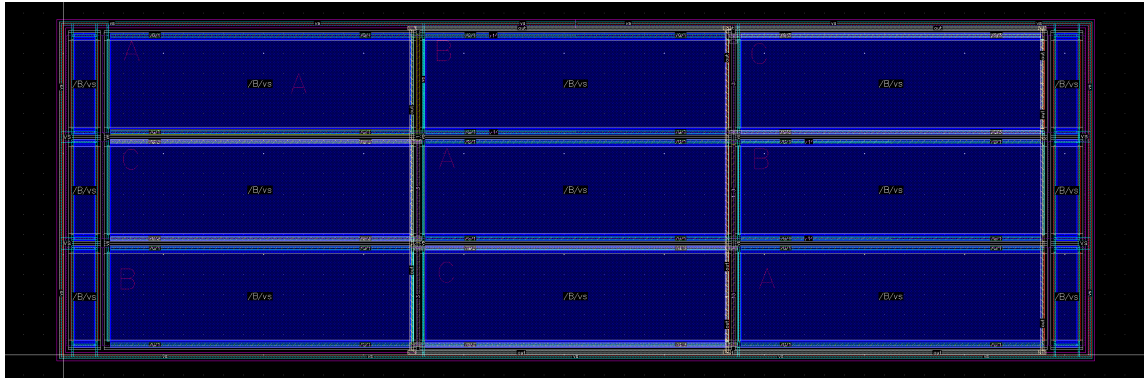
Figura 30 – - Layout do Par diferencial)



Fonte: [20]

APÊNDICE B – CARGA ATIVA

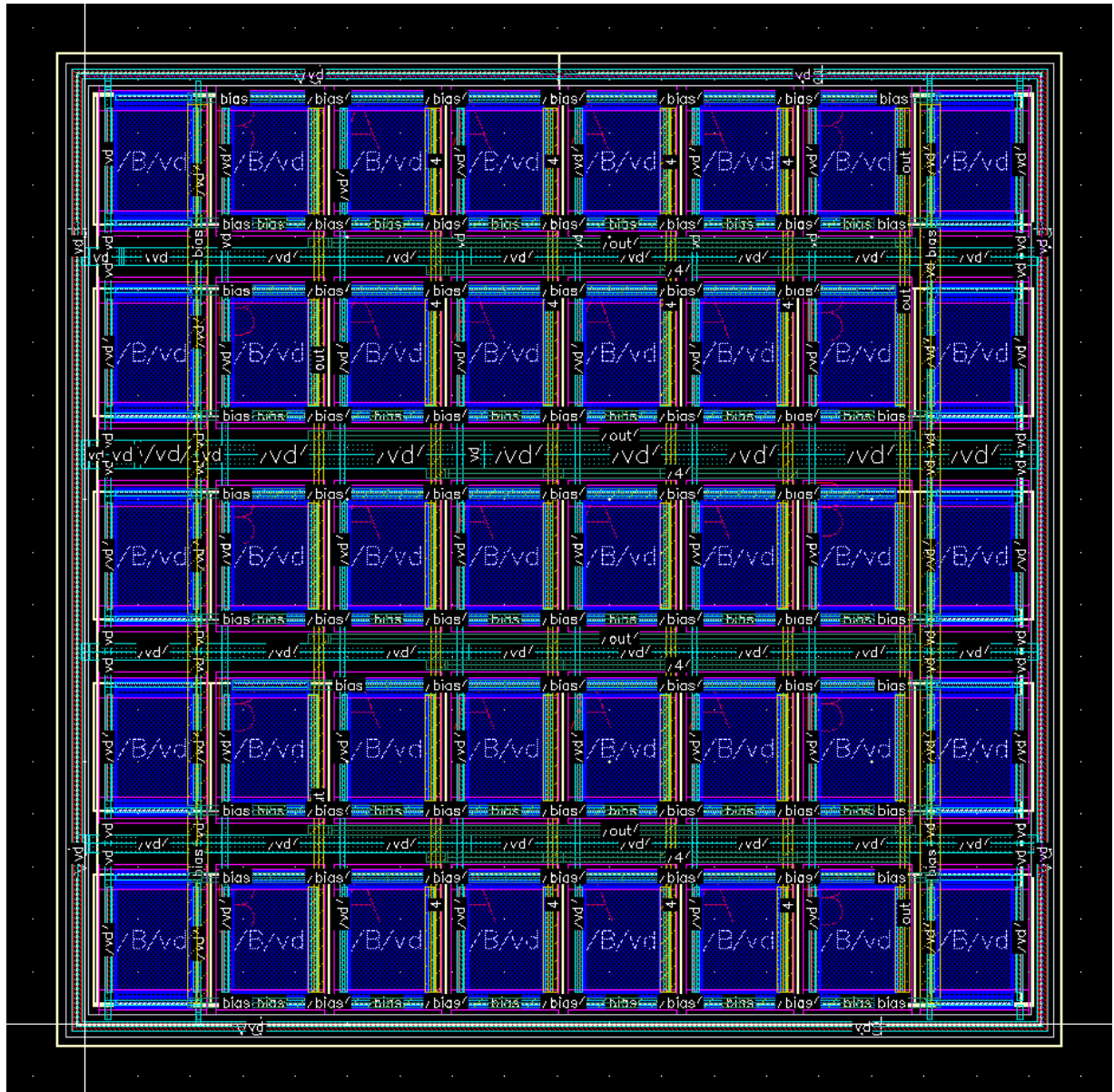
Figura 31 – Layout da Carga ativa



Fonte: [20]

APÊNDICE C – ESPELHO DE CORRENTE

Figura 32 – Layout do Espelho de Corrente



Fonte: [20]