

**EDER ISSAO ISHIBE**

**PROJETO DE FONTE DE TENSÃO  
DE REFERÊNCIA DE BAIXA TENSÃO  
E CONSUMO**

Trabalho de Conclusão de Curso  
apresentado à Escola de Engenharia de São  
Carlos, da Universidade de São Paulo

Curso de Engenharia de Computação com  
ênfase em Sistemas Embarcados

**ORIENTADOR:** Professor Doutor João Navarro Soares Jr.

São Carlos  
2010

AUTORIZO A REPRODUÇÃO E DIVULGAÇÃO TOTAL OU PARCIAL DESTE TRABALHO, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica preparada pela Seção de Tratamento  
da Informação do Serviço de Biblioteca – EESC/USP

Ishibe, Eder Issao  
I79p Projeto de fonte de referência de baixa tensão e  
consumo / Eder Issao Ishibe ; orientador João  
Navarro Soares Jr. -- São Carlos, 2010.

Trabalho de Conclusão de Curso (Graduação em  
Engenharia de Computação) -- Escola de Engenharia de  
São Carlos da Universidade de São Paulo, 2010.

1. Circuitos integrados MOS. 2. Referência *bandgap*.
3. Fonte de referência de tensão. I. Título.

# FOLHA DE APROVAÇÃO

Nome: Eder Issao Ishibe

Título: "Projeto de Fonte de Tensão de Referência de Baixa Tensão e Consumo"

Trabalho de Conclusão de Curso defendido e aprovado  
em 15 / 06 / 2010,

com NOTA ( 9 , 5 ), pela comissão julgadora:  
*nove cinco*



Prof. Associado Heitor Cury Basso - SEL/EESC/USP



Prof. Dr. José Roberto Boffino de Almeida Monteiro - SEL/EESC/USP



Prof. Dr. Evandro Luis Linhari Rodrigues  
Coordenador pela EESC/USP do  
Curso de Engenharia de Computação

*" O que sabemos é uma gota, o que ignoramos é um oceano."*

Isaac Newton, 1643 -1727

# Agradecimentos

*Agradeço ao professor doutor João Navarro Soares Jr. não só pelos valiosos ensinamentos sobre microeletrônica e escrita que propiciaram a conclusão deste trabalho, mas também pela paciência que teve durante todo o projeto.*

*Cabe aqui também ressaltar o suporte que obtive de meus irmãos em momentos críticos em que fui inútil nos afazeres domésticos e toda a ajuda recebida pelos meus pais na minha vida, pois sem ela nada disto seria possível.*

**Autor:** Eder Issao Ishibe

**Título:** Projeto de fonte de referência de baixa tensão e consumo

**Data:** 22 de junho de 2010

**Orientador:** Prof. Dr. João Navarro Soares Jr

**Área de Concentração:** Microeletrônica

## RESUMO

Neste trabalho temos a finalidade de projetar uma fonte de tensão de referência, um circuito que é capaz de produzir e manter uma tensão constante, mesmo com variações de temperatura ou da tensão de alimentação. Tal circuito possui grande aplicabilidade em sistemas analógicos como fontes de alimentação, conversores analógico-digital ou digital-analógico e sistemas de modulação/demodulação de sinais.

O projeto consiste em escolher uma topologia entre as muitas possíveis, determinar as equações de funcionamento da topologia escolhida, dimensionar os dispositivos para que o circuito funcione apropriadamente, realizar simulações a fim de ajustar as dimensões, desenhar o *layout* com estas dimensões projetadas, fazer verificações do mesmo e simular o circuito extraído a partir do *layout*, utilizando modelos de transistor típico, *worst-speed* e *worst-power*, para confirmar o seu funcionamento nas condições limites.

Desenvolver-se-á uma fonte do tipo *bandgap* utilizando a tecnologia CMOS 0,35 $\mu$ m AMS (AustriaMicroSystem), com quatro níveis de metais. Algumas características importantes da fonte desenvolvida são o uso de transistores PMOS em fraca-inversão, a utilização da configuração *Cascode* para redução da influência da tensão de alimentação e a compensação do efeito da temperatura através da soma de correntes, ao invés da soma de tensões como é habitualmente feito.

**Palavras-chave:** Circuitos integrados MOS, referência *bandgap*, fonte de referência de tensão.

**Author:** Eder Issao Ishibe

**Title:** Projeto de fonte de referência de baixa tensão e consumo

**Date:** June 22, 2010

**Advisor:** Prof. Dr. João Navarro Soares Jr.

**Concentration Area:** Microelectronics

### **ABSTRACT**

In this work we aim to design a reference voltage source, a circuit that is able to produce and maintain a constant voltage even with variations in temperature or in voltage supply values. This circuit has wide applicability in analog systems, for example, power sources, analog-digital or digital-analog converters and signal modulation/demodulation systems.

The project consists in choosing a topology among several possible, determining the operation equations of the chosen topology, scaling the devices to make it work properly, carrying out simulations in order to adjust the dimensions, designing the layout with the projected dimensions, checking the results and simulating the extracted circuit from layout, using typical, worst-speed and worst-power transistor models, to confirm its operation in boundary conditions.

A bandgap source voltage will be developed using the AMS (AustriaMicroSystem) 0.35 $\mu$ m CMOS technology with four metal levels. Some important features of the developed voltage source are the application of weak-inversion PMOS transistors, the use of Cascode configuration, to reduce the influence of voltage source, and the compensation of temperature's effect through the current addition, instead of the voltage addition as it is usually done.

**Keywords:** MOS integrated circuits, *bandgap* reference, voltage reference.

## Lista de figuras

---

FIGURA 1 - SISTEMA DE GERENCIAMENTO DE POTÊNCIA PARA APLICAÇÕES MÓVEIS.....	2
FIGURA 2 – CONVENÇÃO UTILIZADA PARA INDICAR A RELAÇÃO ENTRE OS TRANSISTORES: O TRANSISTOR $M_{P1}$ É $M$ VEZES MAIOR QUE $M_{P2}$ E $M_{N1}$ É $N$ VEZES MAIOR QUE $M_{N2}$ .....	6
FIGURA 3 - TIPOS DE TRANSISTORES BIPOLARES [5].....	6
FIGURA 4 - REPRESENTAÇÃO DE TRANSISTORES MOS.....	8
FIGURA 5 - VISTA LATERAL DE UM TRANSISTOR NMOS.....	8
FIGURA 6 – SOMA DAS GRANDEZAS $PTAT$ E $CTAT$ E TENSÃO DE REFERÊNCIA.....	11
FIGURA 7 - TOPOLOGIA DE UMA FONTE DE REFERÊNCIA <i>BANDGAP</i> .....	12
FIGURA 8 - TOPOLOGIA DE FONTE DE TENSÃO <i>BANDGAP</i> COM ESPELHO DE CORRENTE NOS TRANSISTORES NMOS .....	16
FIGURA 9 - CIRCUITOS DE POLARIZAÇÃO: O CIRCUITO DA DIREITA REALIZA A POLARIZAÇÃO DE $M_{N3}$ E O DA ESQUERDA, A POLARIZAÇÃO DE $M_{P3}$ .....	17
FIGURA 10 – CORRENTES DE SAÍDA PELA TENSÃO DE ALIMENTAÇÃO DOS CIRCUITOS IGUAIS AO BLOCO $PTAT$ TIPO A (“ $IS(MP2)$ ”) E TIPO B (“ $IS(MP1)$ ”) PARA OS TRÊS MODELOS .....	21
FIGURA 11 – CIRCUITO DE <i>BANDGAP</i> DO TIPO B IMPLEMENTADO.....	22
FIGURA 12- GRÁFICO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO TÍPICO, O RESISTOR $R_2$ VARIANDO DE 220 $K\Omega$ (“ $V(OUT)_1$ ”) A 226 $K\Omega$ (“ $V(OUT)_13$ ”) COM INCREMENTOS DE 0,5 $K\Omega$ E A TENSÃO DE ALIMENTAÇÃO DE 1,1 V .....	24
FIGURA 13 - GRÁFICO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO <i>WORST-SPEED</i> , O RESISTOR $R_2$ VARIANDO DE 220 $K\Omega$ (“ $V(OUT)_1$ ”) A 226 $K\Omega$ (“ $V(OUT)_13$ ”) COM INCREMENTOS DE 0,5 $K\Omega$ E A TENSÃO DE ALIMENTAÇÃO DE 1,1 V .....	25
FIGURA 14 – GRÁFICO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO <i>WORST-POWER</i> , O RESISTOR $R_2$ VARIANDO DE 220 $K\Omega$ (“ $V(OUT)_1$ ”) A 226 $K\Omega$ (“ $V(OUT)_13$ ”) COM INCREMENTOS DE 0,5 $K\Omega$ E A TENSÃO DE ALIMENTAÇÃO DE 1,1 V .....	25
FIGURA 15 – VARIAÇÃO DA TENSÃO DE SAÍDA COM O VALOR DO RESISTOR $R_2$ PARA TRÊS MODELOS DE TRANSISTORES .....	26
FIGURA 16 - VISTA EM CORTE DO TRANSISTOR BIPOLAR PNP VERTICAL PARASITA DISPONÍVEL NA AMS .....	27
FIGURA 17 - <i>LAYOUT</i> DO TRANSISTOR PNP PARASITA DISPONÍVEL NA AMS.....	27
FIGURA 18 - CIRCUITO DE <i>BANDGAP</i> IMPLEMENTADO.....	29
FIGURA 19- <i>LAYOUT</i> DO CIRCUITO IMPLEMENTADO (ÁREA DE 0,069 $MM^2$ E ÁREA EFETIVA DE 0,042 $MM^2$ ); PRÓXIMO A CADA TRANSISTOR ESTÁ INDICADO SUA A RELAÇÃO $W/L$ E OS VALORES ESTÃO EM $\mu M$ ; PRÓXIMO A CADA RESISTOR ESTÁ INDICADO SUA RESISTÊNCIA E OS VALORES ESTÃO EM $K\Omega$ .....	30
FIGURA 20 – VARIAÇÃO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO TÍPICO, E TENSÃO DE ALIMENTAÇÃO VARIANDO DE 1 V (“ $V(OUT)_1$ ”) À 1,5 V (“ $V(OUT)_11$ ”) COM INCREMENTOS DE 0,1 V .....	31
FIGURA 21 – VARIAÇÃO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO <i>WORST-SPEED</i> , E TENSÃO DE ALIMENTAÇÃO VARIANDO DE 1 V (“ $V(OUT)_1$ ”) À 1,5 V (“ $V(OUT)_11$ ”) COM INCREMENTOS DE 0,1 V .....	32

FIGURA 22 – VARIAÇÃO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA O MODELO <i>WORST-POWER</i> , E TENSÃO DE ALIMENTAÇÃO VARIANDO DE 1 V (“V(OUT)_1”) À 1,5 V (“V(OUT)_11”) COM INCREMENTOS DE 0,1 V .....	32
FIGURA 23 - VARIAÇÃO DA TENSÃO DE SAÍDA COM A TENSÃO DE ALIMENTAÇÃO PARA O MODELO TÍPICO E TEMPERATURA DE OPERAÇÃO DE 27 °C.....	34
FIGURA 24 - VARIAÇÃO DA TENSÃO DE SAÍDA COM A TENSÃO DE ALIMENTAÇÃO PARA O MODELO <i>WORST-SPEED</i> E TEMPERATURA DE OPERAÇÃO DE 27 °C.....	34
FIGURA 25 - VARIAÇÃO DA TENSÃO DE SAÍDA COM A TENSÃO DE ALIMENTAÇÃO PARA O MODELO <i>WORST-POWER</i> E TEMPERATURA DE OPERAÇÃO DE 27 °C.....	35
FIGURA 26 - VARIAÇÃO DA CORRENTE DO BLOCO PTAT COM A TENSÃO DE ALIMENTAÇÃO PARA O MODELO TÍPICO E TEMPERATURA DE OPERAÇÃO DE 27 °C.....	35
FIGURA 27 - CORRENTE TOTAL CONSUMIDA PELO CIRCUITO EM FUNÇÃO DA TEMPERATURA PARA TRÊS MODELOS DE TRANSISTOR E TENSÃO DE ALIMENTAÇÃO VARIANDO DE 1 V (“I(V3)_1”) À 1,5 V (“I(V3)_6”) COM INCREMENTOS DE 0,1 V .....	37
FIGURA 28 - QUANTIDADE DE AMOSTRAS POR FAIXAS EM FUNÇÃO DA TENSÃO MÉDIA DE SAÍDA (MÉDIA PARA TEMPERATURA ENTRE -10 °C A 90 °C), USANDO TENSÃO DE ALIMENTAÇÃO DE 1,1 V (MÉTODO DE MONTE CARLO, 5000 AMOSTRAS) .....	38
FIGURA 29 - QUANTIDADE DE AMOSTRAS POR FAIXAS EM FUNÇÃO DA VARIAÇÃO DA TENSÃO DE SAÍDA (VARIAÇÃO PARA TEMPERATURA ENTRE -10 °C A 90 °C), USANDO TENSÃO DE ALIMENTAÇÃO DE 1,1 V (MÉTODO DE MONTE CARLO, 5000 AMOSTRAS).....	38
FIGURA 30 - VARIAÇÃO DA TENSÃO DE SAÍDA COM A TEMPERATURA PARA $V_{THP}$ DE -0,5V E A TENSÃO DE ALIMENTAÇÃO VARIANDO DE 0,8 V (“V(OUT)_5”) À 1,2 V (“V(OUT)_9”) COM INCREMENTOS DE 0,1 V .....	42

## Lista de tabelas

---

TABELA 1 - REGIÃO DE OPERAÇÃO DE UM TRANSISTOR.....	9
TABELA 2 - VALORES DE PARÂMETROS ESCOLHIDOS.....	20
TABELA 3 - VALORES PRÉ-DEFINIDOS OU DADOS PELA TECNOLOGIA .....	21
TABELA 4 - DIMENSÃO DOS TRANSISTORES .....	26
TABELA 5 - DIMENSÃO DOS RESISTORES .....	27
TABELA 6 - COEFICIENTE DE TEMPERATURA DO CIRCUITO PROJETADO PARA TRÊS MODELOS DE TRANSISTORES .....	33
TABELA 7- REGULAÇÃO DE LINHA DO CIRCUITO PROJETADO PARA TRÊS MODELOS DE TRANSISTORES .....	36
TABELA 8 - COMPARAÇÃO DE RESULTADOS I .....	39
TABELA 9 - COMPARAÇÃO DE RESULTADOS II .....	40
TABELA 10 - VALORES DOS PARÂMETROS DO MODELO UTILIZADO .....	49

## Lista de símbolos

---

$V_{BE}$	=	tensão base-emissor
$V_{GO}$	=	tensão de <i>bandgap</i> do silício
$V_{FB}$	=	tensão de <i>flat-band</i>
$V_{TH}$	=	tensão de <i>threshold</i>
$V_T$	=	tensão térmica
$V_{OUT(MÁX)}$	=	valor de tensão máxima da saída
$V_{OUT(MIN)}$	=	valor de tensão mínima da saída
$V_{OUT}$	=	tensão de saída
$V_{MÁX}$	=	tensão de alimentação máxima
$V_{MÍN}$	=	tensão de alimentação mínima
$T$	=	temperatura
$T_R$	=	temperatura de referência
$T_{MÁX}$	=	temperatura máxima
$T_{MÍN}$	=	temperatura mínima
$T_{NOM}$	=	temperatura nominal
$I_C$	=	corrente que passa pelo coletor
$I_D$	=	corrente de <i>drain</i>
$I_{DS}$	=	corrente <i>drain-source</i>
$I_M$	=	corrente característica da tecnologia
$I_S$	=	corrente de saturação
$k$	=	constante de Boltzman
$q$	=	carga do elétron
$n$	=	fator de <i>slope</i>
$E$	=	constante dependente da massa efetiva de elétrons e lacunas, etc.
$C$	=	constante resultante da transformação da equação (32) em (34);
$\eta$	=	constante resultante da transformação da equação (32) em (34);
$W$	=	comprimento do transistor
$L$	=	largura do transistor
$C_{OX}$	=	capacitância por área no óxido do <i>gate</i>
$\mu$	=	mobilidade do portador
$\gamma$	=	coeficiente de efeito de corpo
$E_{f_i}$	=	nível de Fermi intrínseco do silício
$E_{f_x}$	=	nível de Fermi do silício. $E_{fp}$ se for um transistor N e $E_{fn}$ se for um P
$\epsilon_S$	=	permeabilidade relativa do silício
$N_a$	=	concentração de dopantes
$CT$	=	coeficiente de temperatura (dado em ppm/°C)
$CV$	=	coeficiente de tensão (dado em ppm/V)
$A$	=	área da junção base-emissor
$n_i$	=	concentração intrínseca de portadores
$\overline{D(T)}$	=	valor da difusão efetiva dos portadores minoritários da base
$N_B$	=	número de Gummel (número total de impurezas por unidade de área na base)
$N_F$	=	valor empírico para ajuste do modelo
$X_{TI}$	=	expoente de temperatura para a corrente de saturação

# Sumário

---

<b>1</b>	<b>INTRODUÇÃO</b>	<b>1</b>
1.1	CONTEXTUALIZAÇÃO E APLICABILIDADE	1
1.2	OBJETIVOS	2
1.3	ESTRUTURA DA MONOGRAFIA	3
1.4	FERRAMENTAS	4
<b>2</b>	<b>BASE TEÓRICA</b>	<b>5</b>
2.1	CONSIDERAÇÕES INICIAIS	5
2.2	TRANSISTORES	6
2.2.1	<i>BJT</i>	6
2.2.2	<i>MOS</i>	7
2.3	FONTE DE REFERÊNCIA <i>BANDGAP</i>	11
2.4	TOPOLOGIA	12
2.5	EQUACIONAMENTO	13
2.5.1	<i>Corrente <math>I_0</math> (Figura 7)</i>	13
2.5.2	<i>Fraca-inversão</i>	14
2.5.3	<i>Variação da tensão com a temperatura</i>	14
2.5.4	<i>Tensão de saída</i>	16
2.6	<i>BANDGAP</i> UTILIZANDO ESPELHO DE CORRENTE NOS TRANSISTORES NMOS	16
2.7	CIRCUITO DE POLARIZAÇÃO	17
<b>3</b>	<b>IMPLEMENTAÇÃO E MÉTODO</b>	<b>20</b>
3.1	ESCOLHA DE PARÂMETROS	20
3.2	TOPOLOGIA IMPLEMENTADA	21
3.1	DIMENSIONAMENTO TEÓRICO	24
3.2	DIMENSIONAMENTO REAL	24
3.3	<i>LAYOUT</i>	28
3.3.1	<i>Layout final</i>	29
<b>4</b>	<b>RESULTADOS E DISCUSSÃO</b>	<b>31</b>
4.1	TENSÃO DE SAÍDA COM A VARIAÇÃO DA TEMPERATURA	31
4.2	TENSÃO DE SAÍDA COM A VARIAÇÃO DA TENSÃO DE ALIMENTAÇÃO	33
4.3	POTÊNCIA CONSUMIDA	36
4.4	RESULTADOS ESTATÍSTICOS	37
4.5	COMPARAÇÃO DE RESULTADOS	39
4.6	CIRCUITO SUB 1-V	41
<b>5</b>	<b>CONCLUSÃO</b>	<b>43</b>
	<b>REFERÊNCIAS</b>	<b>44</b>
	<b>ANEXO A</b>	<b>46</b>
	CÁLCULO DA TENSÃO BASE-EMISSOR [18]	46
	CÁLCULO REALIZADO PELO SIMULADOR	48
	<b>ANEXO B</b>	<b>50</b>
	ARQUIVOS PARA SIMULAÇÃO ELDO GERADOS PELA EXTRAÇÃO CALIBRE (C+CC) A PARTIR DO <i>LAYOUT</i>	50
	<i>Arquivo principal:</i>	50
	<i>Arquivo auxiliar:</i>	51
	MODELOS DOS TRANSISTORES MOS	52
	<i>Modelo típico:</i>	52
	<i>Modelo worst-power:</i>	55
	<i>Modelo worst-speed:</i>	57
	MODELO DO TRANSISTOR BIPOLAR	59

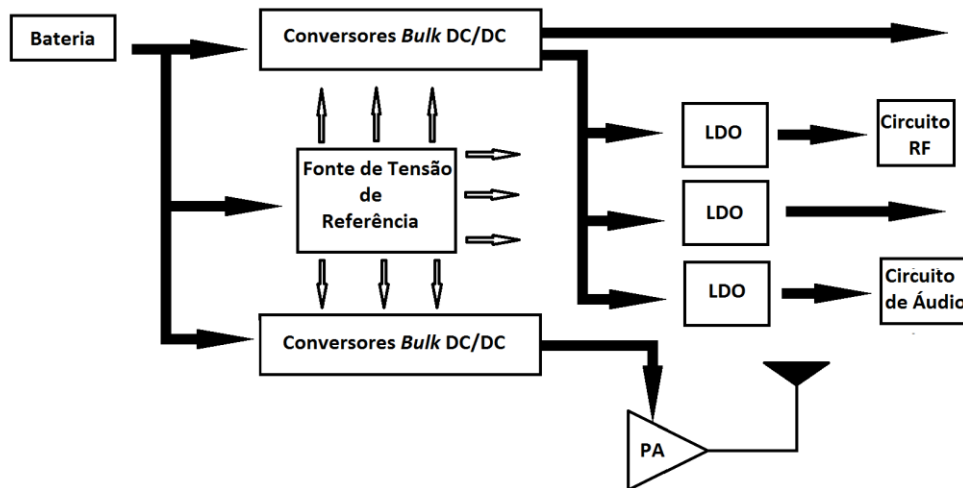
# 1 Introdução

---

## 1.1 Contextualização e aplicabilidade

A procura cada vez maior por aparelhos eletrônicos, principalmente os portáteis, fez com que o mercado demandasse por dispositivos cada vez menores e que consomem menores potências. Circuitos integrados (CIs), que são pequenos e consomem pouca potência, além de darem maior confiabilidade aos produtos e facilitarem a realização de projetos, são intensamente utilizados em projetos de aparelhos eletrônicos. Uma das tecnologias que se utiliza em CIs é a CMOS (do inglês, *Complementary Metal Oxide Silicon*). CMOS é largamente aplicada em circuitos digitais devido à maior facilidade de projeto, ao maior nível de integração e ao menor consumo de potência que ela proporciona. Para facilitar sua integração com circuitos digitais, circuitos analógicos passaram a ser produzidos também com a tecnologia CMOS.

Fontes de tensão de referência são circuitos amplamente empregados em sistemas analógicos. Esta grande aplicabilidade das fontes de tensão não é decorrente somente de sua necessidade em circuitos isolados como fontes de alimentação, conversores analógico-digitais ou digital-analógicos, sistemas de modulação/demodulação de sinais ou amplificadores operacionais, mas também da sua importância para um sistema, pois normalmente é utilizado por vários blocos do mesmo. Para ilustrar este último aspecto pode-se citar o sistema de gerenciamento de potência apresentado na Figura 1, onde aparecem conversores DC-DC, responsáveis por reduzir a tensão com alto nível de eficiência de potência e reguladores lineares (LDOs, do inglês, *Low DropOut*), responsáveis por prover níveis de tensão diferentes para blocos com o mínimo de ruído. Ambos os circuitos do sistema de gerenciamento de potência necessitam da fonte de tensão de referência para correta operação [1].



**Figura 1** - Sistema de gerenciamento de potência para aplicações móveis

Pelas razões acima se deseja uma boa fonte de tensão de referência, idealmente invariante a fatores externos como temperatura, tensão de alimentação, processo de fabricação, etc.

Nenhum elemento estudado na engenharia é ideal e a fonte de tensão de referência não foge à regra, pois não se consegue obter um circuito completamente invariante a fatores externos. A minimização da influência destes na fonte de tensão propicia um melhor funcionamento dos sistemas que ela integra. Deve-se evidenciar que é difícil reduzir ou mesmo tratar a influência de todos os fatores, pois isso resultaria em um circuito complexo. Em vista disto é necessário priorizar alguns.

Pode-se então dizer que uma boa fonte de tensão de referência, isto é, com uma baixa influência de fatores externos em seu funcionamento, com dimensões reduzidas e com baixo consumo de potência, é exigida por quaisquer sistemas que necessitem deste circuito.

Este trabalho proporcionará uma maior compreensão sobre fontes de tensão de referência, seu projeto e sua análise.

## 1.2 Objetivos

Levando em conta todas as questões abordadas no item anterior, será projetada uma fonte de tensão de referência do tipo *bandgap* construída com transistores CMOS. Algumas características importantes da fonte desenvolvida são o uso transistores PMOS em fraca-inversão, a utilização da configuração *Cascode* para redução da influência da tensão de alimentação e a compensação do efeito da temperatura através da soma de correntes, ao invés da soma de tensões como é

habitualmente feito. No projeto, focar-se-á na estabilização da tensão de saída com a temperatura e com a tensão de alimentação.

O projeto consiste em:

- escolher uma topologia entre as muitas possíveis;
- determinar as equações de funcionamento da topologia escolhida;
- dimensionar os dispositivos para que eles funcionem apropriadamente, isto é, com baixa influência da temperatura e da tensão de alimentação;
- realizar simulações a fim de ajustar as dimensões que foram projetadas anteriormente;
- desenhar o *layout* na tecnologia CMOS 0,35  $\mu\text{m}$  da AustriaMicroSystem [2] com as dimensões projetadas;
- fazer verificações do *layout* utilizando as ferramentas de DRC (*Design Rule Check*) e LVS (*Layout Versus Schematic*);
- simular o circuito extraído a partir do *layout*, utilizando modelos de transistor típico, que apresentam parâmetros típicos, *worst-speed*, que apresentam parâmetros de pior velocidade, e *worst-power*, que apresentam parâmetros de pior potência, para confirmar seu funcionamento nas condições limites.

### 1.3 Estrutura da monografia

O restante da monografia está organizado nos seguintes capítulos.

- o segundo capítulo apresenta o embasamento teórico necessário para guiar o desenvolvimento;
- o terceiro capítulo contém o projeto em si, explicando os passos do desenvolvimento, desde o dimensionamento ao desenho do *layout*;
- o quarto capítulo expõe os resultados obtidos através de simulação realizados no terceiro capítulo;
- no quinto capítulo são apresentadas as conclusões.

## 1.4 Ferramentas

Foram utilizadas no trabalho as ferramentas de projeto de *computer-aided-design* da Mentor Graphics:

- Design Architecture: ferramenta utilizada para desenho do esquemático [3] ;
- IC Station: ferramenta utilizada para desenho do *layout* e para verificação LVS;
- Calibre: ferramenta para verificação DRC e extração de arquivos de simulação a partir do *layout*;
- ELDO: ferramenta para realizar as simulações [4] ;
- Ezwave: ferramenta para visualização e análise dos resultados do circuito projetado.

## 2 Base teórica

---

### 2.1 Considerações iniciais

A fim de facilitar as representações dos dados neste trabalho serão obedecidas as seguintes convenções:

Nomes iniciando com “V” são representações de tensões, podendo ser do tipo  $V_X$ , significando tensão do nó X em relação à terra, ou  $V_{XY}$ , significando tensão do nó X em relação ao nó Y.

$V_G$ ,  $V_S$ ,  $V_D$ ,  $V_B$  significam, respectivamente, tensão de *gate*, *source*, *drain* e *bulk* do transistor MOS (do inglês, *Metal Oxide Silicon*). Da mesma forma,  $V_{GS}$  significará tensão do *gate* em relação ao *source* e assim por diante.

Nomes iniciando com “i” maiúsculo são representações de correntes, tal como  $I_0$ .  $I_D$  e  $I_S$  significam respectivamente, corrente de *drain* e corrente de *source* do transistor MOS

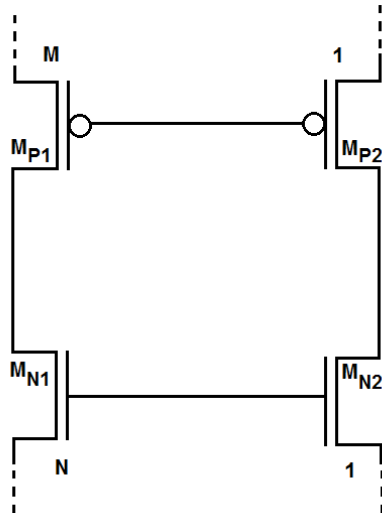
Nomes iniciando com “M” são representações de transistores MOS, podendo ser do tipo  $M_N$ , significando transistor do tipo NMOS (transistor MOS do tipo N), ou  $M_P$ , significando transistor do tipo PMOS (transistor MOS do tipo P).

Nomes iniciados com “Q” são representações de transistores BJT (do inglês, *Bipolar Junction Transistor*).

Sempre que aparecer o símbolo  $NX$  ou  $PX$ , em que X é um número, subscrito na relação (W/L) do transistor MOS significa que a relação é referente ao transistor  $M_{NX}$  ou  $M_{PX}$ , por exemplo:  $(W/L)_{N1}$  e  $(W/L)_{P2}$  representam, respectivamente, as relação (W/L) do transistor  $M_{N1}$  e  $M_{P2}$ .

Em figuras de circuito, sempre que não houver referência da ligação do *bulk*, será considerado que: caso o transistor seja NMOS o *bulk* estará ligado ao  $V_{SS}$ ; caso o transistor seja PMOS o *bulk* estará ligado ao  $V_{DD}$ .

Nas figuras, próximo ao *drain* de alguns transistores, aparecem símbolos que indicam a relação entre o tamanho dos transistores. Na Figura 2, os valores M e 1 presentes no *drain* dos transistores PMOS indicam que a relação W/L de  $M_{P1}$  é M vezes maior que de  $M_{P2}$ . Os valores N e 1 presentes no *drain* dos transistores NMOS indicam que a relação W/L de  $M_{N1}$  é N vezes maior que de  $M_{N2}$ .



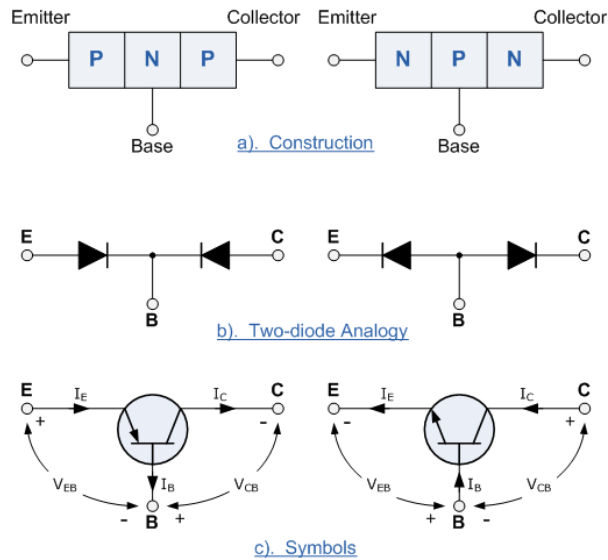
**Figura 2** – Convenção utilizada para indicar a relação entre os transistores: o transistor  $M_{P1}$  é  $M$  vezes maior que  $M_{P2}$  e  $M_{N1}$  é  $N$  vezes maior que  $M_{N2}$

Por fim, os transistores BJT serão referidos simplesmente como bipolares.

## 2.2 Transistores

Os transistores utilizados neste trabalho são do tipo BJT e MOS.

### 2.2.1 BJT



**Figura 3** - Tipos de Transistores bipolares [5]

O primeiro transistor bipolar foi criado em 1948, na *Bell Telephone*, por John Bardeen, Walter Houser Brattain e William Bradford Shockley, criação que lhes proporcionou o Prêmio Nobel de Física em 1956. Este elemento é um dispositivo que

possui três camadas de semicondutor com dopagens alternadas de P e N. Sua grande revolução foi a possibilidade de controlar correntes com consumo de potência muito menor que o seu antecessor, a válvula.

Na Figura 3, na primeira linha está indicado uma idealização da construção para cada tipo de transistor bipolar, PNP e NPN, na segunda linha está indicado um modelo de transistor simplificado utilizando diodos e na terceira linha estão indicados os símbolos de cada transistor.

Para este trabalho é interessante conhecer o comportamento do transistor com a temperatura. Uma equação importante é a que descreve a tensão base-emissor em função da temperatura (cálculo apresentado no Anexo A):

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} - \frac{V_{GO}(T_R)}{T_R} + \frac{V_{GO}(T)}{T} \right] + \frac{k \cdot T}{q} \cdot \ln \left( \frac{T_R}{T} \right)^{4-\eta} + \frac{k \cdot T}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \right) \quad (1)$$

Onde:

- $V_{BE}$  = tensão base-emissor;
- $T$  = temperatura;
- $T_R$  = temperatura de referência;
- $V_{GO}$  = tensão de *bandgap* do silício;
- $k$  = constante de Boltzman;
- $q$  = carga do elétron;
- $I_C$  = corrente que passa pelo coletor;
- $\eta$  = constante que depende do processo de fabricação do transistor.

Nesta expressão, se aumentarmos o valor da temperatura, o valor da tensão base-emissor diminuirá, comportamento que caracteriza uma relação inversa entre temperatura e tensão.

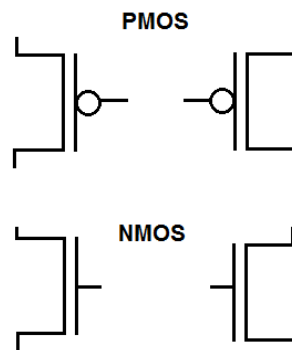
## 2.2.2 MOS

Transistores MOS inicialmente foram pouco usados devido a algumas dificuldades de construção e por terem pior desempenho que o dos transistores bipolares. Embora o conceito de CMOS (tecnologia MOS onde são utilizados transistores com canal tanto N e como P) já houvesse sido introduzido por Weimer, RCA, em 1962 e por Wanlass, Fairchild, em 1963, nos primeiros anos a tecnologia MOS é dominada pelo PMOS (MOS onde só há transistores canal P), mais robusta aos problemas com impurezas. Por volta de 1971, superados os problemas com impurezas e estados de superfície, emergem as primeiras tecnologias NMOS (MOS

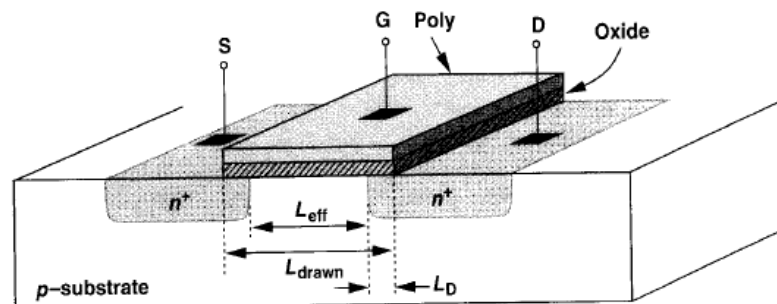
onde só há transistores canal N) que permitem maior velocidade e, ao mesmo tempo, maior nível de integração [6] .

O domínio das tecnologias NMOS se estende até o fim da década de 70. Com o aumento das densidades e velocidades dos circuitos começam a haver problemas com o consumo de potência, o que dá oportunidade às tecnologias CMOS. Esta tecnologia, não obstante apresentar mais etapas na fase de fabricação, e, portanto exigir mais máscaras e maior custo, tem algumas características importantes que a tornaram a tecnologia dominante para o projeto de circuitos integrados, tais como: tamanho reduzido, baixo consumo, alto nível de integração e facilidade de projeto. Nos últimos anos, cerca de 98% da produção de circuitos semicondutores (tanto por número de componentes como por valor) é baseada no silício, sendo que mais de 75% destes circuitos são produzidos com tecnologias CMOS [6] [8] , fato que adiciona outra vantagem à tecnologia: redução de custo devido a escala de produção.

A redução de consumo de potência se dá principalmente em circuitos digitais, por causa do funcionamento complementar de transistores NMOS e PMOS, que causará um consumo de potência significativo apenas em trocas de estados do circuito.



**Figura 4 -** Representação de transistores MOS



**Figura 5 -** Vista lateral de um transistor NMOS

Na Figura 4, está indicada a representação dos transistores NMOS e PMOS. Na Figura 5, encontra-se uma vista lateral de um transistor NMOS, indicando a posição do *gate* (G), *source* (S), *drain* (D) e *bulk* (*p-substrate*).

O transistor MOS possui três regiões de operação de acordo com a densidade de portadores presentes no canal sobre o *gate*. Esta densidade é controlada pela tensão VGS aplicada. As regiões de operação são:

- Inversão Forte: quando a concentração de portadores minoritários fica acima da concentração inicial de portadores majoritários do *bulk*. Nesta região de operação a tensão *gate-source* está acima da tensão de *threshold* ( $V_{TH}$ );
- Inversão Fraca: quando a concentração de portadores minoritários fica abaixo da concentração inicial de portadores majoritários do *bulk*. Nesta região de operação a tensão *gate-source* está próximo a tensão de *threshold* e a condução da corrente é dada principalmente por difusão;
- Inversão Moderada: região de transição entre a forte e fraca inversão, mal definida e de difícil modelagem.

Para determinar a região de operação de um dado transistor, pode-se utilizar as relações da tabela abaixo [9] :

**Tabela 1** - Região de operação de um transistor.

Condição	Região de operação
$R_{OP} < 0,1$	Fraca Inversão
$R_{OP} > 10$	Forte Inversão

$$R_{OP} = \frac{I_D}{2 \cdot n \cdot \frac{W}{L} \cdot C_{OX} \cdot \mu \cdot (V_T)^2} \quad (2)$$

$$n = 1 + \frac{\gamma}{2\sqrt{2} \cdot \phi_F + V_{SB}} \quad (3)$$

$$V_T = \frac{k \cdot q}{T} \quad (4)$$

$$\gamma \equiv \frac{\sqrt{2 \cdot q \cdot \epsilon_S \cdot N_A}}{C_{OX}} \quad (5)$$

$$\phi_F = \frac{|E_{f_i} - E_{f_x}|}{q} \quad (6)$$

Onde:

$R_{OP}$  = região de operação;

$I_D$  = corrente de *drain*;

$n$	=	fator de <i>slope</i> ;
$W$	=	comprimento do canal do transistor;
$L$	=	largura do canal do transistor;
$C_{OX}$	=	capacitância por área do óxido do <i>gate</i> ;
$\mu$	=	mobilidade do portador;
$V_T$	=	tensão térmica.
$k$	=	constante de Boltzman;
$q$	=	carga do elétron;
$T$	=	temperatura;
$\gamma$	=	coeficiente de efeito de corpo;
$E_{f_i}$	=	nível de Fermi intrínseco do silício;
$E_{f_x}$	=	nível de Fermi do silício. $E_{f_p}$ se for um transistor N e $E_{f_n}$ se for um P.
$V_{SB}$	=	tensão <i>source-bulk</i> ;
$\epsilon_s$	=	permeabilidade do silício;
$N_a$	=	concentração de dopantes.

Note que para garantir o funcionamento de um transistor em qualquer região de operação, basta controlar a densidade de corrente de *drain* que passa pelo transistor.

Para o transistor em fraca-inversão, a corrente é dada pela expressão:

$$I_{DS} = \frac{W}{L} \cdot I_m \cdot e^{\frac{V_{GS} - V_{TH}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_{DS}}{V_T}}\right) \quad (7)$$

$$V_{TH} = V_{FB} + 2 \cdot \phi_F + \gamma \cdot \sqrt{2 \cdot \phi_F + V_{SB}} \quad (8)$$

Onde:

$I_{DS}$	=	corrente <i>drain-source</i> ;
$I_m$	=	corrente característica da tecnologia;
$V_{FB}$	=	tensão de <i>flat-band</i> ;
$V_{GS}$	=	tensão <i>gate-source</i> ;
$V_{TH}$	=	tensão de <i>threshold</i> ;
$V_{DS}$	=	tensão <i>drain-source</i> .

Para o transistor em forte-inversão, a corrente é dada pela expressão:

$$I_{DS} = \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right) \cdot V_{DS}, \text{ para } V_{GD} > V_{TH} \quad (9)$$

$$I_{DS} = \frac{\mu \cdot C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2, \text{ para } V_{GD} \leq V_{TH} \text{ (Saturação)} \quad (10)$$

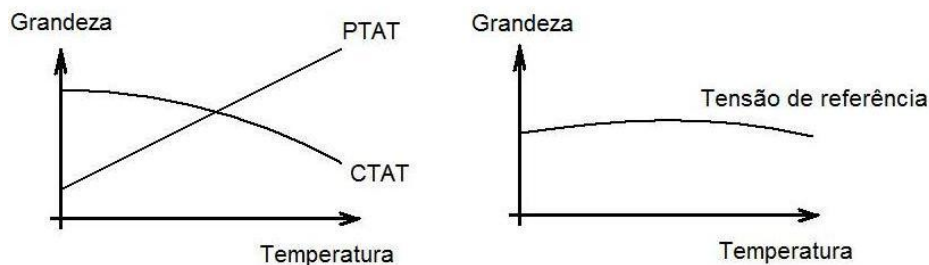
## 2.3 Fonte de referência *bandgap*

Introduzida em 1971 por Robert Widlar com o LM113, a fonte *bandgap* foi popular por vários anos, devido ao seu funcionamento com baixas tensões de alimentação.

O princípio do funcionamento circuito é simples e consiste na manipulação de duas grandezas: uma é proporcional à temperatura (PTAT, do inglês, *Proportional-To-Absolute-Temperature*) e outra, inversamente proporcional à temperatura (CTAT, do inglês, *Complementary-To-Absolute-Temperature*). Estas grandezas podem ser tensões ou correntes e para o *bandgap* a grandeza CTAT é normalmente a tensão entre base-emissor.

Fazendo-se um ajuste nas taxas de variação das grandezas com a temperatura, para que sejam opostos e de valor absoluto igual, e somando-as, procura-se obter um resultado invariante com a temperatura. Este ajuste pode ser alcançado através da multiplicação de uma das grandezas por um fator constante.

Deve-se notar, porém, que normalmente não se obtém o cancelamento exato entre as taxas de variação, pois as grandezas PTAT e CTAT não são perfeitamente lineares.



**Figura 6** – Soma das grandezas PTAT e CTAT e tensão de referência

A Figura 6 mostra uma grandeza PTAT, outra CTAT e o resultado da soma entre elas, gerando uma terceira grandeza com menor variação com a temperatura.

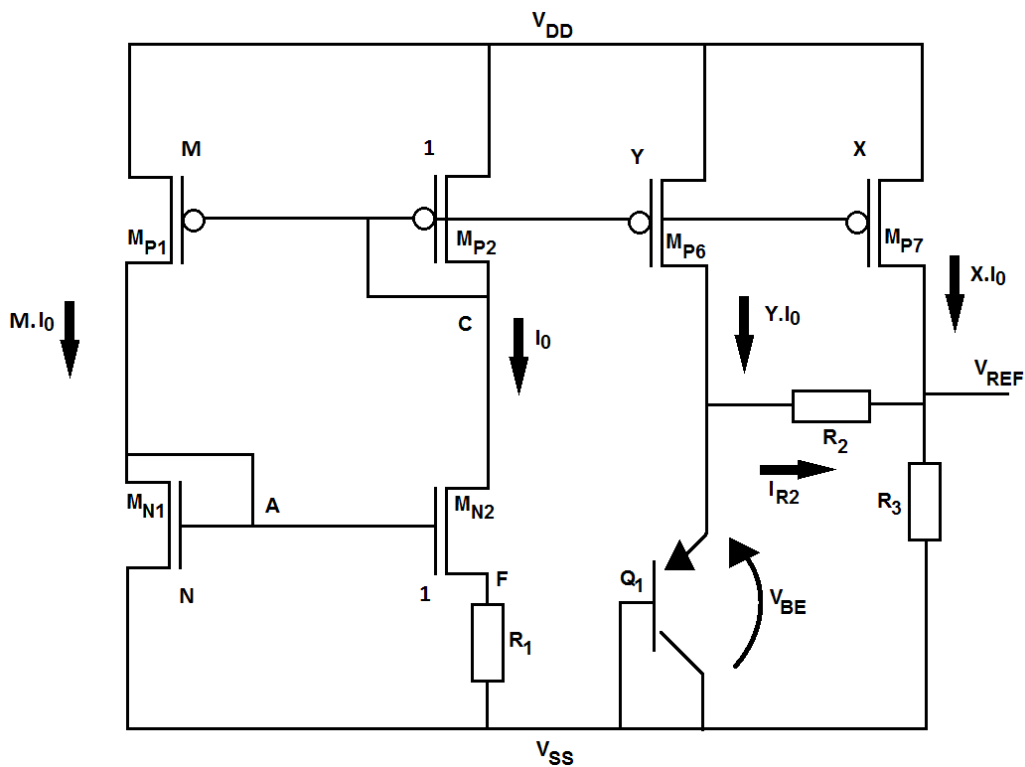
Antes de 1999 [10], as topologias das fontes de tensão de referências do tipo *bandgap* utilizavam: a tensão base-emissor de um transistor bipolar como tensão CTAT; a tensão gerada por um circuito, envolvendo a diferença entre  $V_{BE}$ 's de dois transistores bipolares ou a diferença entre  $V_{GS}$ 's de dois transistores MOS em fraca-inversão, como a tensão PTAT. Estas fontes apresentavam tensão de saída próxima a 1,205 V, diferença de potencial da banda proibida do silício em 0 K (*bandgap*), quando

ajustadas para minimizar a dependência de fatores externos. Esta é a razão pela qual o circuito recebe o nome de *bandgap*.

Trabalhar com tensão de saída próxima a 1,205 V exige o uso de fontes de alimentação de valor superior a 1,205 V. Pretende-se utilizar neste trabalho topologias alternativas para contornar esse problema e obter uma fonte de tensão de referência sub 1 V.

## 2.4 Topologia

A fonte de referência escolhida foi do tipo *bandgap*, no entanto, existem diferentes topologias para este tipo de circuito.



**Figura 7** - Topologia de uma fonte de referência *Bandgap*

A topologia escolhida é exemplificada pelo circuito da Figura 7. Neste circuito os transistores  $M_{P1}$ ,  $M_{P2}$ ,  $M_{N1}$ ,  $M_{N2}$  e o resistor  $R_1$  compõem o bloco PTAT; os transistores  $Q_1$  e  $M_{P6}$  compõem o bloco CTAT; e os resistores  $R_2$  e  $R_3$  compõem o bloco de controle da saída.

O bloco PTAT possui um espelho de corrente formado pelos transistores  $M_{P1}$  e  $M_{P2}$  e quando combinado com os transistores  $M_{N1}$  e  $M_{N2}$ , que devem operar em fraca-inversão, geram uma corrente proporcional à temperatura. O resistor  $R_1$  determina o valor da corrente que passará pelo transistor  $M_{P2}$ .

O bloco CTAT possui o transistor  $M_{P6}$  que fará a polarização do transistor bipolar  $Q_1$  e este último apresentará  $V_{BE}$  que é a tensão CTAT.

O bloco de controle da saída possui o resistor  $R_2$  que faz a conversão da tensão  $V_{BE}$  em corrente CTAT e o transistor  $M_{P7}$  que replica a corrente PTAT. As duas correntes serão somadas e convertidas na tensão de saída pelo resistor  $R_3$ . O valor de  $R_2$  ajusta o peso da corrente CTAT com a finalidade de atingir a menor dependência com a temperatura. O valor de  $R_3$  ajusta o valor de tensão de saída.

Será apresentado o equacionamento deste circuito para determinar a influência de parâmetros, como dimensões dos transistores e valor dos resistores, na tensão de saída da fonte.

## 2.5 Equacionamento

Serão realizados três equacionamentos para determinar:

- a corrente que passa pelos transistores do bloco PTAT;
- as dimensões necessárias para manter alguns transistores em fraca-inversão;
- os valores de resistência necessários para obter uma menor variação da tensão com a temperatura;
- o valor da tensão de saída.

### 2.5.1 Corrente $I_0$ (Figura 7)

Deseja-se saber a expressão que fornece o valor da corrente  $i_0$  passando pelo transistor  $M_{P2}$  e  $M_{N2}$ .

Por causa do espelho de corrente entre  $M_{P1}$  e  $M_{P2}$  e da relação de  $W/L$  destes transistores ser de  $1:M$  temos que a corrente que passa por  $M_{P1}$  e  $M_{N1}$  é  $M \cdot I_0$ .

Os transistores  $M_{N1}$  e  $M_{N2}$  devem operar em fraca-inversão para o correto funcionamento do circuito.

Dados as duas informações acima e utilizando a equação da corrente em fraca-inversão (3), temos:

$$M \cdot I_0 = \left(\frac{W}{L}\right)_{N1} \cdot I_M \cdot e^{\frac{V_A - V_{TH}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_A}{V_T}}\right)$$

$$I_0 = \left(\frac{W}{L}\right)_{N2} \cdot I_M \cdot e^{\frac{V_{AF} - V_{TH}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_F}{V_T}}\right)$$

Considerando  $V_A \gg V_T$  e  $V_F \gg V_T$ , o que deve ser garantido, se realiza a divisão entre as equações acima se obtém:

$$M = N \cdot e^{\left(\frac{V_F}{n \cdot V_T}\right)}$$

Usando que  $I_0 = \frac{V_F}{R_1}$  teremos,

$$R_1 = \frac{V_T \cdot n}{I_0} \cdot \ln\left(\frac{M}{N}\right) \quad (11)$$

Ou,

$$I_0 = \frac{V_T \cdot n}{R_1} \cdot \ln\left(\frac{M}{N}\right) \quad (12)$$

Está equação expressa a corrente em função de  $R_1$  e das dimensões  $M$  e  $N$ .

### 2.5.2 Fraca-inversão

Os transistores  $M_{N1}$  e  $M_{N2}$  devem operar em fraca inversão como já dissemos antes. Para garantir a fraca-inversão nestes transistores utilizou-se a equação (2) e a Tabela 1, obtendo as expressões abaixo:

$$0,1 > \frac{M \cdot I_0}{2 \cdot \left(\frac{W}{L}\right)_{N1} \cdot \mu_n \cdot C_{OX} \cdot n \cdot (V_T)^2}, \quad 0,1 > \frac{I_0}{2 \cdot \left(\frac{W}{L}\right)_{N2} \cdot \mu_n \cdot C_{OX} \cdot n \cdot (V_T)^2}$$

Isolando  $\left(\frac{W}{L}\right)$  para os dois casos:

$$\left(\frac{W}{L}\right)_{N1} > \frac{5 \cdot M \cdot I_0}{\mu_n \cdot C_{OX} \cdot n \cdot V_T^2}, \quad \left(\frac{W}{L}\right)_{N2} > \frac{5 \cdot I_0}{\mu_n \cdot C_{OX} \cdot n \cdot V_T^2}$$

Como  $n$  varia entre 1 e 2, no pior caso teremos que  $n = 1$  e então:

$$\left(\frac{W}{L}\right)_{N1} > \frac{5 \cdot M \cdot I_0}{\mu_n \cdot C_{OX} \cdot V_T^2}, \quad \left(\frac{W}{L}\right)_{N2} > \frac{5 \cdot I_0}{\mu_n \cdot C_{OX} \cdot V_T^2} \quad (13)$$

### 2.5.3 Variação da tensão com a temperatura

O nó " $V_{REF}$ " (Figura 7) é a saída do circuito e sua tensão é dada por:

$$V_{REF}(T) = R_3 \cdot (X \cdot I_0 + I_{R2})$$

Onde  $I_{R2}$  é a corrente que passa por  $R_2$  dado por:

$$I_{R2} = \frac{V_{BE}(T) - V_{REF}(T)}{R_2}$$

Isolando  $V_{REF}(T)$ , temos:

$$V_{REF}(T) = \frac{R_3}{R_2 + R_3} \cdot (R_2 \cdot X \cdot I_0 + V_{BE}(T)) \quad (14)$$

Substituindo o  $V_{BE}(T)$  pela equação (1) e  $I_0$  pela equação (12), temos:

$$V_{REF}(T) = \frac{R_3}{R_2 + R_3} \cdot \left[ V_{GO}(T) + \frac{T}{T_R} \cdot (-V_{GO}(T_R) + V_{BE}(T_R)) \right. \\ \left. + \frac{k \cdot T}{q} \cdot \left[ (4 - \eta) \cdot \ln\left(\frac{T_R}{T}\right) + \ln\left(\frac{I_C(T)}{I_C(T_R)}\right) \right] + \frac{X \cdot R_2}{R_1} \cdot V_T \cdot n \cdot \ln\left(\frac{M}{N}\right) \right] \quad (15)$$

A expressão para a tensão de referência está então dada acima.

Deseja-se minimizar o efeito da temperatura sobre a tensão de saída. Para isso, derivamos a expressão da tensão de referência em relação à temperatura (T) e forçamos a derivada a zero numa temperatura de referência.

Realizando a derivada da expressão de  $V_{REF}$  chegamos a:

$$\frac{d}{dT}(V_{REF}(T)) = \frac{R_3}{R_2 + R_3} \cdot \left[ \frac{-V_{GO}(T_R) + V_{BE}(T_R)}{T_R} - \frac{(4 - \eta) \cdot k}{q} \cdot \ln\left(\frac{T_R}{T}\right) - \frac{(4 - \eta) \cdot k}{q} \right. \\ \left. + \ln\left(\frac{I_C(T)}{I_C(T_R)}\right) \cdot \frac{k}{q} + \frac{k \cdot T}{q} \cdot \frac{d}{dT} \left( \ln\left(\frac{I_C(T)}{I_C(T_R)}\right) \right) + \frac{X \cdot R_2}{R_1} \cdot \ln\left(\frac{M}{N}\right) \cdot \frac{k \cdot n}{q} \right]$$

Impondo a derivada a zero em  $T=T_R$ , resulta:

$$V_{GO}(T_R) - V_{BE}(T_R) + (4 - \eta) \cdot \frac{k \cdot T_R}{q} = \frac{X \cdot R_2}{R_1} \ln\left(\frac{M}{N}\right) \cdot \frac{k \cdot T_R \cdot n}{q} \quad (16)$$

Como o termo  $V_{GO}(T_R)$  e  $V_{BE}(T_R)$  são da ordem de 1,2 V e 0,5 V, respectivamente, e o termo  $(4 - \eta) \cdot \frac{k \cdot T_R}{q}$  é aproximadamente 50 mV, podemos desprezar este último. Esta simplificação nos leva à expressão abaixo:

$$V_{GO}(T_R) = V_{BE}(T_R) + \frac{X \cdot R_2}{R_1} \ln\left(\frac{M}{N}\right) \cdot \frac{k \cdot T_R \cdot n}{q} \quad (17)$$

Utilizando a equação (17) obtemos  $R_2$  que zera a derivada:

$$R_2 = \frac{[V_{GO}(T_R) - V_{BE}(T_R)] \cdot R_1 \cdot q}{X \cdot k \cdot T_R \cdot n \cdot \ln\left(\frac{M}{N}\right)} \quad (18)$$

## 2.5.4 Tensão de saída

Utilizando a equação (14) e substituindo o termo  $I_0$  pela equação (12), chega-se a expressão:

$$V_{REF}(T) = \frac{R_3}{R_2 + R_3} \cdot \left( \frac{R_2 \cdot X}{R_1} \cdot n \cdot V_T \cdot \ln \left( \frac{M}{N} \right) + V_{BE}(T) \right) \quad (19)$$

Utilizando a equação (16) podemos escrever o valor da tensão de saída na temperatura  $T_R$ :

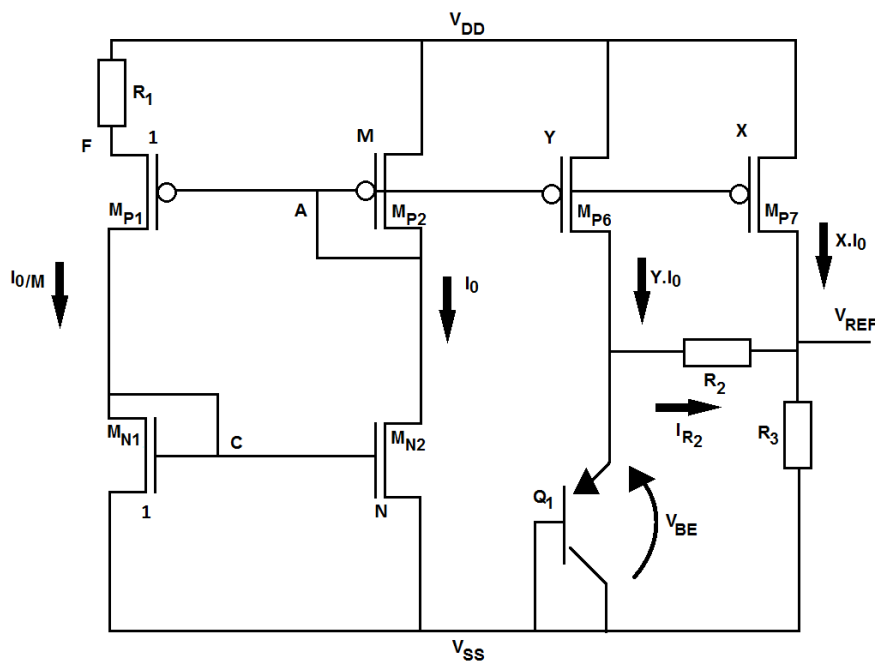
$$V_{REF}(T_R) = \frac{R_3}{R_2 + R_3} \left( V_{GO}(T_R) + \left( \frac{k \cdot T_R}{q} \right) \cdot (4 - \eta) \right) \quad (20)$$

O valor de  $R_3$  que garante a tensão de referencia desejada será:

$$R_3 = \frac{R_2 \cdot V_{REF}(T_R)}{V_{GO}(T_R) - V_{REF}(T_R)} \quad (21)$$

## 2.6 Bandgap utilizando espelho de corrente nos transistores NMOS

Outro exemplo da topologia escolhida está apresentado na Figura 8. Neste circuito os transistores PMOS estão operando em fraca-inversão e o espelho de corrente é formado pelos transistores NMOS. Todas as deduções apresentadas para o circuito anterior (Figura 7) podem ser repetidas de forma análoga para este circuito.



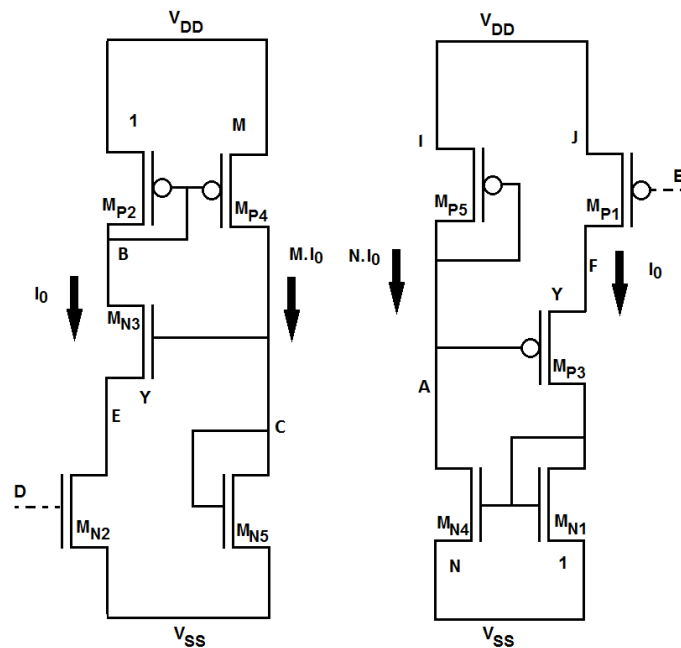
**Figura 8** - Topologia de fonte de tensão *Bandgap* com espelho de corrente nos transistores NMOS

Das equações obtidas para o circuito da Figura 7, somente a equação para garantir a fraca-inversão será diferente. Agora se impõem restrições para os transistores PMOS, que são:

$$\left(\frac{W}{L}\right)_{P2} > \frac{5 \cdot M \cdot I_0}{\mu_p \cdot C_{OX} \cdot V_T^2}, \quad \left(\frac{W}{L}\right)_{P1} > \frac{5 \cdot I_0}{\mu_p \cdot C_{OX} \cdot V_T^2} \quad (22)$$

## 2.7 Circuito de polarização

Este circuito auxiliar serve para garantir a polarização de transistores, a fim de que eles funcionem como se deseja.



**Figura 9** - Circuitos de polarização: o circuito da direita realiza a polarização de M<sub>n3</sub> e o da esquerda, a polarização de M<sub>p3</sub>

Um exemplo de circuito de polarização está indicado na figura acima, em que os pares de transistores M<sub>P4</sub>-M<sub>N5</sub> e M<sub>N4</sub>-M<sub>P5</sub> fazem a polarização dos transistores *Cascode* M<sub>N3</sub> e M<sub>P3</sub>, respectivamente. O objetivo da polarização neste circuito é garantir que V<sub>DS</sub> dos transistores M<sub>N2</sub> e M<sub>P1</sub> tenham um valor conveniente: no caso do transistor em fraca-inversão deseja-se que o módulo de V<sub>DS</sub> seja maior que V<sub>THN</sub>; no caso do transistor em forte-inversão deseja-se que V<sub>GD</sub> < V<sub>THN</sub>, para transistores NMOS, ou V<sub>GD</sub> > V<sub>THP</sub>, para transistores PMOS.

Para o circuito da esquerda, em que ocorre a polarização de M<sub>N3</sub>, considerando que os transistores M<sub>N2</sub> e M<sub>N3</sub> estão em fraca-inversão, com V<sub>DS</sub> >> V<sub>T</sub>, e que o transistor M<sub>N5</sub> está em forte-inversão, pode-se obter, a partir de (10) e (7), as equações:

$$V_C = \sqrt{\frac{2 \cdot M \cdot I_0}{\mu_n \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{N5}}} + V_{THN} \quad (17)$$

$$V_{CE} = n \cdot V_T \cdot \ln\left(\frac{I_0}{I_m \cdot \left(\frac{W}{L}\right)_{N3}}\right) + V_{THN} \quad (18)$$

$$V_D = n \cdot V_T \cdot \ln\left(\frac{I_0}{I_m \cdot \left(\frac{W}{L}\right)_{N2}}\right) + V_{THN} \quad (19)$$

Para garantir o estado de polarização no transistor  $M_{N2}$ ,  $V_E \gg V_T$ , feitas as devidas substituições na inequação acima, obtemos:

$$\sqrt{\frac{2 \cdot M \cdot I_0}{\mu_n \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{N5}}} \gg V_T \cdot \ln\left(\frac{I_0}{I_m \cdot \left(\frac{W}{L}\right)_{N2}}\right) + V_T \quad (20)$$

Usando que o primeiro termo do lado direito da inequação é igual à  $V_D - V_{THN}$ , chegamos a:

$$\left(\frac{W}{L}\right)_{N5} \ll \left(\frac{2 \cdot M \cdot I_0}{\mu_n \cdot C_{OX} \cdot (V_D - V_{THN})^2 + V_T^2}\right) \quad (21)$$

Para o circuito da direita, em que ocorre a polarização de  $M_{P3}$ , considerando que os transistores  $M_{P1}$  e  $M_{P3}$  estão em fraca-inversão, com  $V_{DS} \gg V_T$ , e que o transistor  $M_{P5}$  está em forte-inversão, pode-se obter, a partir de (10) e (7), as equações:

$$V_{DD} - V_A = \sqrt{\frac{2 \cdot N \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P5}}} - V_{THP}$$

$$V_{FA} = \sqrt{\frac{2 \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P3}}} - V_{THP}$$

$$V_{DD} - V_B = \sqrt{\frac{2 \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P1}}} - V_{THP}$$

Para garantir o estado de polarização no transistor  $M_{N2}$ ,  $V_{BF} > V_{THP}$ , feitas as devidas substituições na inequação acima, obtemos:

$$\sqrt{\frac{2 \cdot N \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P5}}} > \sqrt{\frac{2 \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P3}}} - \sqrt{\frac{2 \cdot I_0}{\mu_p \cdot C_{OX} \cdot \left(\frac{W}{L}\right)_{P1}}}$$

$$\frac{N}{\left(\frac{W}{L}\right)_{P5}} > \left( \sqrt{\frac{1}{\left(\frac{W}{L}\right)_{P3}}} - \sqrt{\frac{1}{\left(\frac{W}{L}\right)_{P1}}} \right)^2$$

Conclui-se a fundamentação teórica necessária para compreensão da topologia e dos dimensionamentos realizados no próximo capítulo.

### 3 Implementação e método

---

Para se realizar a implementação, os seguintes passos serão efetuados:

- escolher valores para alguns parâmetros na topologia implementada, uma vez que existem mais parâmetros que equações;
- determinar o tipo de circuito que será implementado dentro da topologia;
- determinar o valor de outros parâmetros a partir das equações e dos valores escolhidos anteriormente;
- realizar simulações para ajustar os valores dos parâmetros, já que as equações utilizadas anteriormente são aproximações do real funcionamento do circuito;
- realizar o *layout*.

#### 3.1 Escolha de parâmetros

Para auxiliar na determinação do tipo de topologia, bem como na obtenção dos valores de outros parâmetros, algumas escolhas de valores devem ser efetuadas. Estas escolhas se baseiam em alguns fatores, como:

- potência que se deseja que o circuito consuma;
- tensão de saída desejada;
- dimensões máximas permitidas.

Foram escolhidos de acordo com estes fatores os valores apresentados na tabela abaixo (Figura 7 ou Figura 8):

**Tabela 2** - Valores de parâmetros escolhidos

Parâmetro	Valor
Faixa de operação da temperatura	de -10 °C à 90 °C
Faixa de operação do $V_{DD}$	De 1 V à 1,5 V
$V_{REF}$	0,5 V
$T_R$	300 K
N	1
$I_0$	0,5 uA
M	2
n	1
Y	1,5
X	2

Alguns valores de parâmetros são característicos da tecnologia utilizada e são mostrados na Tabela 3:

**Tabela 3** - Valores pré-definidos ou dados pela tecnologia

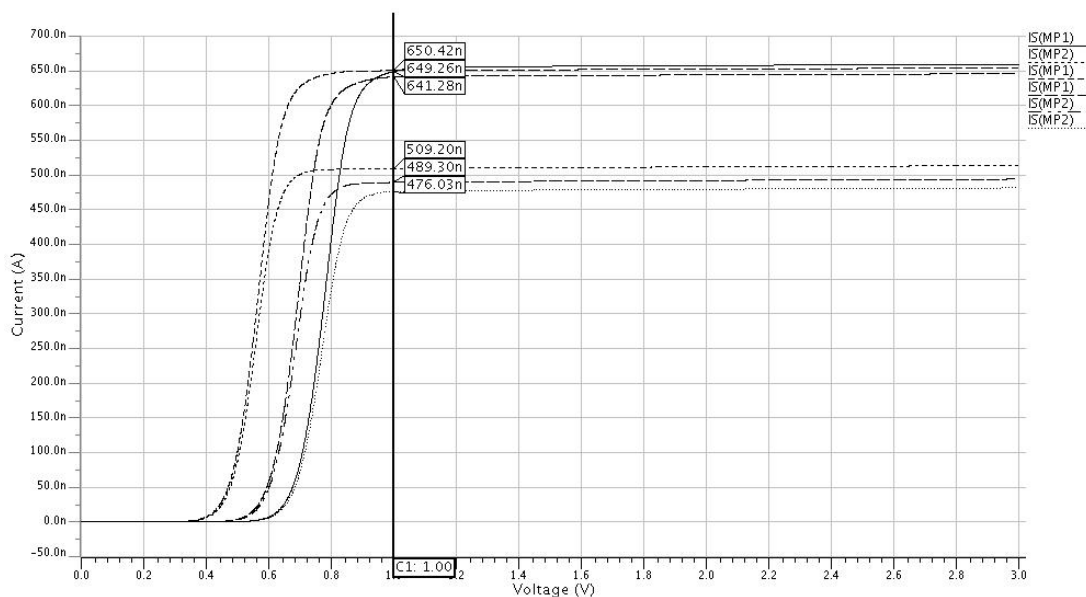
Parâmetro	Valor
$\mu_p$ (típico)	148 cm <sup>2</sup> /Vs
$\mu_n$ (típico)	47,6 cm <sup>2</sup> /Vs
C <sub>OX</sub> (típico)	4,62 fF/μm <sup>2</sup>
V <sub>GO</sub> (T <sub>R</sub> )	1,2 V

### 3.2 Topologia implementada

Deve-se optar entre os dois tipos de circuito apresentados no capítulo anterior:

- circuito com espelho de corrente nos transistores PMOS e fraca inversão nos NMOS (referido como circuito tipo A);
- ou, circuito com espelho de corrente nos transistores NMOS e fraca inversão nos PMOS (referido como circuito tipo B).

Optou-se pelo circuito tipo B devido às simulações apresentadas abaixo.



**Figura 10** – Correntes de saída pela tensão de alimentação dos circuitos iguais ao bloco PTAT tipo A (“IS(MP2)”) e tipo B (“IS(MP1)”) para os três modelos

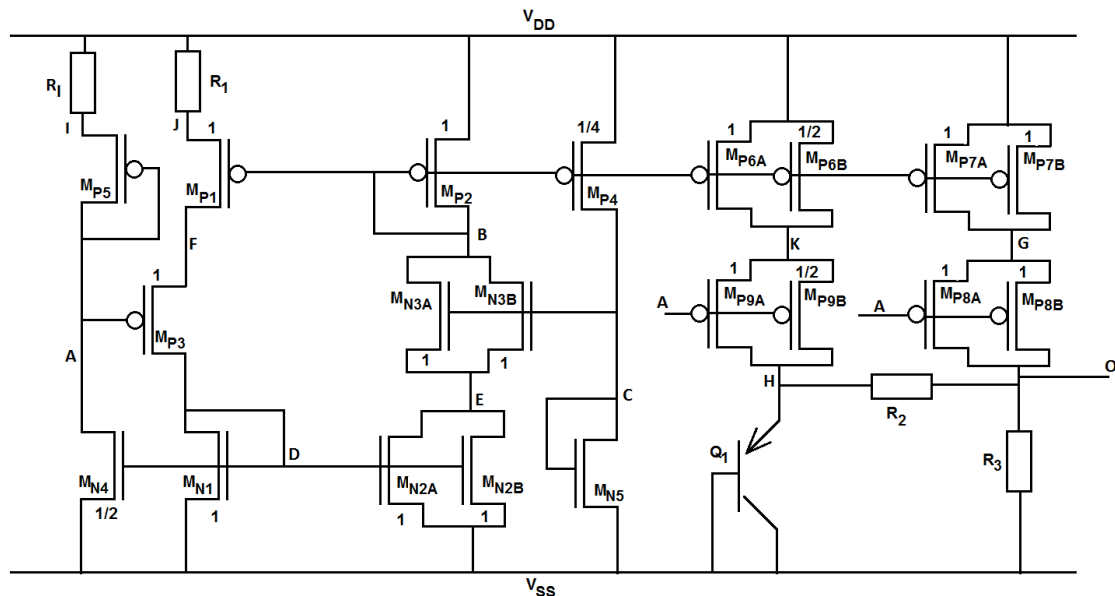
Nestas simulações foram utilizados dois circuitos que geram uma corrente PTAT, um deles igual ao bloco PTAT do circuito tipo A e outro igual ao bloco PTAT do circuito B. Foram feitas simulações da corrente de saída pela tensão de alimentação

utilizando três modelos de transistores (típico, *worst-speed* e *worst-power*) para cada um dos circuitos.

O gráfico da Figura 10 mostra o conjunto de correntes “IS(MP2)” pertencente ao circuito do tipo A e o conjunto de correntes “IS(MP1)” pertencente ao circuito do tipo B. O resultado indica que a variação da corrente PTAT para os modelos típicos, *worst-speed* e *worst-power*, para o circuito do tipo A é maior que para o tipo B. Isto pode ser explicado pela equação (12), em que o único parâmetros do transistor que influencia na corrente é o  $n$ , e pela equação (3), em que o  $n$  depende de várias características do transistor, fazendo com que seja diferente entre PMOS e NMOS.

A consequência de correntes com menor variação são circuitos com tensões de saída menos dependentes do processo de fabricação.

O circuito do tipo B implementado está indicado abaixo:



**Figura 11** – Circuito de *bandgap* do tipo B implementado

Algumas mudanças foram feitas em relação ao circuito apresentado na Figura 8:

- uma mudança que se nota é que, ao invés de se utilizar transistores de comprimento dobrado ( $2.W$ ) respeitando as relações  $W/L$ , utilizaram-se dois transistores de comprimento  $W$  em paralelo ( $M_{N3A}$  e  $M_{N3B}$  ou  $M_{P7A}$  e  $M_{P7B}$ ). Esta prática faz com que melhore o casamento entre transistores, pois durante o processo de fabricação alterações nos parâmetros serão iguais em transistores de tamanhos iguais e desta forma se mantém relação  $W/L$  esperada;

- outra mudança foi a adição de transistores *Cascode* ( $M_{P3}$ ,  $M_{N3A}$ - $M_{N3B}$ ,  $M_{P9A}$ - $M_{P9B}$  e  $M_{P8A}$ - $M_{P8B}$ ). Estes transistores fazem com que se diminua a influência da tensão de alimentação sobre a corrente que passa pelo circuito;
- a última mudança, necessária com a adição dos transistores *Cascode*, foi a inclusão dos circuitos de polarização. Percebe-se que no circuito de polarização do transistor  $M_{P3}$  foi adicionado um resistor de valor  $R_1$  de resistência igual ao valor de  $R_1$ . Este resistor tem a finalidade de reduzir a diferença entre  $V_I$  e  $V_J$  (Figura 11), fazendo com que o  $L$  do transistor não fique tão grande.

Na Tabela estão apresentadas algumas restrições aplicadas para que o circuito funcione corretamente (Figura 11):

**Tabela 4 – Restrições aplicadas nos parâmetros escolhidos**

<b>Restrição</b>	<b>Função</b>
Transistores $M_{N1}$ , $M_{N2A}$ e $M_{N2B}$ com dimensões iguais ou múltiplas inteiras.	Melhorar casamento
Transistores $M_{P1}$ , $M_{P2}$ , $M_{P6A}$ , $M_{P6B}$ , $M_{P7A}$ e $M_{P7B}$ com dimensões iguais ou múltiplas inteiras	Melhorar casamento
Transistores $M_{P1}$ e $M_{P3}$ com dimensões iguais	Facilitar o desenho do <i>layout</i>
Transistores $M_{N2A}$ e $M_{N2B}$ , $M_{N3A}$ e $M_{N3B}$ com dimensões iguais	Facilitar o desenho do <i>layout</i>
Transistores $M_{P3}$ , $M_{P9A}$ , $M_{P9B}$ , $M_{P8A}$ , $M_{P8B}$ com dimensões iguais ou múltiplas inteiras.	Melhorar casamento e facilitar o desenho do <i>layout</i>
Transistores $M_{N3A}$ e $M_{N3B}$ com dimensões iguais a $M_{N2A}$ ou $M_{N2B}$	Facilitar o desenho do <i>layout</i>
Transistor $M_{N4}$ possui relação $W/L$ igual a $\frac{1}{2}$ da relação $W/L$ de $M_{N1}$	Fazer com que o circuito de polarização consuma uma pequena potência em relação ao circuito completo
Transistor $M_{P4}$ possui relação $W/L$ igual a $\frac{1}{4}$ da relação $W/L$ de $M_{P2}$	Fazer com que o circuito de polarização consuma uma pequena potência em relação ao circuito completo

### 3.1 Dimensionamento teórico

Utilizando as equações (11), (18), (21), (13) e (22) obtemos os valores apresentados pela tabela abaixo (“ $V_{BE}(T_R)$ ” aproximado para 0,7 V):

**Tabela 5** - Valores calculados através de equações

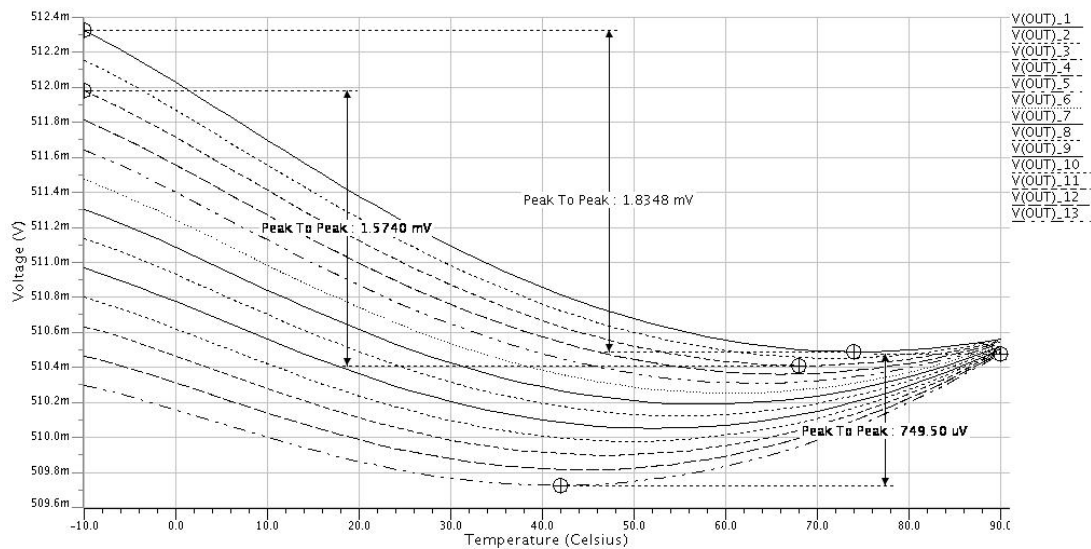
Parâmetro	Valor
$R_1$	34,65 K $\Omega$
$R_2$	500 K $\Omega$
$R_3$	357,14 K $\Omega$
$\left(\frac{W}{L}\right)_{P2}$ (Figura 8)	> 117

Deve-se lembrar que esses resultados são teóricos e que, portanto, servem somente de guia para o dimensionamento.

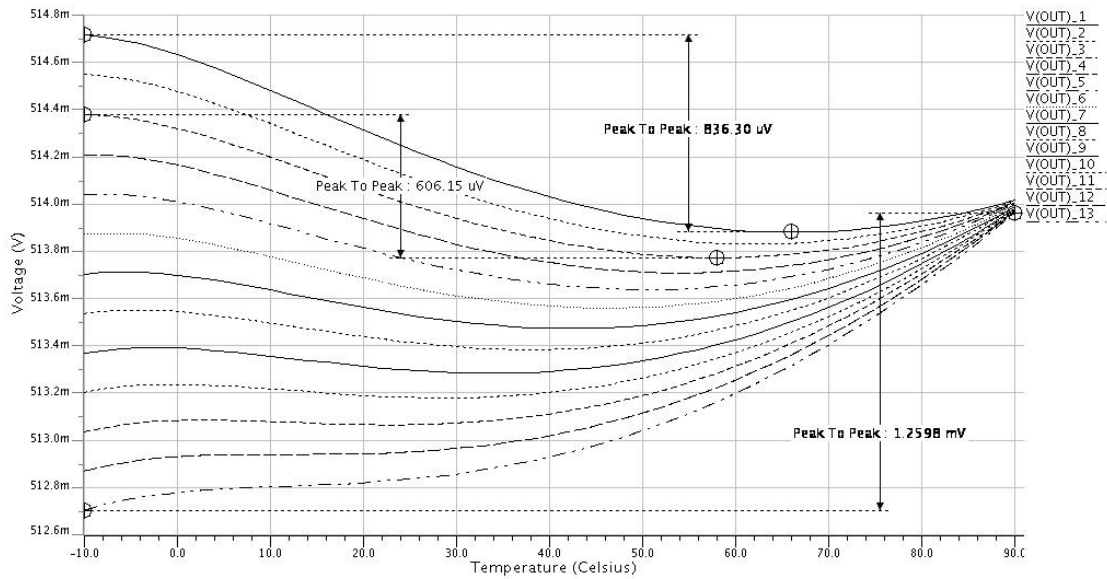
### 3.2 Dimensionamento real

Para ajustes finais dos parâmetros realizaram-se várias simulações na ferramenta ELDO. Nestas simulações variaram-se os parâmetros a fim de encontrar os valores que minimizam a dependência da tensão de saída com a temperatura.

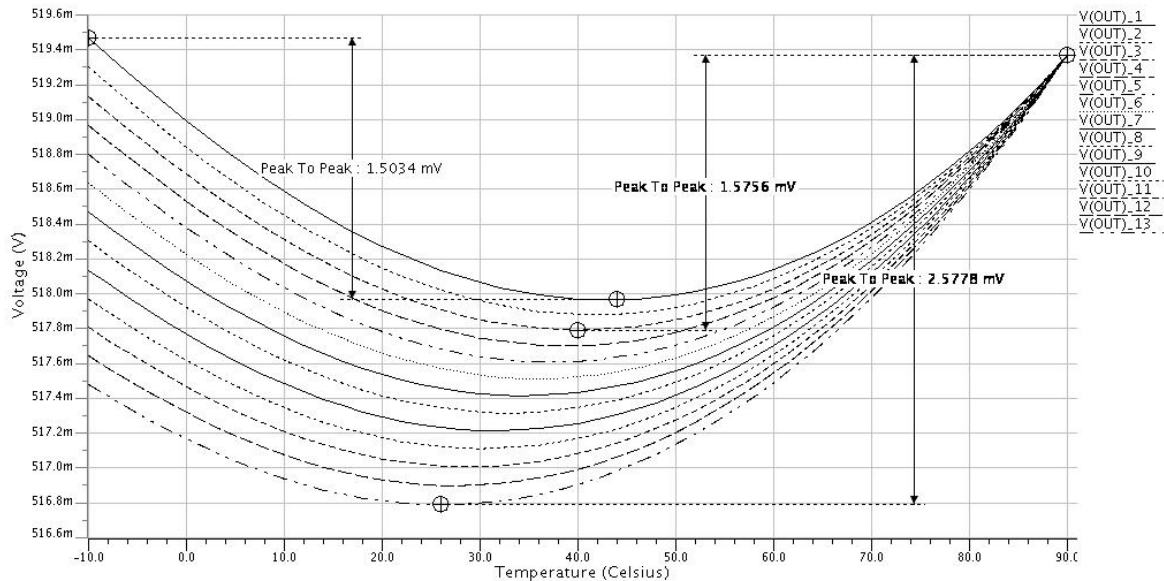
Mostrar-se-á as simulações realizadas para escolha do resistor  $R_2$  e para exemplificar o método utilizado.



**Figura 12-** Gráfico da tensão de saída com a temperatura para o modelo típico, o resistor  $R_2$  variando de 220 K $\Omega$  (“V(OUT)\_1”) a 226 K $\Omega$  (“V(OUT)\_13”) com incrementos de 0,5 K $\Omega$  e a tensão de alimentação de 1,1 V



**Figura 13** - Gráfico da tensão de saída com a temperatura para o modelo *worst-speed*, o resistor  $R_2$  variando de 220 K $\Omega$  ("V(OUT)\_1") a 226 K $\Omega$  ("V(OUT)\_13") com incrementos de 0,5 K $\Omega$  e a tensão de alimentação de 1,1 V

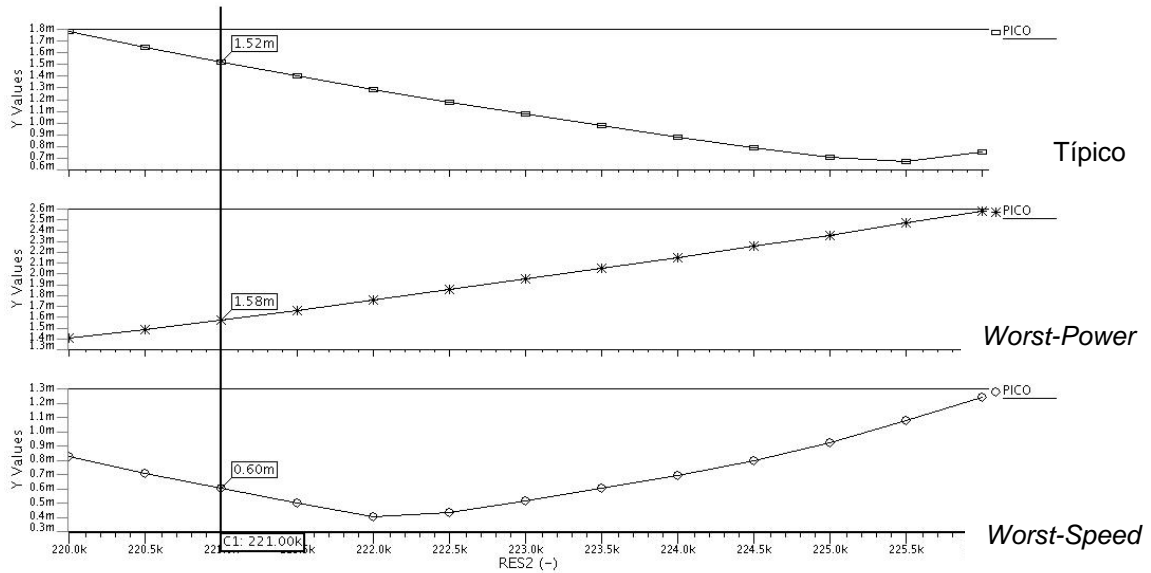


**Figura 14** - Gráfico da tensão de saída com a temperatura para o modelo *worst-power*, o resistor  $R_2$  variando de 220 K $\Omega$  ("V(OUT)\_1") a 226 K $\Omega$  ("V(OUT)\_13") com incrementos de 0,5 K $\Omega$  e a tensão de alimentação de 1,1 V

Obs: O incremento da temperatura utilizada em todas as simulações foi de 2 °C.

Foram feitas simulações da tensão de saída em função da temperatura, com a resistência  $R_2$  variando de 220 K $\Omega$  ("V(OUT)\_1") à 226 K $\Omega$  ("V(OUT)\_13"), incrementos de 0,5 K $\Omega$ , e alimentação de 1.1V. A Figura 12 apresenta o resultado para o modelo típico, a Figura 13 para o modelo *worst-speed* e a Figura 14 para o modelo *worst-power*.

A Figura 15 resume os resultados das três figuras anteriores e apresenta a variação da tensão de saída entre -10 °C a 90 °C para cada valor de  $R_2$ , usando os três modelos de transistores.



**Figura 15** – Variação da tensão de saída com o valor do resistor  $R_2$  para três modelos de transistores

Através do gráfico acima se procurou minimizar nos três modelos a variação da tensão de saída chegando-se a um valor de 221 K $\Omega$  para  $R_2$ .

Feitas as simulações para outros parâmetros, seguindo a mesma metodologia, estabeleceram-se os seguintes valores finais para o circuito:

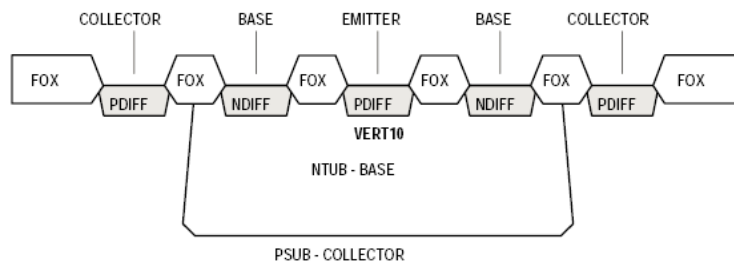
**Tabela 4** - Dimensão dos transistores

Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	W/L
$M_{N1}/ M_{N2A}/ M_{N2B}/ M_{N3A}/ M_{N3B}$	50	4	12,5
$M_{N4}$	25	2	12,5
$M_{N5}$	12,5	40	0, 313
$M_{P1}/ M_{P2}/M_{P3}$	200	2	100
$M_{P4}$	50	2	25
$M_{P5}$	50	30	1,67
$M_{P6A}$	200	2	100
$M_{P6B}$	100	2	50
$M_{P7A}/ M_{P7B}/ M_{P8A}/ M_{P8B}/ M_{P9A}$	200	2	100
$M_{P9B}$	100	2	50

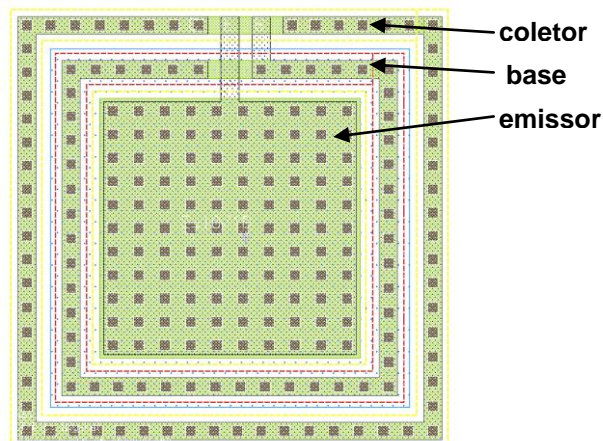
**Tabela 5** - Dimensão dos resistores

Resistor	Dimensão (K $\Omega$ )
R <sub>1</sub>	35,8
R <sub>1</sub>	35,8
R <sub>2</sub>	221
R <sub>3</sub>	198

O transistor bipolar utilizado é do tipo PNP vertical parasita e está apresentado na Figura 16.



**Figura 16** - Vista em corte do transistor bipolar PNP vertical parasita disponível na AMS



**Figura 17** - Layout do transistor PNP parasita disponível na AMS

A Figura 17 apresenta a célula de biblioteca disponibilizada pela AMS para o transistor bipolar vertical. Foi utilizada a célula de biblioteca do transistor bipolar, pois a tecnologia CMOS 0,35  $\mu\text{m}$  da AMS foi criada para desenvolvimento de apenas transistores CMOS.

### 3.3 Layout

O *layout* consiste em um desenho que mostra a disposição e forma que os dispositivos (transistores e resistores) estarão no circuito por meio da especificação do formato das diversas máscaras que são utilizadas no processo de fabricação.

Para a correta criação do *layout* há a necessidade de seguir diversas regras estabelecidas pela AMS. Além das regras é recomendado seguir várias práticas para que o *layout* seja bem construído. Algumas destas práticas para nosso circuito são:

- manter os transistores  $M_{P1}$ ,  $M_{P2}$ ,  $M_{P7A}$ ,  $M_{P7B}$ ,  $M_{P6A}$  e  $M_{P6B}$  o mais próximo possível, pois o bom casamento entre eles implicará numa boa réplica de corrente;
- fazer com que o *layout* dos resistores seja semelhante, para que, mesmo com alterações no processo de fabricação, a relação entre eles fique inalterada. Para isso adicionou-se estruturas *dummies* ao redor de todos os resistores e utilizou-se a mesma largura para eles;
- fazer todas as linhas de conexão largas, especialmente linhas de  $V_{DD}$  e  $V_{SS}$ , pois nosso circuito opera em DC e essas linhas criam capacitâncias parasitas que o estabilizam;
- utilizar mais de um contato ou via a fim de melhorar a condução e aumentar a confiabilidade do circuito ;
- evitar o efeito *latch-up*, que é o acionamento de transistores bipolares parasitas existentes no circuito, colocando-se muitos contatos de poço e *bulk* próximos aos transistores;
- aproximar os elementos do circuito para minimizar a área bem como manter próximos os elementos que possuem conexões para facilitar o *roteamento*;
- utilizar estruturas de “dedos” para minimizar a área ocupada e melhorar o casamento entre transistores. Transistores grandes, como os de 200  $\mu\text{m}$ , podem ser casados com transistores menores, como os de 100  $\mu\text{m}$ , quando os primeiros são divididos ao meio;
- construir resistores com silício policristalino (RPOLYH), pois é o material que possui maior resistência de folha ( $1,2 \text{ K}\Omega/\square$ ) e menor coeficiente de temperatura ( $-0,4 \cdot 10^3 \text{ K}^{-1}$ ).

### 3.3.1 Layout final

O *layout* final está na Figura 19. Suas dimensões são 352  $\mu\text{m}$  de comprimento por 197  $\mu\text{m}$  de largura, resultando numa área de 0,069  $\text{mm}^2$ . Caso seja levada em conta apenas a área efetiva, isto é, sem as linhas de  $V_{DD}$  e  $V_{SS}$  que estão colocadas em volta do circuito, teremos 330  $\mu\text{m}$  de comprimento por 128  $\mu\text{m}$  de largura, resultando numa área efetiva de 0,042  $\text{mm}^2$ .

A Figura 18 foi colocada para facilitar o entendimento do *layout* final.

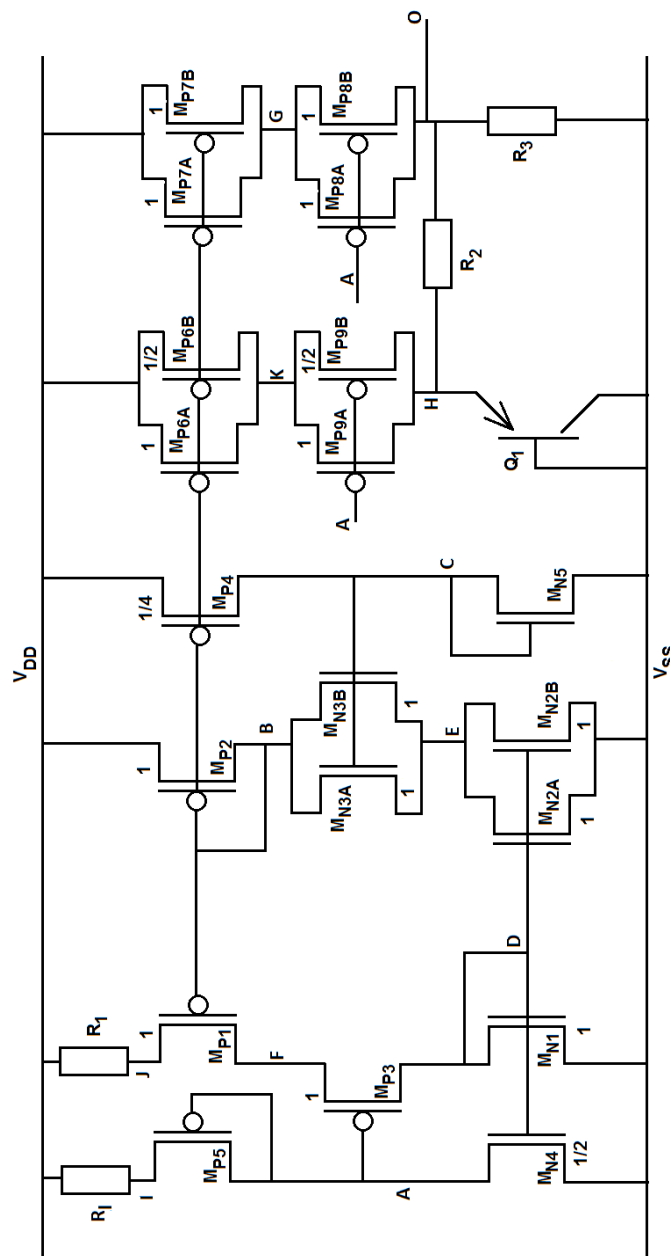


Figura 18 - Circuito de bandgap implementado

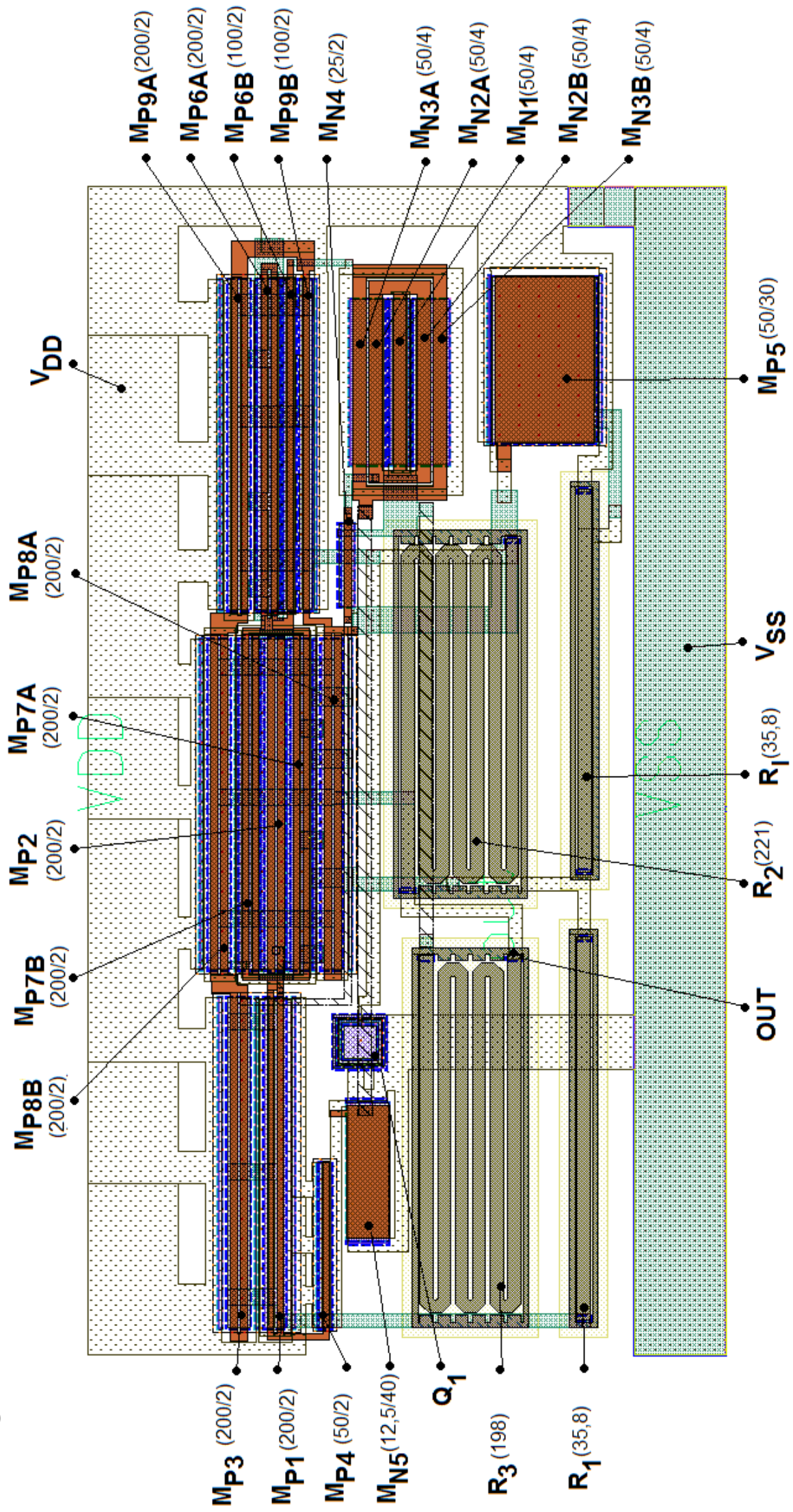


Figura 19- Layout do circuito implementado (área de 0,069 mm<sup>2</sup> e área efetiva de 0,042mm<sup>2</sup>); próximo a cada transistor está indicado sua a relação W/L e os valores estão em  $\mu\text{m}$ ; próximo a cada resistor está indicado sua resistência e os valores estão em  $K\Omega$

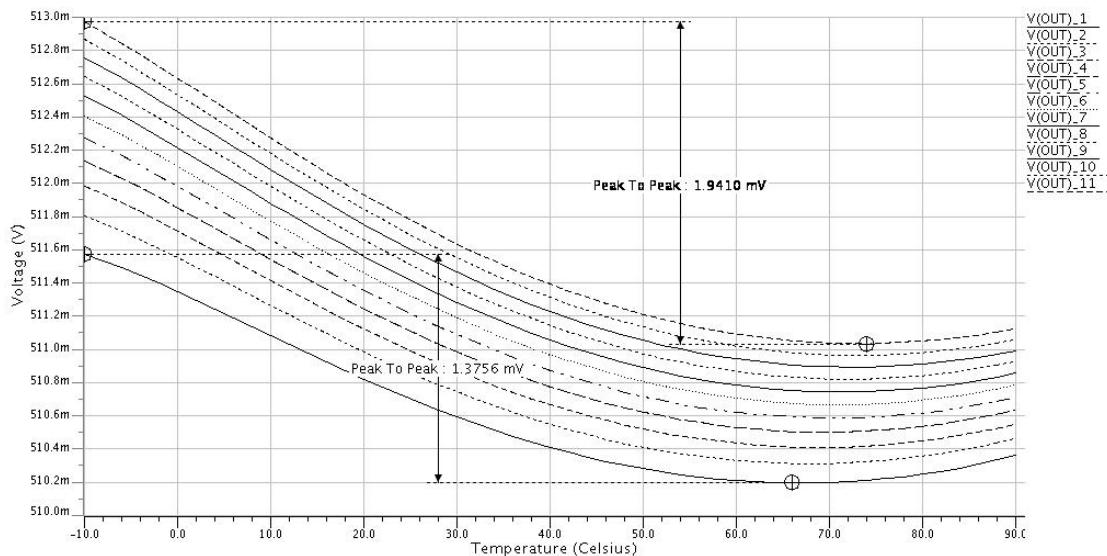
## 4 Resultados e discussão

A partir do *netlist* extraído do *layout* (C+CC), gerado pela ferramenta Calibre, foram feitas simulações, usando três modelos de transistores ou modelos estatísticos, para verificar o comportamento do circuito projetado com a variação temperatura e tensão. Foi medida também a corrente total consumida pelo circuito para cálculo da potência.

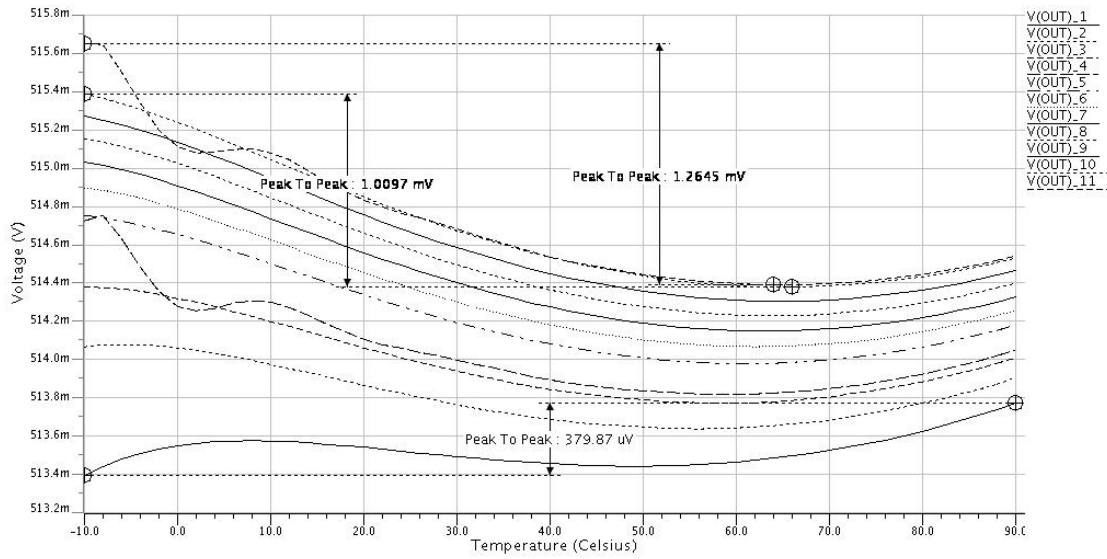
### 4.1 Tensão de saída com a variação da temperatura

Foram feitas simulações da tensão de saída em função da temperatura, com a tensão de alimentação variando de 1 V (“V(OUT)\_1”) à 1,5 V (“V(OUT)\_13”), incrementos de 0,1 V. A Figura 20 apresenta o resultado para o modelo típico, a Figura 21 para o modelo *worst-speed* e a Figura 22 para o modelo *worst-power*.

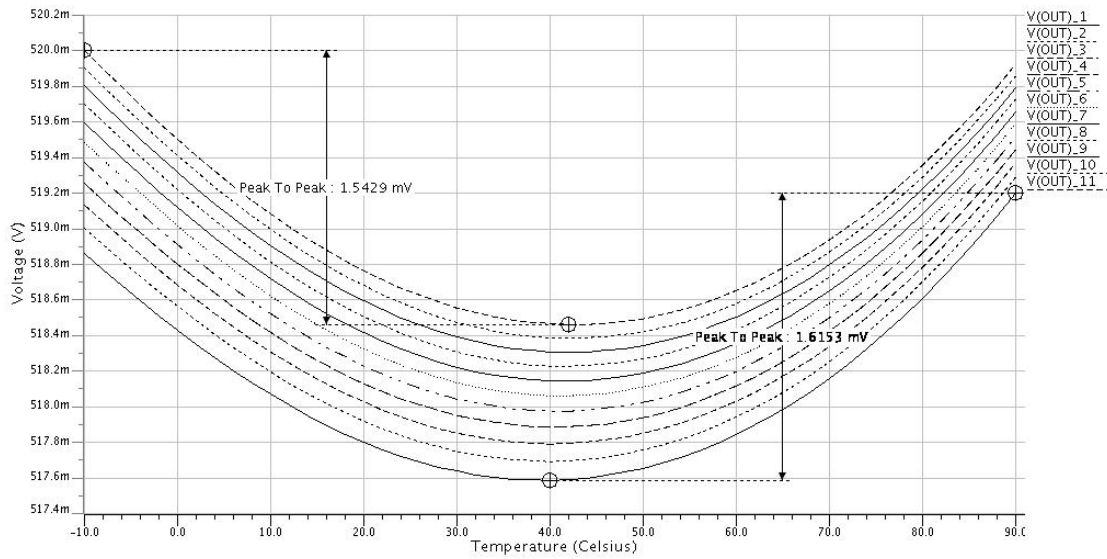
No gráfico da Figura 21, modelo *worst-speed*, duas curvas, “V(OUT)\_11” e “V(OUT)\_4”, apresentaram um comportamento da tensão de saída pela temperatura estranho. Isso, provavelmente, se deve a problemas de convergência do simulador.



**Figura 20** – Variação da tensão de saída com a temperatura para o modelo típico, e tensão de alimentação variando de 1 V (“V(OUT)\_1”) à 1,5 V (“V(OUT)\_11”) com incrementos de 0,1 V



**Figura 21** – Variação da tensão de saída com a temperatura para o modelo *worst-speed*, e tensão de alimentação variando de 1 V (“V(OUT)\_1”) à 1,5 V (“V(OUT)\_11”) com incrementos de 0,1 V



**Figura 22** – Variação da tensão de saída com a temperatura para o modelo *worst-power*, e tensão de alimentação variando de 1 V (“V(OUT)\_1”) à 1,5 V (“V(OUT)\_11”) com incrementos de 0,1 V

Obs: O incremento da temperatura utilizada em todas as simulações foi de 2 °C.

Os resultados acima mostram que quanto maior a tensão de alimentação do circuito maior é a variação da tensão de saída com a temperatura.

Para quantificar a dependência da tensão de saída com a temperatura utiliza-se, convencionalmente, o coeficiente de temperatura que é dado em ppm/°C. A fórmula abaixo é utilizada para determinar o coeficiente de temperatura:

$$CT = \frac{|V_{OUT(MÁX)} - V_{OUT(MÍN)}|}{V_{OUT} \cdot (T_{MÁX} - T_{MÍN})} \cdot 10^6 \quad (22)$$

Onde:

CT	=	coeficiente de temperatura (dado em ppm/°C);
$V_{OUT(MÁX)}$	=	valor de tensão máxima de saída;
$V_{OUT(MÍN)}$	=	valor de tensão mínima de saída;
$V_{OUT}$	=	tensão média de saída;
$T_{MÁX}$	=	temperatura máxima;
$T_{MÍN}$	=	temperatura mínima.

Para o circuito projetado os seguintes coeficientes de temperatura foram encontrados para tensão de alimentação de 1 V e temperatura variando de -10 °C a 90 °C:

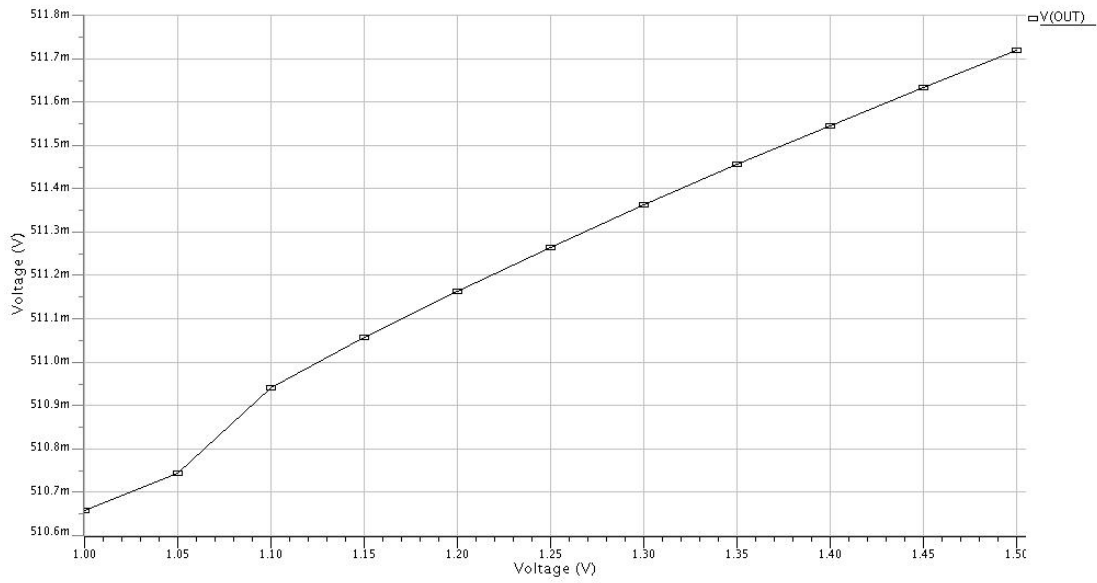
**Tabela 6** - Coeficiente de temperatura do circuito projetado para três modelos de transistores

Modelo do transistor	Variação da tensão (mV)	Tensão média de saída (mV)	Coeficiente de temperatura (ppm/°C)
<b>Típico</b>	1,3	510,8	25,4
<b><i>Worst-speed</i></b>	0,7	514,0	13,6
<b><i>Worst-power</i></b>	1,6	518,4	30,8

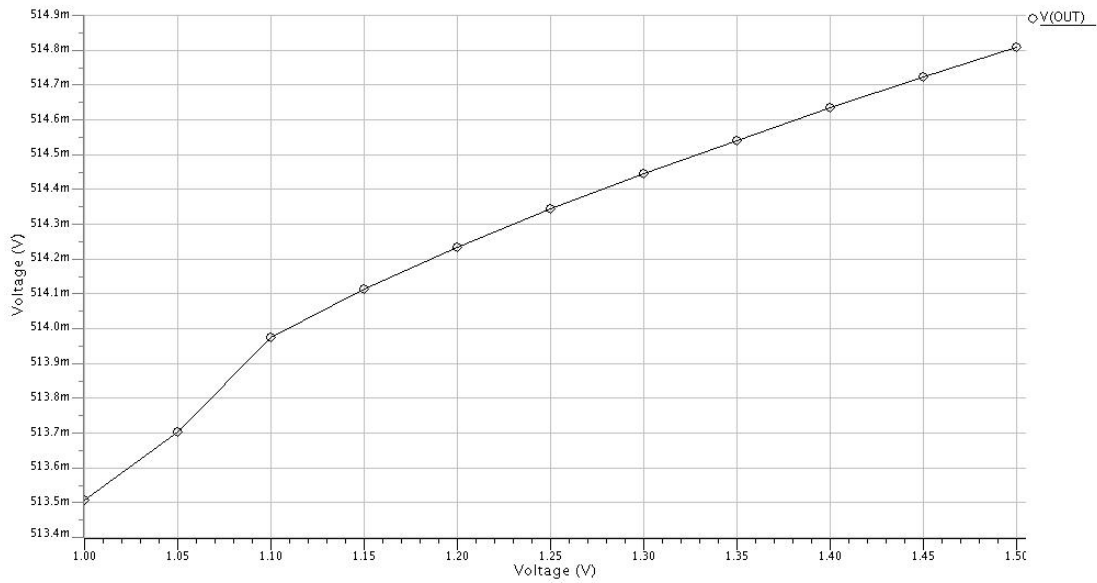
Observe que o coeficiente de temperatura máximo é 30,8 ppm/°C para todos os modelos apresentados.

## 4.2 Tensão de saída com a variação da tensão de alimentação

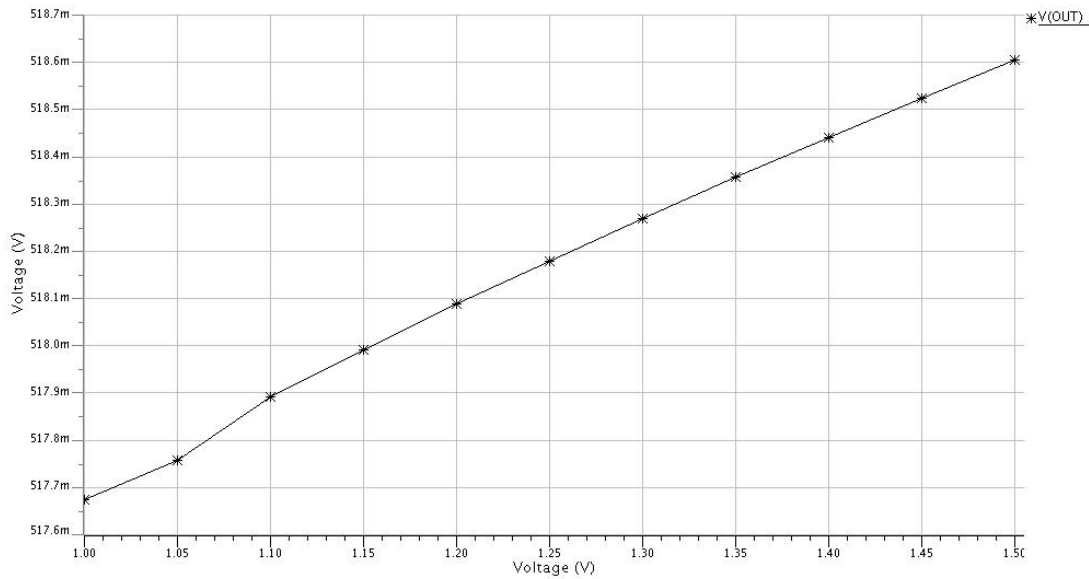
Foram feitas simulações da tensão de saída em função da tensão de alimentação na temperatura de operação de 27 °C. A Figura 23 apresenta o resultado para o modelo típico, a Figura 24 para o modelo *worst-speed* e Figura 25 para o modelo *worst-power*.



**Figura 23** - Variação da tensão de saída com a tensão de alimentação para o modelo típico e temperatura de operação de 27 °C



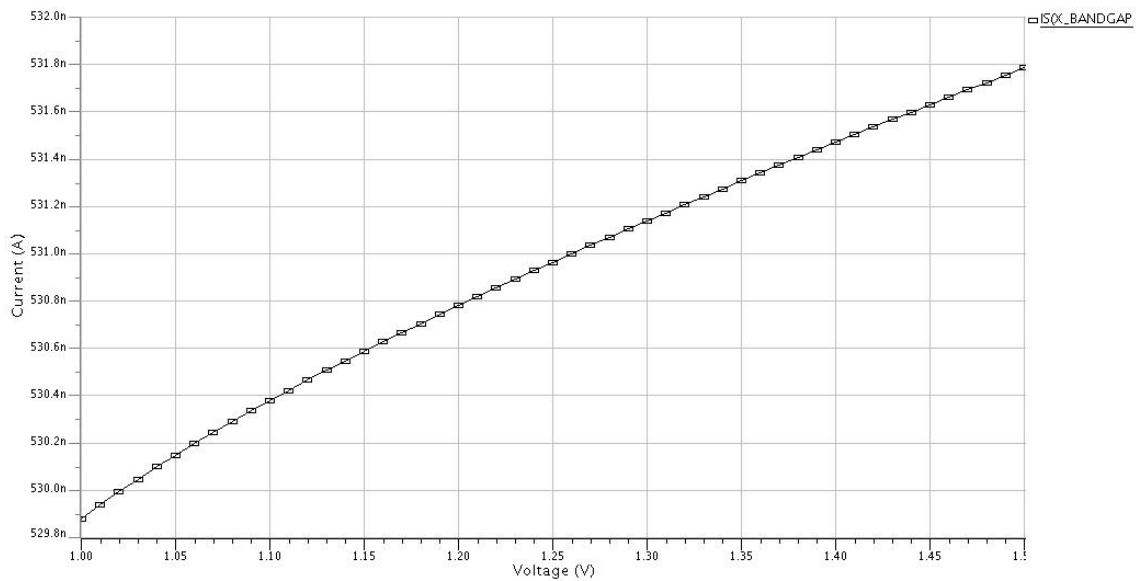
**Figura 24** - Variação da tensão de saída com a tensão de alimentação para o modelo *worst-speed* e temperatura de operação de 27 °C



**Figura 25** - Variação da tensão de saída com a tensão de alimentação para o modelo *worst-power* e temperatura de operação de 27 °C

A variação da tensão de saída com a tensão de alimentação se deve, principalmente, à variação das correntes do bloco PTAT. Esta variação é causada, essencialmente, pelo Efeito *Early* nos transistores e pode ser diminuída aumentando-se o valor de L dos transistores.

Na Figura 26 vemos a variação da corrente PTAT com a tensão de alimentação para o modelo típico.



**Figura 26** - Variação da corrente do bloco PTAT com a tensão de alimentação para o modelo típico e temperatura de operação de 27 °C

Para quantificar a dependência da tensão de saída com a tensão de alimentação utiliza-se a regulação de linha que será dada em ppm/V. A fórmula abaixo é utilizada para determinar a regulação de linha:

$$LR = \frac{|V_{OUT(MÁX)} - V_{OUT(MÍN)}|}{V_{OUT} \cdot (V_{MÁX} - V_{MÍN})} \cdot 10^6 \quad 23$$

Onde:

- LR = regulação de linha (dado em ppm/V);  
 $V_{MÁX}$  = tensão de alimentação máxima;  
 $V_{MÍN}$  = tensão de alimentação mínima.

Para o circuito projetado as seguintes regulações de linha foram encontrados para a tensão de alimentação variando de 1 V a 1,5 V:

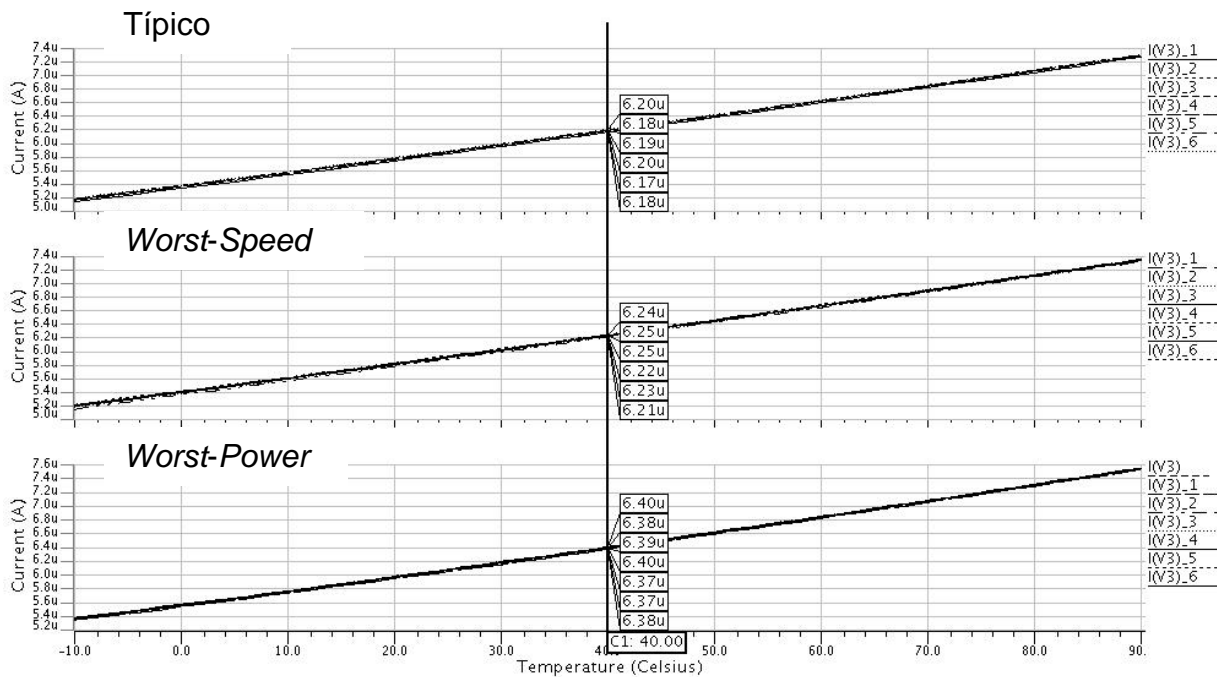
**Tabela 7-** Regulação de linha do circuito projetado para três modelos de transistores

Modelo do transistor	Variação da tensão (mV)	Tensão média de saída (mV)	Regulação de linha (ppm/V)
<b>Típico</b>	1,0	511,1	4206
<b><i>Worst-speed</i></b>	1,3	514,1	5057
<b><i>Worst-power</i></b>	0,9	518,1	3571

De maneira análoga ao coeficiente de temperatura, o valor máximo para a regulação de linha é de 5057 ppm/V.

### 4.3 Potência consumida

Foram feitas simulações da corrente total consumida em função da temperatura, e a tensão de alimentação variando de 1 V ("I(V3)\_1") à 1,5 V ("I(V3)\_6") com incrementos de 0,1 V. A Figura 27 apresenta o resultado para os modelos típico, *worst-speed* e *worst-power*.



**Figura 27** - Corrente total consumida pelo circuito em função da temperatura para três modelos de transistor e tensão de alimentação variando de 1 V ("I(V3)\_1") à 1,5 V ("I(V3)\_6") com incrementos de 0,1 V

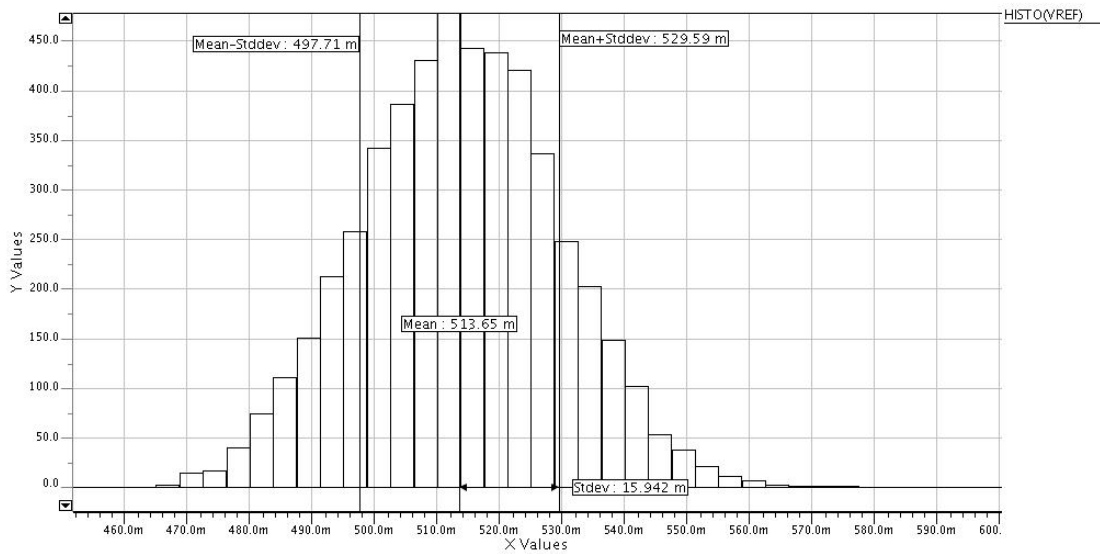
Obs: O incremento da temperatura utilizada em todas as simulações foi de 2 °C.

A potência consumida pelo circuito é obtida multiplicando-se a corrente total consumida pela tensão de alimentação do circuito.

#### 4.4 Resultados estatísticos

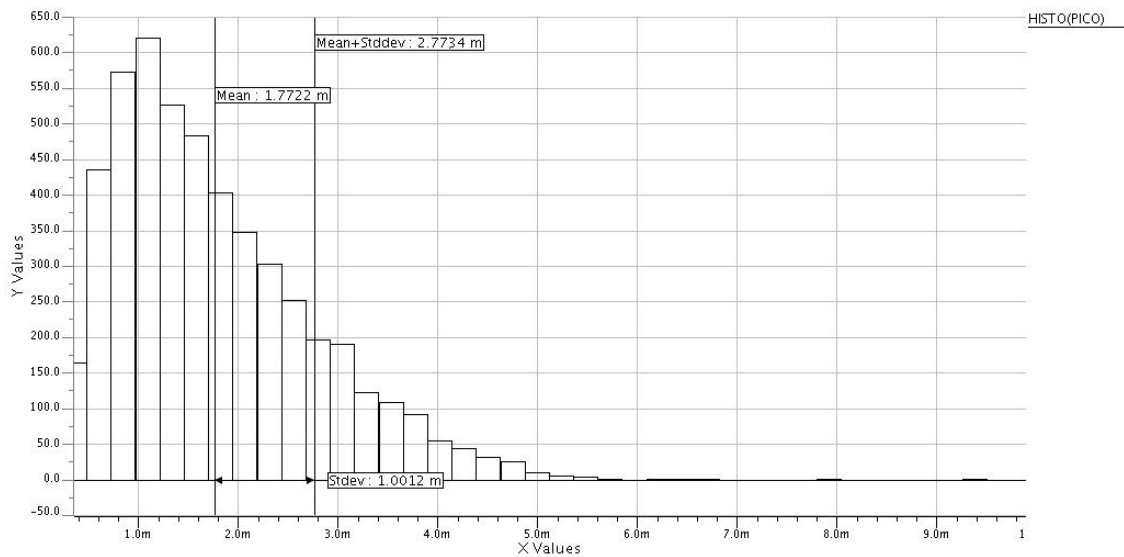
Por fim, serão apresentados alguns resultados estatísticos para mostrar o comportamento da tensão de saída com a variação de todos os parâmetros dos transistores, MOS e bipolar, do circuito. O método estatístico utilizado foi o de Monte Carlo, em que se faz variações nos parâmetros seguindo uma distribuição pré-definida. A forma da distribuição e os parâmetros de correlação entre eles são fornecidos pela *foundry*. As simulações abaixo utilizaram 5000 amostras divididas em 40 faixas de resultados.

A Figura 28 apresenta a quantidade de amostras por faixas em função da tensão média de saída. Esta média foi obtida para a temperatura variando entre -10 °C a 90 °C e a tensão de alimentação utilizada foi de 1,1 V.



**Figura 28** - Quantidade de amostras por faixas em função da tensão média de saída (média para temperatura entre -10 °C a 90 °C), usando tensão de alimentação de 1,1 V (método de Monte Carlo, 5000 amostras)

A Figura 29 apresenta a quantidade de amostras por faixas em função da variação da tensão de saída. Esta variação foi obtida com a temperatura entre -10 °C a 90 °C e a tensão de alimentação utilizada foi de 1,1 V.



**Figura 29** - Quantidade de amostras por faixas em função da variação da tensão de saída (variação para temperatura entre -10 °C a 90 °C), usando tensão de alimentação de 1,1 V (método de Monte Carlo, 5000 amostras).

No gráfico da Figura 28 a tensão de saída tem uma distribuição próxima a uma normal com valor médio de 513,65 mV e desvio-padrão de 15,942 mV

No gráfico da Figura 29 o valor médio da variação da tensão de saída é de 1,77 mV (34 ppm/°C).

#### 4.5 Comparação de resultados

Para se ter uma idéia da qualidade dos resultados, são apresentados dados obtidos para outros circuitos. Estes estão na tabela 10.

**Tabela 8 - Comparação de resultados I**

	<b>Este trabalho</b>	<b>TCC, EESC 2008 [11]</b>	<b>TCC, EESC 2007 [12]</b>	<b>JSSC'09 [13]</b>
<b>Processo</b>	0,35 µm CMOS	0,35 µm CMOS	0,35 µm CMOS	0,35 µm CMOS
<b>Variação da temperatura (°C)</b>	-10 a 90	-20 a 120	30 a 120	-20 a 80
<b>VDD mínimo (V)</b>	1	1,1	2	1,4
<b>Tensão de referência (V)</b>	0,5	0,5	1,2	0,7
<b>Corrente consumida (µA)</b>	6,45 (à 40 °C)	14 (à 120 °C)	N/A	0,21 (à 27 °C)
<b>Coeficiente de temperatura (ppm/°C)</b>	30,8	54	21	7
<b>Regulação de linha (ppm/V)</b>	5057	N/A	N/A	20
<b>Área (mm<sup>2</sup>)</b>	0,069	0,025	N/A	0,055

**Tabela 9 - Comparação de resultados II**

	<b>VLSI Symp [13]</b>	<b>JSSC'03 [15]</b>	<b>Elec. Lett'05 [15]</b>	<b>TCAS-II [17]</b>
<b>Processo</b>	0,35 $\mu\text{m}$ CMOS	0,6 $\mu\text{m}$ CMOS	0,35 $\mu\text{m}$ CMOS	0,18 $\mu\text{m}$ CMOS
<b>Variação da temperatura (°C)</b>	0 a 80	0 a 100	0 a 70	20 a 120
<b>VDD mínimo (V)</b>	1,5	1,4	1,4	0,85
<b>Tensão de referência (V)</b>	0,9	0,3	0,5	0,2
<b>Corrente consumida (<math>\mu\text{A}</math>)</b>	0,08 (à 27 °C)	9,6 (à 100 °C)	2,3 (N/A)	3,88 (valor médio)
<b>Coefficiente de temperatura (ppm/°C)</b>	12	36,9	62	271
<b>Regulação de linha (ppm/V)</b>	4600	800	6700	9000
<b>Área (mm<sup>2</sup>)</b>	0,015	0,055	0,126	0,024

Observando os resultados podem-se fazer os seguintes comentários:

- processo: o processo utilizado neste trabalho é o CMOS 0,35  $\mu\text{m}$ , assim como na maioria dos circuitos apresentados nas tabelas acima;
- variação da temperatura: nosso circuito foi projetado para trabalhar numa variação de 100 °C, assim como a maioria dos circuitos da Tabela 9. Não existe um consenso, no entanto, sobre valor máximo e mínimo a ser utilizado;
- VDD mínimo: o circuito projetado atinge a segunda menor tensão de alimentação dentre os apresentados. Como veremos abaixo, é de se esperar que nosso circuito trabalhe com tensões de alimentação ainda menores numa tecnologia mais adequada;
- corrente consumida: o circuito projetado apresenta um consumo de corrente intermediário em relação aos outros;

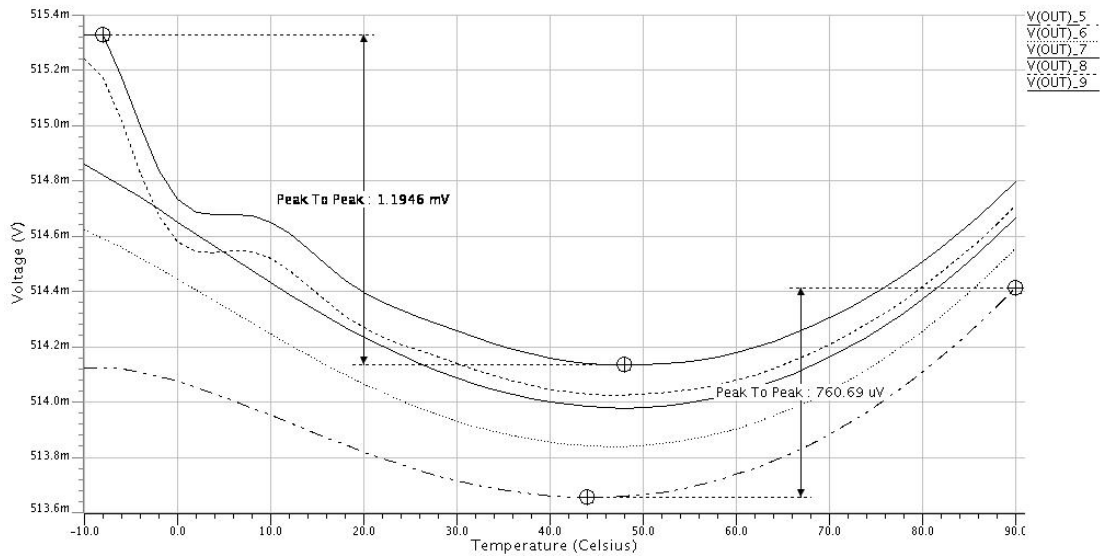
- coeficiente de temperatura: o circuito projetado apresenta também um coeficiente de temperatura intermediário em relação aos outros circuitos apresentados;
- regulação de linha: o circuito projetado apresenta uma regulação de linha elevado em relação aos outros;
- área: o circuito projetado apresenta uma área elevada em relação aos outros, mas se levado em conta apenas sua área efetiva (0,042 mm<sup>2</sup>), o valor da área será razoável comparado ao outros.

O que se pode dizer é que dado a extensa gama de circuitos existentes, o circuito possui características intermediárias, ou seja, não é melhor nem pior que os outros circuitos na maioria dos parâmetros. Em particular, ela apresenta a possibilidade de trabalhar com tensões de alimentação bastante baixas.

#### **4.6 Circuito sub 1-V**

Na tecnologia utilizada os transistores possuem uma tensão de *threshold* alta, o que é um empecilho para o funcionamento do circuito com tensões de alimentação mais baixas. Sabendo deste fato, fez-se um teste para avaliar o desempenho do circuito com transistores PMOS com tensão de *threshold*,  $V_{THP}$ , baixa. Para isso alteramos nos modelos de simulação o valor do  $V_{THP}$  de -0,6915 V, valor padrão da tecnologia, para -0,5 V.

Foram feitas simulações da tensão de saída em função temperatura, com a tensão de alimentação variando de 0,8 V (“V(OUT)\_5”) à 1,2 V (“V(OUT)\_9”), incrementos de 0,1 V. A Figura 30 apresenta o resultado para o modelo típico:



**Figura 30** - Variação da tensão de saída com a temperatura para  $V_{THP}$  de -0,5V e a tensão de alimentação variando de 0,8 V ("V(OUT)\_5") à 1,2 V ("V(OUT)\_9") com incrementos de 0,1 V

Obs: O incremento da temperatura utilizada na simulação foi de 2 °C.

Observa-se que o circuito opera em até 0,8 V de tensão de alimentação com uma variação de tensão total com a temperatura de 0,7 mV, o que resultaria num coeficiente de temperatura de 14,8 ppm/°C. O fato do circuito trabalhar com tensão de alimentação de 0,8 V é comparável aos melhores resultados encontrados na literatura [10] [13].

## 5 Conclusão

---

Esta monografia apresenta o estudo sobre fontes de tensão de referência do tipo *bandgap*, indo desde a sua definição até a apresentação dos resultados, passando por equacionamentos, ajustes de parâmetros por meio de simulação e *layout*.

No circuito final foram alcançados resultados satisfatórios: tensão de referência de 0,5 V; coeficiente de temperatura máximo de 30,8 ppm/°C (modelos típico, *worst-power* e *worst-speed*); tensão de alimentação mínima de 1 V; corrente total consumida de 6,45  $\mu$ A (à 40 °C); área de 0,069 mm<sup>2</sup>; e regulação de linha de 5057 ppm/°C.

Comprovou-se que o circuito projetado pode operar em baixas tensões de alimentação, tornando-o interessante na atual condição de mercado em que se procuram componentes operando com baixas tensões de alimentação. É possível fazer com que o circuito ainda trabalhe com tensões de alimentação inferiores a 1V, caso sejam utilizadas tecnologias que disponibilizem transistores com tensões de *threshold* menores do que as empregadas.

Um dos pontos que chamou a atenção, no projeto, foi à diferença que houve entre valores teóricos dos parâmetros, obtidos por equações, e valores ajustados por simulações. Isto ocorre principalmente pelo fato de se utilizar equações simplificadas no projeto. A aplicação de equações simplificadas, no entanto, se faz necessária uma vez que o funcionamento real de um circuito, ou mesmo apenas de um transistor, é muito complexo.

Este trabalho permitiu complementar vários conceitos teóricos abordados nas disciplinas de circuitos eletrônicos, ao longo da graduação, especialmente na área de microeletrônica. A experiência obtida aqui será de ajuda para o futuro, pois pode ser aplicada na compreensão e desenvolvimento de outros projetos, mesmo que sejam projetos de áreas distintas.

Por fim, como sugestões de trabalhos futuros, ficam: adicionar na análise de Monte Carlo as variações nos resistores; melhorar a configuração do *layout*, procurando reduzir área; analisar a sensibilidade da tensão de saída aos parâmetros do circuito; enviar o circuito para fabricação e realizar testes; refazer o circuito projetado utilizando uma tecnologia que possua transistores MOS com tensões de *threshold* menores.

## Referências

---

- [1] CASTELLANOS, J.J.C. **Projeto de uma fonte de tensão de referência CMOS usando programação geométrica**. 2009. Exame de Qualificação – Laboratório de Microeletrônica Laboratório de Microeletrônica, Universidade de São Paulo, São Paulo, 2009.
- [2] AUSTRIAMICROSYSTEMS. **0,35 m CMOS process technology**. Disponível em:<<http://www.austriamicrosystems.com/05foundry/indexc35.htm>>. Acesso em: May 20, 2010.
- [3] Mentor. **Design architect IC data sheet**. Disponível em:<<http://mentor.com/>>. Acesso em: May 20, 2010.
- [4] ELDO device equations manual, version 6,3-1 release 2004.1. Oregon: Mentor.
- [5] STORR, W. **Bipolar transistor**. Electronics-tutorial. Disponível em:<[http://www.electronics-tutorials.ws/transistor/tran\\_1.html](http://www.electronics-tutorials.ws/transistor/tran_1.html)>. Acesso em: May 18, 2010.
- [6] BREWER, J.E. A New and improved roadmap. **IEEE Circuits & Devices**, New York, v.14, p.13-18, Mar. 1988.
- [7] BONDYOPADHYAY, P.K. Moore's law governs the silicon revolution. **Proceedings of the IEEE**, New York, v.86, p.78-81, Jan. 1998.
- [8] SEMICONDUCTOR INDUSTRY ASSOCIATION (SIA). **The National technology roadmap for semiconductors**. San Jose, 2006.
- [9] TSIVIDIS, Y. **Operation e modeling of the MOS transistor**. 2<sup>nd</sup>ed. Boston: McGraw Hill, 1999.
- [10] BAMBA, H. et al. A CMOS bandgap reference circuit with sub-1-V operation. **IEEE Journal Solid-State Circuits**, New York, v.34, p.670-674, May 1999.
- [11] SILVA, E.S.C. **Projeto de fontes de referência de baixa tensão em tecnologia CMOS**. 2008. Trabalho de Conclusão de Curso – Departamento de Engenharia Elétrica, Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2008.
- [12] ENGELBRECHT, R.M. **Projeto de referência de tensão em tecnologia CMOS**. 2007. Trabalho de Conclusão de Curso – Departamento de Engenharia Elétrica, Escola de Engenharia de São Carlos, Universidade de São Paulo, 2007.
- [13] UENO, K. et al. A 300nW, 15ppm/°C, 20ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs. **IEEE Journal Solid State Circuits**, New York, v.44, n.7, p.2047-2054, July, 2009.
- [14] DE VITA, G.; IANNACONE, G.; ANDREANI, P. A 300nW, 12ppm/°C voltage reference in a digital 0,35µm CMOS process. In: SYMPOSIUM OF VLSI CIRCUITS, 2006, Honolulu. **Digest of Technical Papers**. IEEE Computer Society Press, 2006. p.81-82.

- [15] LEUNG, K.N.; MOK, P.K.T. A CMOS voltage reference based on weighted  $\Delta V_{gs}$  for CMOS low-dropout linear regulators. **IEEE Journal Solid State Circuits**, New York, v.38, n.1, p.146-150, Jan. 2003.
- [16] CHENG, M.-H.; WU, Z.-W. Low-power low-voltage reference using peaking current mirror circuit. **Electronics Letters**, London, v.41, n.10, p.572-573, 2005.
- [17] HUANG, P.-H.; LIN, H.; LIN, Y-T. A Simple subthreshold CMOS voltage reference circuit with channel-length modulation compensation. **IEEE Transactions Circuits Systems II**, New York, v.53, n.9, p.882-885, 2006.
- [18] TSIVIDIS, Y.P. Accurate analysis of temperature effects in IC-VBE characteristics with application to bandgap reference sources. **IEEE Journal Solid State Circuits**, New York, v.15, p.1076-1084, Dec .1980.

## Anexo A

---

### Cálculo da tensão base-emissor [18]

Esta análise visa encontrar uma equação mais precisa para o  $V_{BE}$  em função da temperatura, uma vez que é de importância para dimensionamento teórico do circuito deste trabalho.

Considerando o transistor em região ativa e desprezando o Efeito *Early*, temos a seguinte equação da corrente do coletor em função da temperatura:

$$I_C(T) = I_S(T) \cdot e^{\frac{q \cdot V_{BE}}{kT}} \quad (24)$$

Onde:

- $I_C(T)$  = corrente no coletor em função da temperatura;
- $I_S(T)$  = corrente de saturação em função da temperatura;
- $V_{BE}$  = tensão base-emissor

Para cálculo do  $V_{BE}$  em função da temperatura, será considerada a relação entre as correntes de coletor para duas temperaturas distintas:

$$\frac{I_C(T)}{I_C(T_R)} = \left( \frac{I_S(T) \cdot e^{\frac{q \cdot V_{BE}(T)}{kT}}}{I_S(T_R) \cdot e^{\frac{q \cdot V_{BE}(T_R)}{kT_R}}} \right) \quad (25)$$

As outras variáveis foram explicadas anteriormente.

Isolando  $V_{BE}$ , obtemos:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + \frac{k}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \cdot \frac{I_S(T_R)}{I_S(T)} \right) \right] \quad (26)$$

Tendo que:

$$I_S(T) = \frac{q \cdot A \cdot n_i^2(T) \cdot \bar{D}(T)}{N_B} \quad (27)$$

Onde:

- $A$  = área da junção base-emissor;
- $n_i(T)$  = concentração intrínseca de portadores;
- $\bar{D}(T)$  = valor da difusão efetiva dos portadores minoritários da base.
- $N_B$  = número de Gummel (total de impurezas por unidade de área na base).

Substituindo a equação do  $I_S(T)$  em  $V_{BE}(T)$ , temos:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + \frac{k}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \cdot \frac{\frac{q \cdot A \cdot n_i^2(T_R) \cdot \bar{D}(T_R)}{N_B}}{\frac{q \cdot A \cdot n_i^2(T) \cdot \bar{D}(T)}{N_B}} \right) \right] \quad (28)$$

Usando na equação acima que:

$$n_i^2(T) = E \cdot T^3 \cdot e^{\left(\frac{-q \cdot V_{GO}(T)}{k \cdot T}\right)} \quad (29)$$

Onde

$E$  = constante dependente da massa efetiva de elétrons e lacunas, etc.

Temos:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + \frac{k}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \cdot \frac{\frac{q \cdot A \cdot E \cdot T_R^3 \cdot e^{\left(\frac{-q \cdot V_{GO}(T_R)}{k \cdot T_R}\right)} \cdot \bar{D}(T_R)}{N_B}}{\frac{q \cdot A \cdot E \cdot T^3 \cdot e^{\left(\frac{-q \cdot V_{GO}(T)}{k \cdot T}\right)} \cdot \bar{D}(T)}{N_B}} \right) \right] \quad (30)$$

Que se simplificada fica:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + \frac{k}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \cdot \frac{T_R^3 \cdot \bar{D}(T_R)}{T^3 \cdot \bar{D}(T)} \cdot e^{-\frac{V_{GO}(T_R)}{T_R} + \frac{V_{GO}(T)}{T}} \right) \right] \quad (31)$$

Aplicando a relação de Einstein:

$$\bar{\mu}(T) = \frac{q \cdot \bar{D}(T)}{k \cdot T} \quad (32)$$

temos:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + -\frac{V_{GO}(T_R)}{T_R} + \frac{V_{GO}(T)}{T} + \frac{k}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \cdot \frac{\bar{\mu}(T_R) \cdot T_R^4}{\bar{\mu}(T) \cdot T^4} \right) \right] \quad (33)$$

Sabendo que a mobilidade é dependente da temperatura:

$$\bar{\mu}(T) = C \cdot T^{-\eta} \quad (34)$$

Onde:

$C$  = constante resultante da transformação da equação (32) em (34);

$\eta$  = constante resultante da transformação da equação (32) em (34);

Unindo as duas últimas equações e realizando manipulações algébricas, obteremos, finalmente, uma equação para o  $V_{BE}$ :

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + -\frac{V_{GO}(T_R)}{T_R} + \frac{V_{GO}(T)}{T} \right] - \frac{k \cdot T}{q} \cdot \ln \left( \frac{T_R}{T} \right)^{4-\eta} \quad (35)$$

$$+ \frac{k \cdot T}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \right)$$

### Cálculo realizado pelo simulador

A partir do modelo do transistor bipolar usado nas simulações (modelo VERT10 do Anexo B), podem-se determinar as equações utilizadas pelo simulador e compará-las com a equação calculada no item anterior. Esta comparação será feita para validar o equacionamento realizado no capítulo 2.

Devido ao valor do parâmetro TLEV (default=1) as seguintes equação são utilizadas para IC:

$$I_C(T) = I_S(T) \cdot e^{\frac{q \cdot V_{BE}}{k \cdot T \cdot N_F}} \quad (36)$$

$$I_S(T) = I_S \cdot e^{\text{facI}(T)} \quad (37)$$

$$\text{facI}(T) = \frac{q \cdot V_{GO}}{k \cdot T_{NOM}} - \frac{q \cdot V_{GO}}{k \cdot T} + XTI \cdot \ln \left( \frac{1}{T} \right) \quad (38)$$

Onde:

- $N_F$  = valor empírico para ajuste do modelo.
- $I_S$  = corrente de saturação;
- $XTI$  = expoente de temperatura para a corrente de saturação;
- $T_{NOM}$  = temperatura nominal.

Substituindo as expressões acima na equação (26), fazendo algumas manipulações temos:

$$V_{BE}(T) = T \cdot \left[ \frac{V_{BE}(T_R)}{T_R} + -\frac{V_{GO}}{T_R} + \frac{V_{GO}}{T} \right] - \frac{k \cdot T}{q} \cdot \ln \left( \frac{T_R}{T} \right)^{N_F \cdot XTI} \quad (39)$$

$$+ N_F \cdot \frac{k \cdot T}{q} \cdot \ln \left( \frac{I_C(T)}{I_C(T_R)} \right)$$

Os valores das constantes  $N_F$ ,  $I_S$ ,  $V_{GO}$ ,  $XTI$  e  $T_{NOM}$  estão na Tabela 10.

**Tabela 10** - Valores dos parâmetros do modelo utilizado

<b>Parâmetro</b>	<b>Valor</b>
$N_F$	0,9925
$I_S$	0,233 fA
$V_{GO}$	1,115 V
$X_{TI}$	5,53
$T_{NOM}$	27 °C

Observa-se que a expressão (39) é similar à encontrada em (35), validando o uso da primeira equação.

## Anexo B

### Arquivos para simulação ELDO gerados pela extração Calibre (C+CC) a partir do layout

#### Arquivo principal:

```
* File: bandgap.pex.netlist
* Created: Thu May 13 13:06:05 2010
* Program "Calibre xRC"
* Version "v2006.1_39.33"
*
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
.subckt BANDGAP VSS VDD OUT
*
rR0 OUT VSS 198k
rR1 5 VDD 35.8k
rR2 OUT 12 res2
rR3 13 VDD 35.8k
qQ4 VSS VSS 12 VERT10 1
mM5 4 4 VSS VSS NMOS4 L=4e-05 W=1.25e-05 AD=1.0625e-11 AS=1.1875e-11
+ PD=1.42e-05 PS=1.44e-05 NRD=0.034 NRS=0.034
mM6 VSS 1 10 VSS NMOS4 L=2e-06 W=2.5e-05 AD=2.375e-11 AS=2.125e-11 PD=2.69e-05
+ PS=2.67e-05 NRD=0.017 NRS=0.017
mM7 14 4 2 VSS NMOS4 L=4e-06 W=5e-05 AD=2.5e-11 AS=4.25e-11 PD=1e-06
+ PS=5.17e-05 NRD=0.0085 NRS=0.0085
mM8 VSS 1 14 VSS NMOS4 L=4e-06 W=5e-05 AD=4.75e-11 AS=2.5e-11 PD=5.19e-05
+ PS=1e-06 NRD=0.0085 NRS=0.0085
mM9 VSS 1 1 VSS NMOS4 L=4e-06 W=5e-05 AD=4.25e-11 AS=4.25e-11 PD=5.17e-05
+ PS=5.17e-05 NRD=0.0085 NRS=0.0085
mM10 14 1 VSS VSS NMOS4 L=4e-06 W=5e-05 AD=2.5e-11 AS=4.75e-11 PD=1e-06
+ PS=5.19e-05 NRD=0.0085 NRS=0.0085
mM11 2 4 14 VSS NMOS4 L=4e-06 W=5e-05 AD=4.25e-11 AS=2.5e-11 PD=5.17e-05
+ PS=1e-06 NRD=0.0085 NRS=0.0085
mM12 VDD 2 4 VDD PMOS4 L=2e-06 W=5e-05 AD=4.75e-11 AS=4.25e-11 PD=5.19e-05
+ PS=5.17e-05 NRD=0.0085 NRS=0.0085
mM13 6 2 5 VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=8.5e-11 PD=1e-06 PS=0.0001017
+ NRD=0.00425 NRS=0.00425
mM14 5 2 6 VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=5e-11 PD=0.0001017 PS=1e-06
+ NRD=0.00425 NRS=0.00425
mM15 1 10 6 VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=8.5e-11 PD=1e-06 PS=0.0001017
+ NRD=0.00425 NRS=0.00425
mM16 6 10 1 VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=5e-11 PD=0.0001017 PS=1e-06
+ NRD=0.00425 NRS=0.00425
mM17 OUT 10 8 VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=8.5e-11 PD=1e-06
+ PS=0.0001017 NRD=0.00425 NRS=0.00425
mM18 8 10 OUT VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=5e-11 PD=0.0001017
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM19 8 2 VDD VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM20 VDD 2 8 VDD PMOS4 L=2e-06 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM21 2 2 VDD VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM22 VDD 2 2 VDD PMOS4 L=2e-06 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM23 8 2 VDD VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM24 VDD 2 8 VDD PMOS4 L=2e-06 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM25 OUT 10 8 VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=8.5e-11 PD=1e-06
```

```

+ PS=0.0001017 NRD=0.00425 NRS=0.00425
mM26 8 10 OUT VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=5e-11 PD=0.0001017
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM27 11 10 12 VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=8.5e-11 PD=0.0001017
+ PS=0.0001017 NRD=0.00425 NRS=0.00425
mM28 VDD 2 11 VDD PMOS4 L=2e-06 W=1e-04 AD=9.5e-11 AS=8.5e-11 PD=0.0001019
+ PS=0.0001017 NRD=0.00425 NRS=0.00425
mM29 11 2 VDD VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=9.5e-11 PD=1e-06
+ PS=0.0001019 NRD=0.00425 NRS=0.00425
mM30 VDD 2 11 VDD PMOS4 L=2e-06 W=1e-04 AD=9.5e-11 AS=5e-11 PD=0.0001019
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM31 12 10 11 VDD PMOS4 L=2e-06 W=1e-04 AD=5e-11 AS=8.5e-11 PD=1e-06
+ PS=0.0001017 NRD=0.00425 NRS=0.00425
mM32 11 10 12 VDD PMOS4 L=2e-06 W=1e-04 AD=8.5e-11 AS=5e-11 PD=0.0001017
+ PS=1e-06 NRD=0.00425 NRS=0.00425
mM33 10 10 13 VDD PMOS4 L=3e-05 W=5e-05 AD=4.25e-11 AS=4.25e-11 PD=5.17e-05
+ PS=5.17e-05 NRD=0.0085 NRS=0.0085
c_12 1 0 35.7023f
c_25 2 0 65.335f
c_34 VSS 0 549.199f
c_45 4 0 83.5512f
c_51 5 0 12.8655f
c_69 VDD 0 2.73602p
c_77 8 0 2.78155f
c_86 OUT 0 22.9887f
c_98 10 0 82.1523f
c_104 11 0 0.769023f
c_113 12 0 44.9088f
c_116 13 0 34.2761f
c_121 14 0 4.63446f
*
.include "bandgap.pex.netlist.BANDGAP.pxi"
*
.ends
*
.param vd=1.1v res2=221k

v1 VDD1 0 vd
v2 VSS 0 0
v3 VDD1 VDD 0

X_bandgap VSS VDD OUT BANDGAP
.param pico=0

.DC temp -10 90 2 sweep res2 220k 224k 1k
*.DC temp -10 90 2 sweep v1 1 1.5 0.05
.meas DC pico pp v(out) from=-10 to 90
.probe DC v(OUT) I(v3) Id(X_bandgap.mM21) Is(X_bandgap.mM21)

```

## Arquivo auxiliar:

```

* File: bandgap.pex.netlist.BANDGAP.pxi
* Created: Thu May 13 13:06:05 2010
*
cc_1 2 1 2.55062f
cc_2 VSS 1 10.1042f
cc_3 4 1 9.30015f
cc_4 5 1 0.563147f
cc_5 6 1 6.42074f
cc_6 VDD 1 8.9421f
cc_7 8 1 4.64631f
cc_8 OUT 1 1.3333f
cc_9 10 1 2.33193f
cc_10 12 1 0.462696f
cc_11 14 1 4.74218f
cc_12 VSS 2 2.7074f
cc_13 4 2 17.8837f
cc_14 5 2 13.9023f
cc_15 6 2 2.80561f
cc_16 VDD 2 36.023f

```

```

cc_17 8 2 10.5676f
cc_18 OUT 2 11.7822f
cc_19 10 2 1.44574f
cc_20 11 2 6.78383f
cc_21 12 2 5.42587f
cc_22 14 2 1.51678f
cc_23 4 VSS 6.0136f
cc_24 VDD VSS 863.572f
cc_25 OUT VSS 0.950127f
cc_26 10 VSS 5.47719f
cc_27 12 VSS 4.62113f
cc_28 14 VSS 1.56963f
cc_29 5 4 1.84033f
cc_30 VDD 4 6.01187f
cc_31 8 4 0.00423648f
cc_32 OUT 4 2.22998f
cc_33 10 4 4.99521f
cc_34 12 4 13.5904f
cc_35 14 4 1.02834f
cc_36 6 5 9.57858f
cc_37 VDD 5 33.9645f
cc_38 VDD 6 14.8293f
cc_39 10 6 5.12237f
cc_40 8 VDD 91.533f
cc_41 OUT VDD 24.8256f
cc_42 10 VDD 32.8634f
cc_43 11 VDD 47.448f
cc_44 12 VDD 26.7414f
cc_45 13 VDD 10.403f
cc_46 OUT 8 22.3705f
cc_47 10 8 11.313f
cc_48 11 8 0.0628463f
cc_49 10 OUT 8.18173f
cc_50 12 OUT 2.19293f
cc_51 11 10 12.3985f
cc_52 12 10 17.7127f
cc_53 13 10 0.91975f
cc_54 12 11 20.5884f

```

## Modelos dos transistores MOS

### Modelo típico

```

*
*
*MODEL NMOS4 NMOS LEVEL=53 MODTYPE=ELDO
*
* -----
* ***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process     : C35
* revision    : 4.0;
* extracted   : B10866 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_4
* -----
*                               TYPICAL MEAN CONDITION
* -----
*
+THMLEV =0
*   *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV =1
*   *** Threshold voltage related model parameters ***
+K1      =5.0296e-01
+K2      =3.3985e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NPEAK   =2.611e+17 VTH0    =4.979e-01
+VOFF    =-8.925e-02 DVT0   =5.000e+01 DVT1    =1.039e+00
+DVT2    =-8.375e-03 KETA   =2.032e-02
+PSCBE1  =1.000e+30 PSCBE2 =1.000e-06

```

```

+DVTOW =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
* *** Mobility related model parameters ***
+UA =4.705e-12 UB =2.137e-18 UC =1.000e-20
+UO =4.758e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
* *** Geometry modulation related parameters ***
+W0 =2.673e-07 DLC =3.0000e-08
+DWC =9.403e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =-1.297e-14 WWL =-9.411e-21 WLN =1.000e+00
+WWN =1.000e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.800e+00
+KT1 =-3.302e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =1.200e-10
+CGDO =1.200e-10 CGBO =1.100e-10
+CGDL =1.310e-10 CGSL =1.310e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =3.449e+02
+CDSC =0.000e+00 CDSCB =1.500e-03 CDSCD =1.000e-03
+PRWB =-2.416e-01 PRWG =0.000e+00 CIT =4.441e-04
* *** Process and parameters extraction related model parameters ***
+TOX =7.575e-09 NGATE =0.000e+00
+N LX =1.888e-07
+XL =0.000e+00 XW =0.000e+00
* *** Substrate current related model parameters ***
+ALPHA0 =2.600e-06 ALPHA1 =5.000e+00 BETA0 =2.100e+01
* *** Noise effect related model parameters ***
+AF =1.507e+00 KF =2.170e-26 EF =1.000e+00
+NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13
* *** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =7.000e+01
+RDC =0.000e+00 RSC =0.000e+00 LD =-5.005e-08
+WD =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =5.100e-07 JSW =0.600e-12
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =8.400e-04 CJSW =2.500e-10 FC =0.000e+00
+MJ =3.400e-01 MJSW =2.300e-01 TT =0.000e+00
+XTI =2.026e+00 PB =6.900e-01 PBSW =6.900e-01
* -----

```

```

.MODEL PMOS4 PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3
* process : C35
* revision : 4.0;
* extracted : C64685 ; 2002-12; ese(5487)
* doc# : ENG-182 REV_4
* -----
* TYPICAL MEAN CONDITION
* -----
*

```

```

+THMLEV =0
* *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
+DERIV =1
* *** Threshold voltage related model parameters ***
+K1 =5.9959e-01
+K2 =-6.038e-02 K3 =1.103e+01 K3B =-7.580e-01
+NPEAK =9.240e+16 VTH0 =-6.915e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVTOW =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+U0 =1.482e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WWN =1.040e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.300e+00
+KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =8.600e-11
+CGDO =8.600e-11 CGBO =1.100e-10
+CGDL =1.080e-10 CGSL =1.080e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.033e+03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
* *** Process and parameters extraction related model parameters ***
+TOX =7.754e-09 NGATE =0.000e+00
+N LX =1.770e-07
+XL =0.000e+00 XW =0.000e+00
* *** Substrate current related model parameters ***
+ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0 =3.250e+01
* *** Noise effect related model parameters ***
+AF =1.461e+00 KF =1.191e-26 EF =1.000e+00
+NOIA =5.245e+17 NOIB =4.816e+03 NOIC =8.036e-13
* *** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =1.290e+02
+RDC =0.000e+00 RSC =0.000e+00 LD =-7.130e-08
+WD =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =2.800e-07 JSW =3.700e-13
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.360e-03 CJSW =3.500e-10 FC =0.000e+00
+MJ =5.400e-01 MJSW =4.600e-01 TT =0.000e+00
+XTI =1.973e+00 PB =1.020e+00 PBSW =1.020e+00
* -----

```

## Modelo worst-power

```

*
*
.MODEL NMOS4 NMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process    : C35
* revision   : 4.0;
* extracted  : B10866 ; 2002-12; ese(5487)
* doc#      : ENG-182 REV_4
* -----
*                               WORST CASE POWER CONDITION
* -----
*
+THMLEV =0
*   *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV =1
*   *** Threshold voltage related model parameters ***
+K1      =3.5516e-01
+K2      =4.6758e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NPEAK   =2.128e+17 VTH0    =3.579e-01
+VOFF    =-8.925e-02 DVT0    =5.000e+01 DVT1     =1.039e+00
+DVT2    =-8.375e-03 KETA    =2.032e-02
+PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
+DVT0W   =1.089e-01 DVT1W   =6.671e+04 DVT2W    =-1.352e-02
*   *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =5.002e+02
*   *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =1.415e-02 ETAB    =-1.221e-01
+NFACTOR =4.136e-01
*   *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =6.948e-01
+PDIBLC1 =3.571e-01 PDIBLC2 =2.065e-03 DROUT    =5.000e-01
+A0      =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
+B0      =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
+PDIBLCB =3.222e-01
*   *** Geometry modulation related parameters ***
+W0      =2.673e-07 DLC      =3.0000e-08
+DWC     =9.403e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW       =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW      =-1.297e-14 WWL     =-9.411e-21 WLN      =1.000e+00
+WWN     =1.000e+00
*   *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.800e+00
+KT1     =-3.302e-01 KT2     =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1     =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00
*   *** Overlap capacitance related and dynamic model parameters ***
+CGSO    =1.200e-10
+CGDO    =1.200e-10 CGBO    =1.000e-10
+CGDL    =1.15e-10 CGSL    =1.15e-10 CKAPPA =6.000e-01
+CF       =0.000e+00 ELM     =5.000e+00
+XPART   =1.000e+00 CLC     =1.000e-15 CLE     =6.000e-01
+
*   *** Parasitic resistance and capacitance related model parameters ***
+RDSW    =3.449e+02
+CDSC    =0.000e+00 CDSCEB =1.500e-03 CDSCD    =1.000e-03
+PRWB    =-2.416e-01 PRWG    =0.000e+00 CIT      =4.441e-04
*   *** Process and parameters extraction related model parameters ***
+TOX     =7.100e-09 NGATE    =0.000e+00
+N LX     =1.888e-07
+XL      =-5.000e-08 XW      =0.500e-07
*   *** Substrate current related model parameters ***
+ALPHA0  =2.600e-06 ALPHA1  =5.000e+00 BETA0    =2.100e+01
*   *** Noise effect related model parameters ***
+AF      =1.507e+00 KF       =2.170e-26 EF       =1.000e+00

```

```

+NOIA =1.121e+19 NOIB =5.336e+04 NOIC =-5.892e-13
* *** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =5.500e+01
+RDC =0.000e+00 RSC =0.000e+00 LD =-5.005e-08
+WD =9.403e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =5.100e-07 JSW =0.600e-12
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =8.270e-04 CJSW =2.200e-10 FC =0.000e+00
+MJ =3.400e-01 MJSW =2.300e-01 TT =0.000e+00
+XTI =2.026e+00 PB =6.900e-01 PBSW =6.900e-01
* -----

.MODEL PMOS4 PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3
* process : C35
* revision : 4.1;
* extracted : C64685 ; 2002-12; ese(5487)
* doc# : ENG-182 REV_5
* -----
* WORST CASE POWER CONDITION
* -----
*
+THMLEV =0
* *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
+DERIV =1
* *** Threshold voltage related model parameters ***
+K1 =4.5027e-01
+K2 =-4.451e-02 K3 =1.103e+01 K3B =-7.580e-01
+NPEAK =7.022e+16 VTH0 =-5.715e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+UO =1.581e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+AO =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+BO =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WVN =1.040e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.300e+00
+KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =8.600e-11 CGDO =8.600e-11 CGBO =1.000e-10
+CGDL =0.95e-10 CGSL =0.95e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+NOFF =1.000e+00 VOFFCV =0.000e+00
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.033e+03

```

```

+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
*
*** Process and parameters extraction related model parameters ***
+TOX =7.100e-09 NGATE =0.000e+00
+NLX =1.770e-07
+XL =-6.000e-08 XW =0.800e-07
*
*** Substrate current related model parameters ***
+ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0 =3.250e+01
*
*** Noise effect related model parameters ***
+AF =1.405e+00 KF =1.827e-26 EF =1.000e+00
+NOIA =7.091e+18 NOIB =6.074e+04 NOIC =3.779e-13
*
*** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =1.000e+02
+RDC =0.000e+00 RSC =0.000e+00 LD =-7.130e-08
+WD =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =2.800e-07 JSW =3.700e-13
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.197e-03 CJSW =2.810e-10 FC =0.000e+00
+MJ =5.400e-01 MJSW =4.600e-01 TT =0.000e+00
+XTI =1.973e+00 PB =1.020e+00 PBSW =1.020e+00
*
-----

```

## Modelo worst-speed

```

*
*
.MODEL NMOS4 NMOS LEVEL=53 MODTYPE=ELDO

*
-----
***** SIMULATION PARAMETERS *****
*
-----
* format : ELDO, AccusimII, Continuum
* model : MOS BSIM3v3
* process : C35
* revision : 4.0;
* extracted : B10866 ; 2002-12; ese(5487)
* doc# : ENG-182 REV_4
*
-----
*
* WORST CASE SPEED CONDITION
*
-----
*
+THMLEV =0
*
*** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV =1
*
*** Threshold voltage related model parameters ***
+K1 =6.6008e-01
+K2 =2.1313e-02 K3 =-1.136e+00 K3B =-4.399e-01
+NPEAK =3.094e+17 VTH0 =5.579e-01
+VOFF =-8.925e-02 DVT0 =5.000e+01 DVT1 =1.039e+00
+DVT2 =-8.375e-03 KETA =2.032e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVT0W =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
*
*** Mobility related model parameters ***
+UA =4.705e-12 UB =2.137e-18 UC =1.000e-20
+UO =4.671e+02
*
*** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =1.415e-02 ETAB =-1.221e-01
+NFACTOR=4.136e-01
*
*** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT =5.000e-01
+A0 =2.541e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.338e+05 AGS =2.408e-01
+B0 =4.301e-09 B1 =0.000e+00 DELTA =1.442e-02
+PDIBLCB=3.222e-01
*
*** Geometry modulation related parameters ***
+W0 =2.673e-07 DLC =3.0000e-08

```



```

+UA      =5.394e-10 UB      =1.053e-18 UC      =1.000e-20
+U0=1.314e+02
*      *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.480e-01 ETAB    =-3.917e-03
+NFACTOR=1.214e+00
*      *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT    =5.000e-01
+AO      =5.850e-01 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.158e+05 AGS      =2.468e-01
+BO      =8.832e-08 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB=1.000e+00
*      *** Geometry modulation related parameters ***
+W0      =1.000e-10 DLC      =2.4500e-08
+DWC     =3.449e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW       =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW      =1.894e-16 WWL      =-1.981e-21 WLN      =1.000e+00
+WWN     =1.040e+00
*      *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.300e+00
+KT1     =-5.403e-01 KT2     =2.200e-02 KT1L    =0.000e+00
+UA1     =0.000e+00 UB1     =0.000e+00 UC1     =0.000e+00
+PRT     =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGDO    =8.600e-11 CGSO    =8.600e-11 CGBO    =1.200e-10
+CGDL    =1.21e-10 CGSL    =1.21e-10 CKAPPA =6.000e-01
+CF      =0.000e+00 ELM     =5.000e+00
+XPART   =1.000e+00 CLC     =1.000e-15 CLE     =6.000e-01
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW    =1.033e+03
+CDSC    =2.589e-03 CDSCB   =2.943e-04 CDSCD   =4.370e-04
+PRWB    =-9.731e-02 PRWG   =1.477e-01 CIT     =0.000e+00
*      *** Process and parameters extraction related model parameters ***
+TOX     =8.100e-09 NGATE   =0.000e+00
+NLX     =1.770e-07
+XL      =4.000e-08 XW      =-0.700e-07
*      *** Substrate current related model parameters ***
+ALPHA0  =0.000e+00 BETA0   =3.000e+01
*      *** Noise effect related model parameters ***
+AF      =1.461e+00 KF       =1.191e-26 EF       =1.000e+00
+NOIA    =5.245e+17 NOIB    =4.816e+03 NOIC    =8.036e-13
*      *** Common extrinsic model parameters ***
+ALEV    =2              RLEV   =2
+RD      =0.000e+00 RS      =0.000e+00 RSH      =1.600e+02
+RDC     =0.000e+00 RSC     =0.000e+00 LD       =-7.130e-08
+WD      =3.449e-08
+LDIF    =0.000e+00 HDIF    =8.000e-07 WMLT    =1.000e+00
+LMLT    =1.000e+00 DEL     =0.000e+00 XJ       =3.000e-07
+DIOLEV  =4              JS      =1.9585e-07 JSW      =4.3218e-13
+IS      =0.000e+00 N       =1.000e+00
+DCAPLEV=2              CBD     =0.000e+00 CBS     =0.000e+00
+CJ      =1.523e-03 CJSW    =3.580e-10 FC       =0.000e+00
+MJ      =5.600e-01 MJSW    =4.300e-01 TT       =0.000e+00
+XTI     =1.973e+00 PB      =1.020e+00 PBSW    =1.020e+00
* -----

```

## Modelo do transistor bipolar

```

.MODEL VERT10 PNP MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : BJT
* process     : C35[A-B][3-4][A-C][1-3]
* revision    : 4.0;
* extracted   : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11, B20560 H35W7 D00 02-June-05 (200C tempcos); hhl
              (5481)
* doc#       : ENG-182 REV_4.0
* -----
*                               TYPICAL MEAN CONDITION
* -----
*

```

+IS	=2.3330e-17			
+IRB	=4.3770e-06			
+IKF	=1.3760e-03	BF	=5.9810e+00	
+NF	=9.9250e-01			
+ISE	=6.5290e-16	NE	=1.7760e+00	VAF =1.9420e+02
+IKR	=1.9410e-04	BR	=9.8740e-02	NR =9.9470e-01
+ISC	=2.8430e-14	NC	=1.1490e+00	VAR =1.0320e+01
+RBM	=1.0000e+00			
+RB	=2.1380e+02			
+RE	=9.7360e+00	AF	=1.100e+00	
+RC	=4.5400e+01	KF	=2.100e-15	
+TF	=6.4800e-10			
+				
+EG	=1.2050e+00	XTI	=1.4490e+00	XTB =1.0820e+00
+CJE	=1.4880e-13	VJE	=1.0200e+00	MJE =5.4882e-01
+CJC	=4.3387e-14	VJC	=5.3000e-01	MJC =3.1214e-01
+				